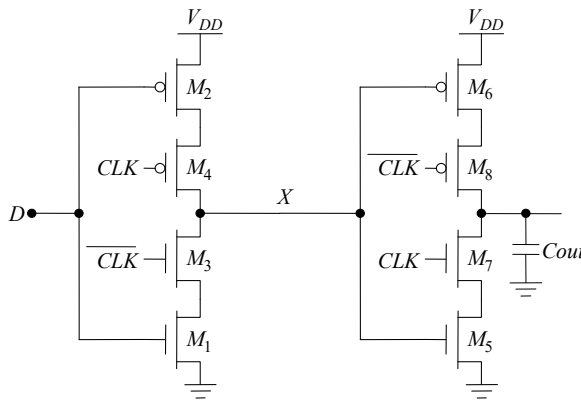
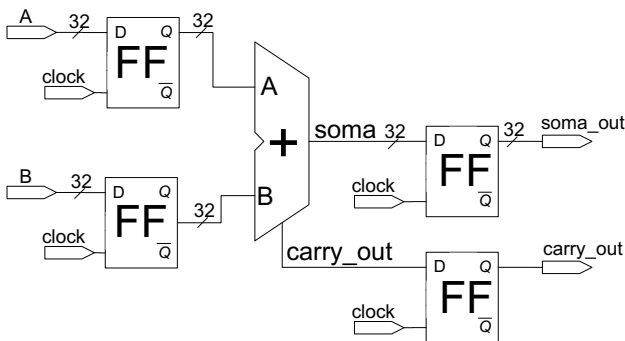


## 1. Considere o circuito representado abaixo

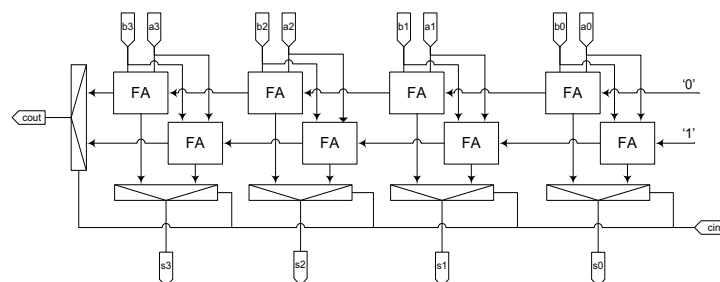


- Desenho o circuito equivalente para os níveis de  $CLK=0$  e  $CLK=1$ , explicando o comportamento do circuito.
- O circuito, para armazenamento da entrada D, é sensível ao nível ou à borda do sinal clock (CLK)? Se for sensível ao nível do sinal clock, para qual nível o circuito é transparente, ou se for sensível à borda, para qual borda o circuito armazena a informação.
- Explique o comportamento do circuito quando acontecer *clock overlap* em '1' ou seja,  $CLK=1$  e  $\overline{CLK}=1$ . Para a explicação desenhe também o circuito equivalente.

2. Considere o circuito abaixo, composto por 2 entradas de 32 bits (A e B), e duas saídas (*soma\_out* de 32 bits, e *carry\_out*). Pede-se:

- para garantir que dados espúrios/transientes não entrem nem saiam do circuito, os flip-flops internos (FF) devem ter uma implementação do tipo latch ou mestre-escravo? Argumente sua resposta.
- considerar que o FF tenha tempo de propagação  $D \rightarrow Q$  igual a 1 ns e o tempo de setup igual a 0,2 ns, e o somador tenha uma implementação ripple carry com tempo do full adder igual a 1,5 ns. Qual a frequência máxima de operação deste circuito (em MHz)? Apresente e explique o cálculo para a obtenção da frequência.

- Considere agora que o projetista possa utilizar um somador *carry-select*, com estágios de 4 bits. O tempo do FA é o mesmo, 1,5 ns, e o tempo do multiplexador igual a 0,5 ns. Qual a frequência máxima de operação deste circuito (em MHz), agora com o somador rápido?



1 estágio de 4 bits do somador carry-select

- Considerando que o FA necessita de 28 transistores para ser implementado, e um FF mestre-escravo 18 transistores, qual o número total de transistores para ambas configurações do circuito?

Transcreva as respostas de 2.b, 2.c e 2.d para a tabela abaixo:

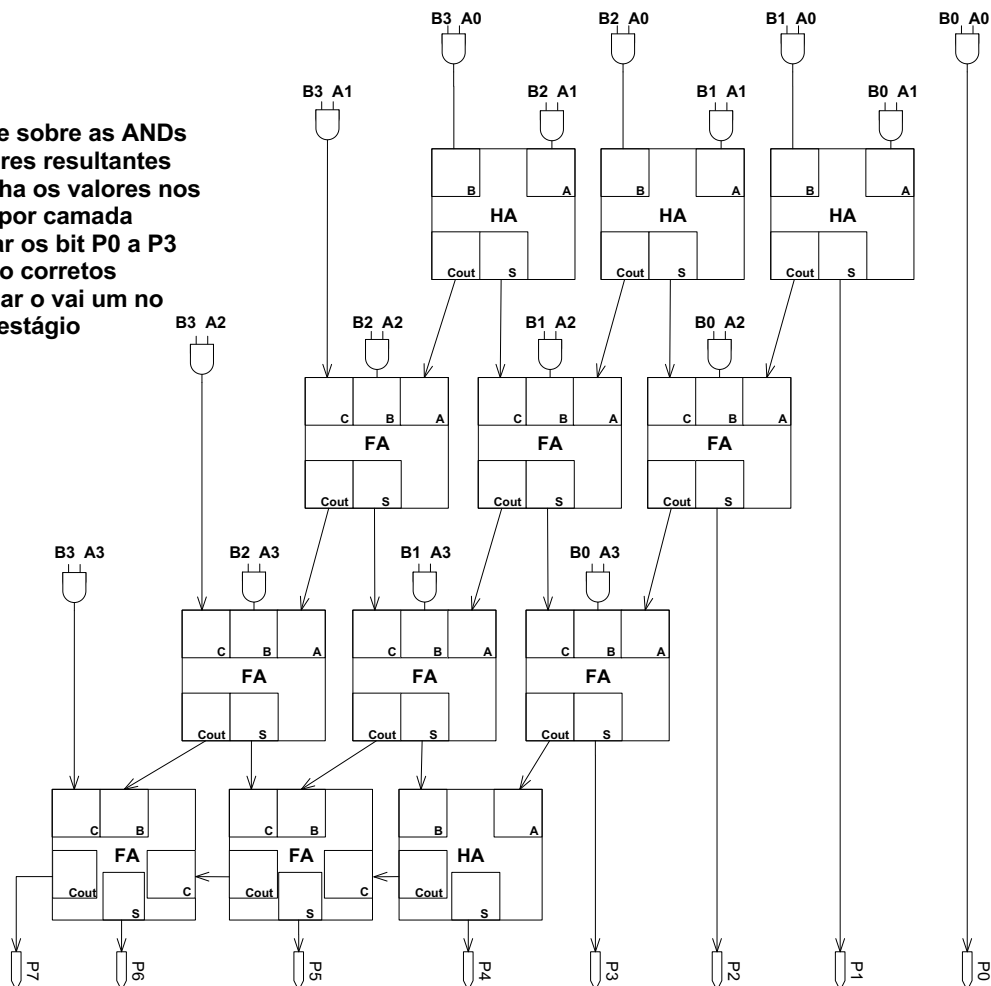
	FF	Tempo Setup	Atraso do somador de 32 bits (ns)	Atraso do circuito (ns)	Frequência MHz	N# Total de transistores
Circuito original	1 ns	0,2 ns				
Circuito com somador carry-select	1 ns	0,2 ns				

3. Multiplicação. Apresenta-se abaixo o diagrama lógico de um multiplicador de 4 bits.

- explique como o carry é propagado no interior do circuito.
- considere:  $A=1101$  e  $B=1011$ . Desenhe sobre o circuito os valores booleanos correspondentes, verificando se o valor obtido pela multiplicação é o correto.

**DICA:**

- 1- coloque sobre as ANDs os valores resultantes
- 2- Preencha os valores nos HA/FA por camada
- 3- Verificar os bit P0 a P3 se estão corretos
- 4- Propagar o vai um no último estágio



**4. Circuitos aritméticos. Operações muito comuns em processadores são os deslocamentos e as rotações. Pede-se:**

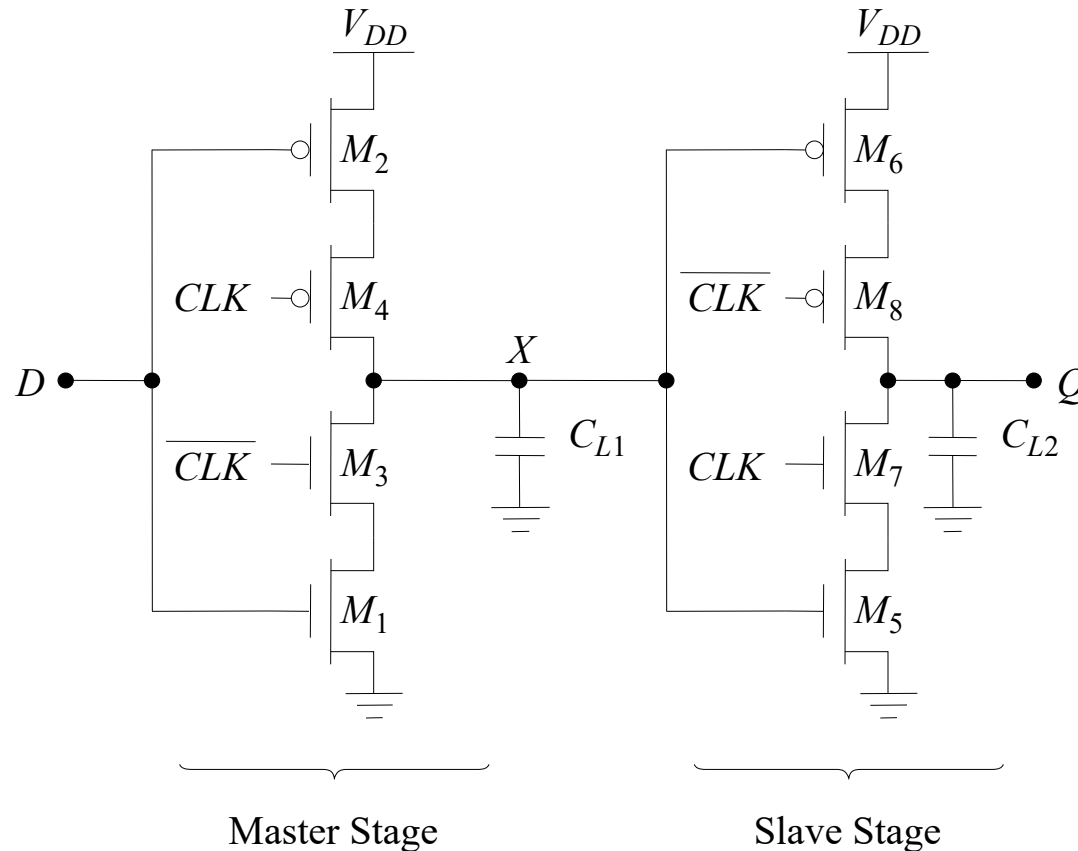
- a) Qual a diferença entre deslocamento lógico de deslocamento aritmético? Dê um exemplo numérico para cada caso de deslocamento para direita, tanto lógico quanto aritmético.
- b) Apresentar uma matriz de transistores capaz de realizar deslocamentos aritméticos para a direita (operação equivalente à divisão), para palavras de 4 bits. Explique o circuito.,

**5. O projeto de circuitos eletrônicos pode ser feito utilizando diferentes métodos de projeto. Avalie estes métodos de projetos quantos aos requisitos abaixo:**

ESTILO DE PROJETO:	Full custom	Standard cell	Gate array (pré-difundido)	FPGA
<b>Camadas</b> que devem ser fabricadas na foundry. Respostas possíveis: <b>T</b> : todas / algumas (dizer quais) / <b>N</b> : nenhuma				
<b>Tamanho da célula.</b> Respostas possíveis: <b>F</b> : fixo / <b>L</b> : livre / <b>H</b> : variável, mas com altura constante				
<b>Interconexão entre as células.</b> Respostas possíveis: <b>M</b> : apenas por metalização / <b>Q</b> : qualquer camada / <b>C</b> : configurável				
<b>Tempo de projeto.</b> Respostas possíveis: 1 mais alto, 4 mais baixo				

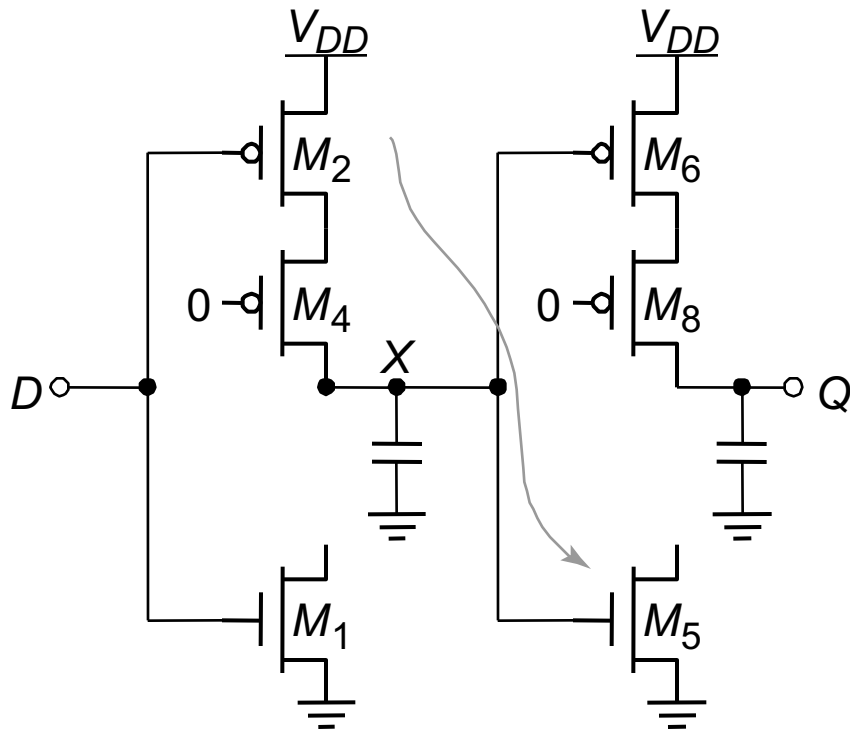
Q1

# Other Latches/Registers: C2MOS

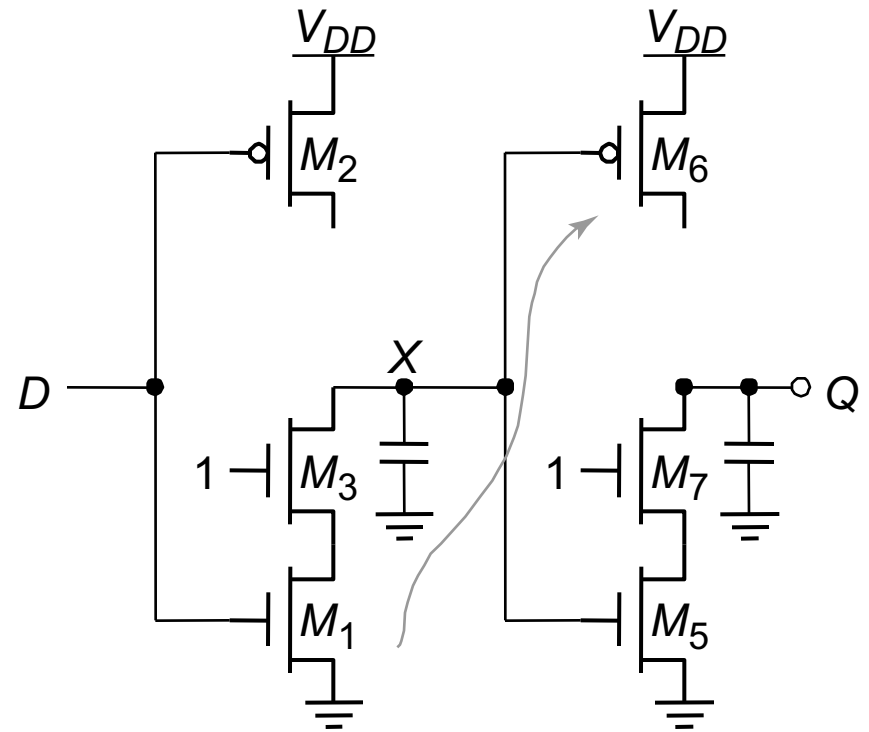


“Keepers” can be added to make circuit pseudo-static

# Insensitive to Clock-Overlap

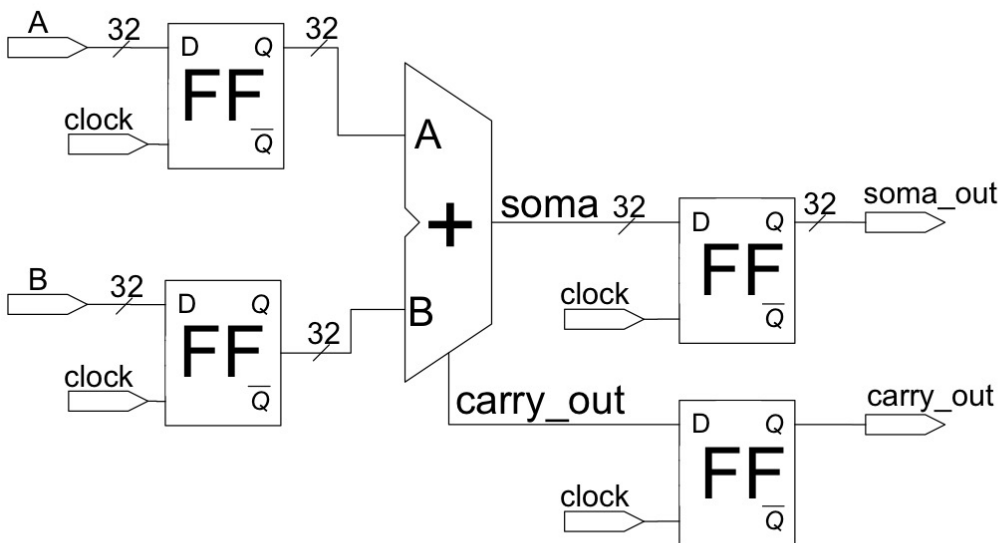


(a) (0-0) overlap



(b) (1-1) overlap

Q2



## Transistores:

66 FFs → 66 flops \* 18 = 1188 xtores

## Ripple carry:

32 bits \* 28 = 896 xtores

## CS

$8 * (28*8+5*5) = 2032$  transistores

### Transistores

	FF	Somador	Total
com ripple	<b>1746</b> $=(32*3+1)*18$	<b>896</b> $=28*32$	<b>2642</b>
com CS	<b>1746</b>	<b>2032</b> $=8*(8*28+5*6)$	<b>3778</b>

	FF	Tempo Setup	Atraso do somador de 32 bits (ns)	Atraso do circuito (ns)	Frequência MHz	N# Total de transistores
Circuito original	1 ns	0,2 ns	48	49,2	20,33	2084
Circuito com somador carry-select	1 ns	0,2 ns	10	11,2	89,26	3220

**Q3**

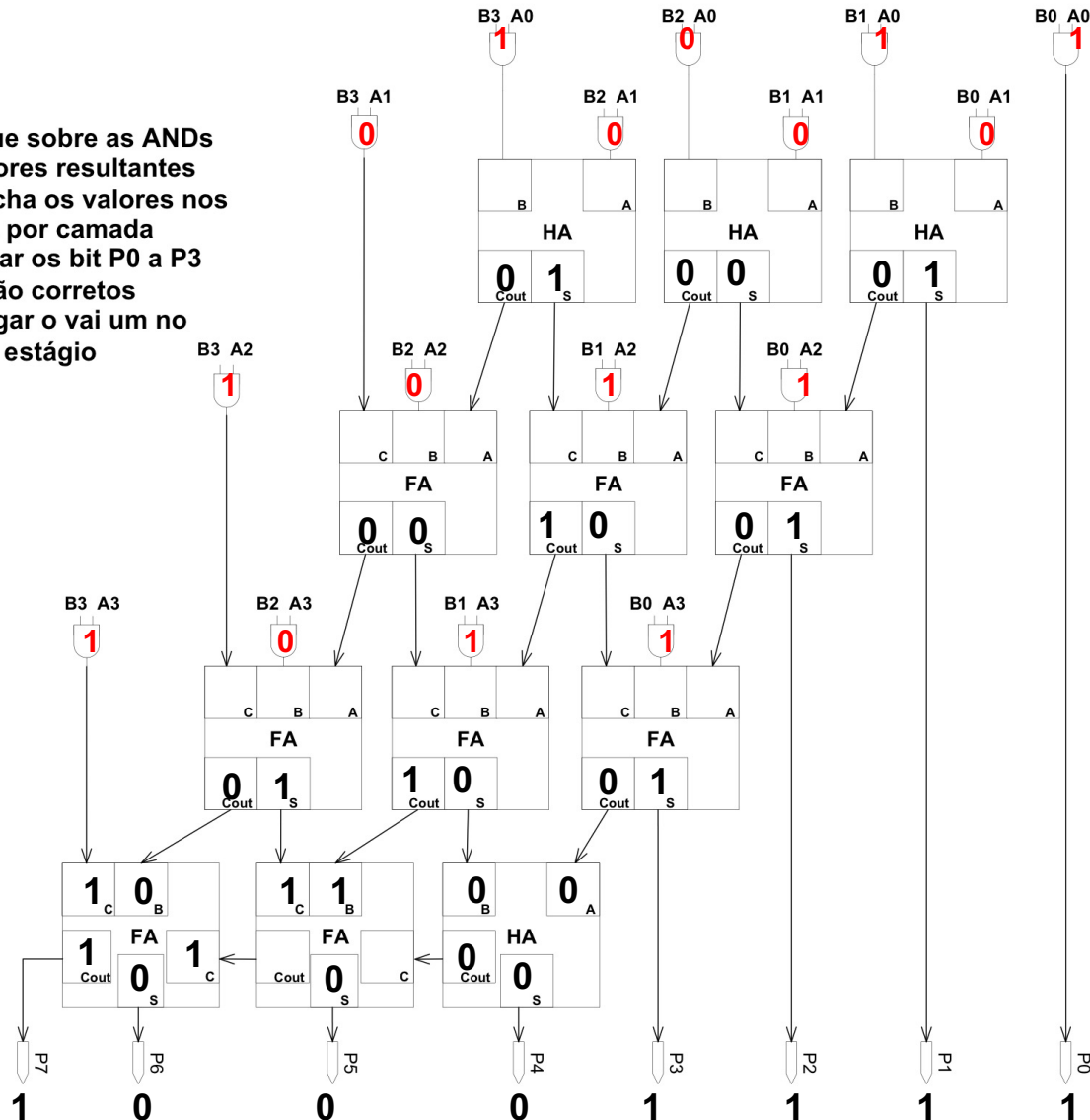


# Somador com carry-save

A=1101  
B=1011

## DICA:

- 1- coloque sobre as ANDs os valores resultantes
- 2- Preencha os valores nos HA/FA por camada
- 3- Verificar os bit P0 a P3 se estão corretos
- 4- Propagar o vai um no último estágio



Q4

# Deslocamento Aritmético

## ❑ Deslocamento lógico

10001 → 1 bit para a direita 01000

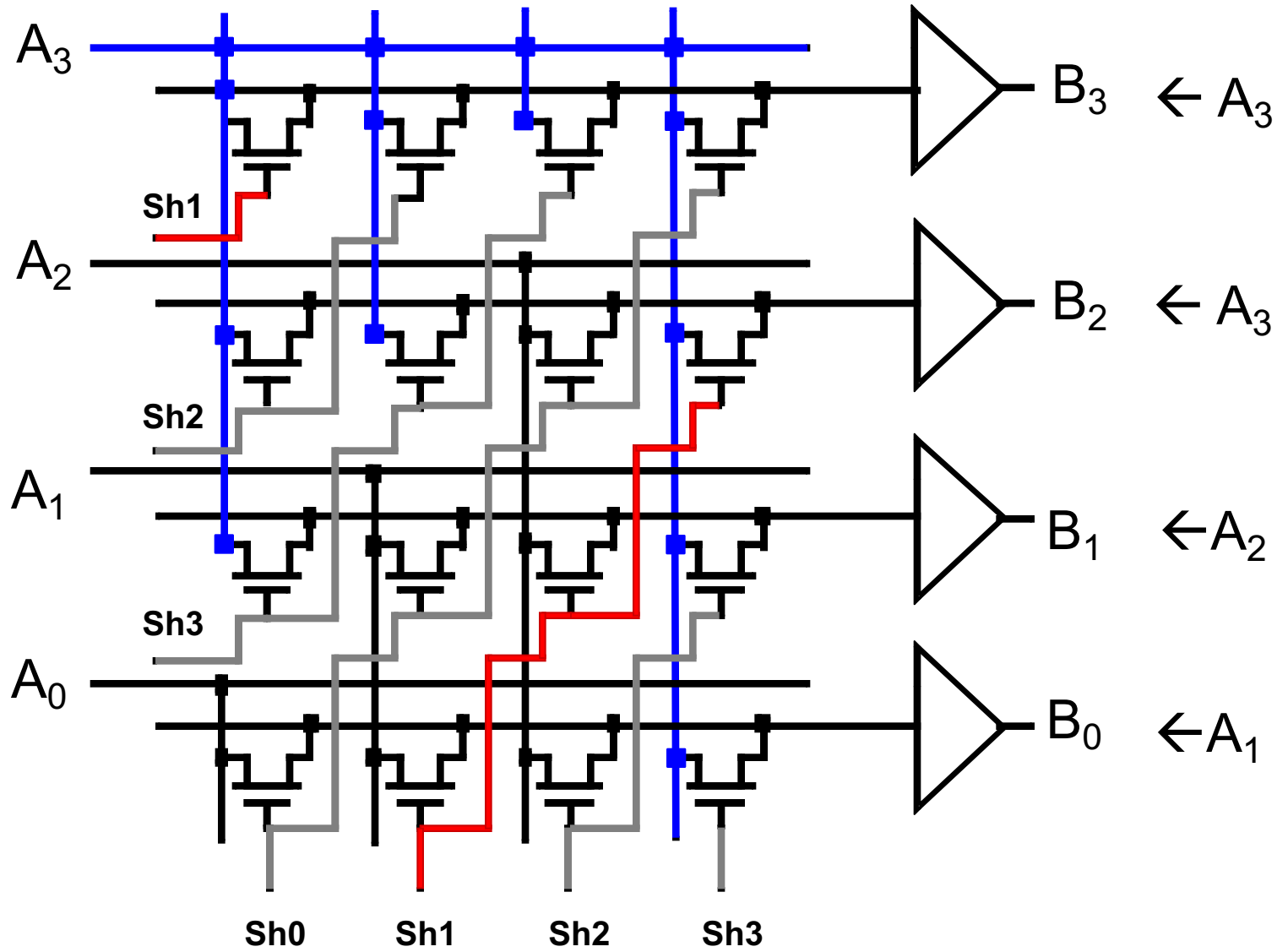
1 bit para a esquerda 00010

## ❑ Deslocamento aritmético

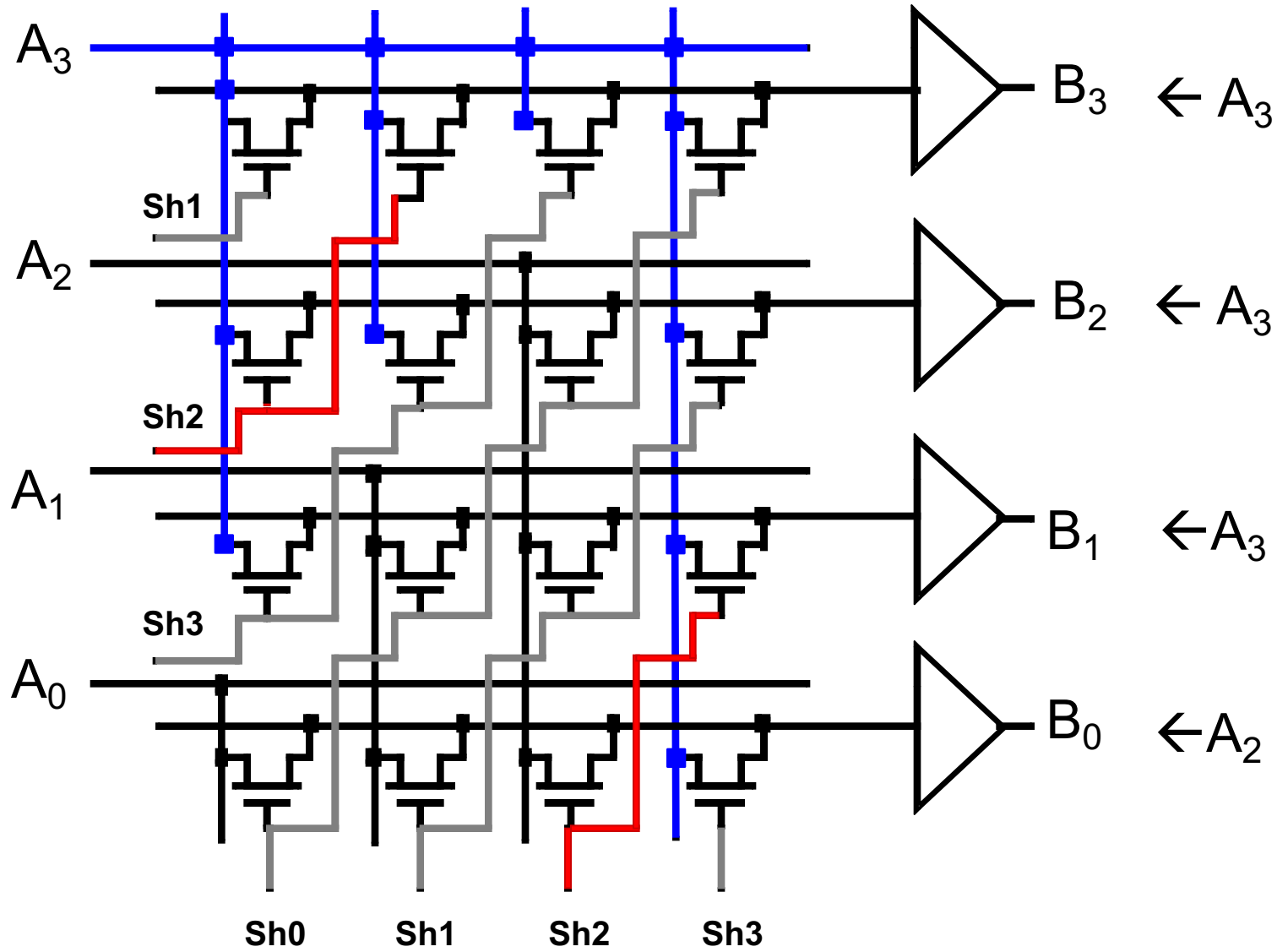
00100 → 1 bit para a direita 00010 (de 4 para 2)

10100 → 1 bit para a direita 11010 (de -12 para -6)

SH1  $\leftarrow$  1



SH2  $\leftarrow$  1



**Q5**

ESTILO DE PROJETO:	Full custom	Standard cell	Gate array	FPGA
<b>Camadas</b> que devem ser fabricadas na <i>foundry</i> <i>Respostas possíveis: T: todas / algumas (dizer quais) / N: nenhuma</i>	T	T	Metais vias	N
<b>Tamanho da célula</b> <i>Respostas possíveis: F: fixo / L: livre / H: variável, mas com altura constante</i>	Livre	H Altura fixa Largura Variável	F	F
<b>Interconexão entre as células</b> <i>Respostas possíveis: M: apenas por metalização / Q: qualquer camada / C: configurável</i>	Q	Q	M	C
<b>Tempo de projeto</b> <i>Respostas possíveis: 1 mais alto, 4 mais baixo</i>	1	2	3	4