

LABORATÓRIO 5 – SIMULAÇÃO DE FLIP-FLOPS

Prof. Fernando Gehm Moraes – Revisão: 12/maio/2025

Baixar os arquivos de simulação

wget <https://fgmoraes.github.io/microel/lab5/ffs.sp>

wget <https://fgmoraes.github.io/microel/lab5/st65.scs>

Arquivo Spice - O arquivo contém 7 “blocos” principais:

```
*****
** PARTE 1 – TRANSITOR SIZING AND OUTPUT LOAD USED DURING THIS SIMULATION (não alterar)
*****
.param Wp=0.3 Wn=0.15 Cload=3fF

*****
** BASIC GATES Portas lógicas utilizadas pelos flip-flops (não alterar)
*****
.subckt inv in out vcc
.subckt invX4 in out vcc
.subckt inv_tg in ck nck out vcc
.subckt nand2 o1 s1 s2 vcc
.subckt tg a b nb out vcc
.subckt clkg CLK clkG vcc

*****
** PARTE 3 – DESCRIÇÃO DOS FLIP-FLOPS
*****
.subckt latch D Q ck nck vcc
X1 D Y vcc inv
X2 Y ck nck X vcc tg
X3 X Z vcc inv
X4 Z nck ck X vcc inv_tg
X5 X Q vcc inv
.ends latch

.subckt ff_static D Q NQ ck nck vcc
completar

.subckt ff_tspc D Q nQ ck vcc
completar

.subckt ff_pulse d q clkG vcc
completar

*****
** PARTE 4 – CIRCUIT DESCRIPTION completar
*****

*** circuito 1 – LATCH ***
X1 D q_latch CK nCK vcc latch
C1 q_latch 0 Cload

** circuito 2 – FLOPS MESTRE ESCRAVO
** circuito 3 – divisor de clock *****
** circuito 4 – contador *****

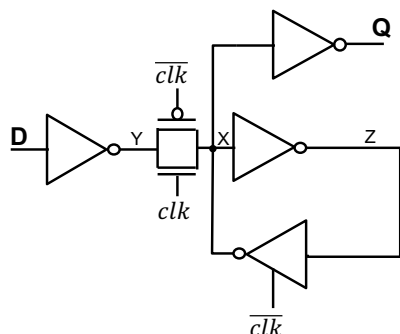
*****
** PARTE 5 – SIMULATION CONTROL AND CLOCK/INPUT SOURCES (não alterar)
*****

*****
** PARTE 6 – COMANDOS DE MEDIDA (não alterar)
*****

*****
** PARTE 7 – CARGA PARA O CIRCUITO 3 – DIVISOR DE CLOCK completar
*****
```

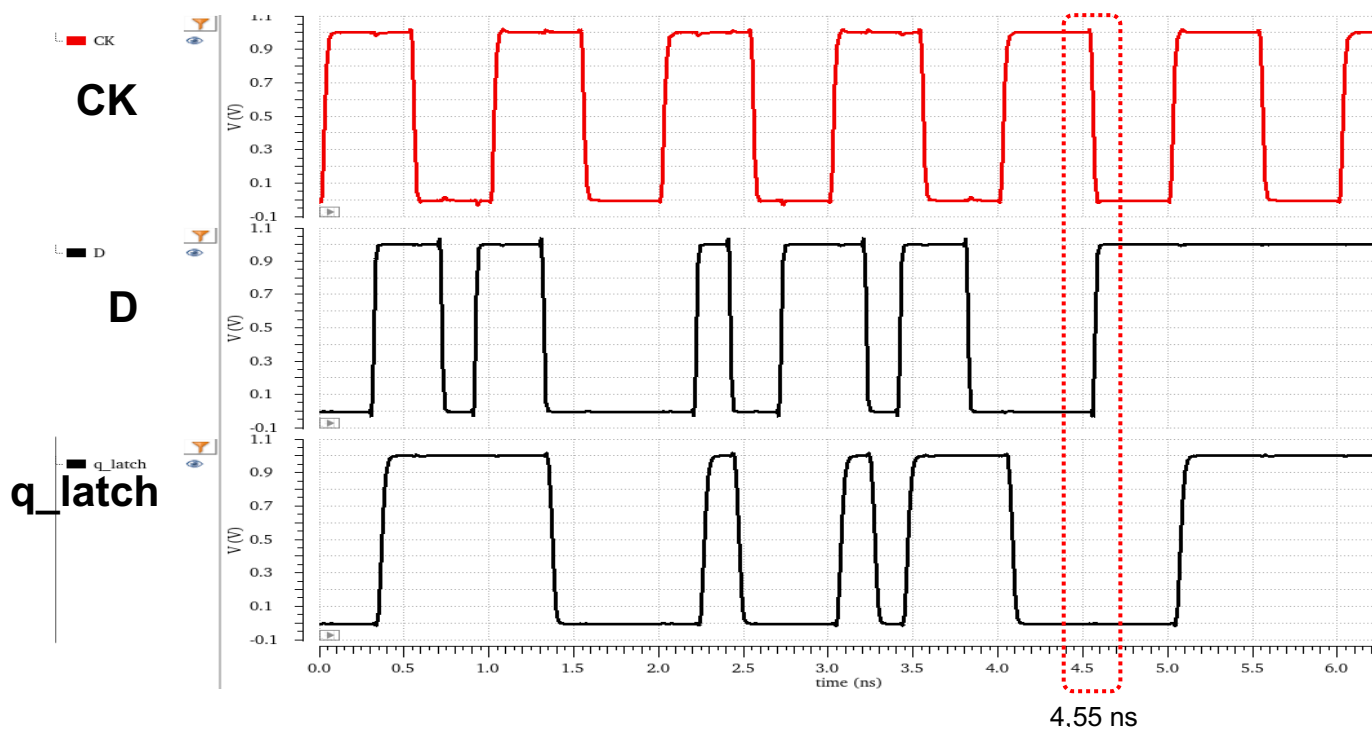
1) [1,5 pt] SIMULAÇÃO DO CIRCUITO LATCH

No arquivo *ffs.sp* a *latch* é implementada com *buffer tristate* – consultar lâminas da aula.



LINHA 100: **** circuito 1 - LATCH *****
 X1 D q_latch CK nCK vcc latch
 C1 q_latch 0 Cload

Simular o arquivo fornecido, observar os sinais *clk*, *D*, *q_latch*. A figura abaixo mostra as formas de onda resultantes (em destaque a violação de tempo de *setup*).



Responder:

- 1.1. Para qual nível a *latch* é “transparente” (ou “passante”, ou “seguidor”)?
- 1.2. **Tempo de setup.** Observe que a entrada *D* muda no mesmo instante que o *clock* em 4,55 ns, não havendo alteração na saída. Altere a transição de *D* para **4.4 ns** e diga o que ocorreu, o motivo, e o **novo gráfico de simulação** – altere o comando *pwl* que gera o valor de *D*:

De (linha 156):

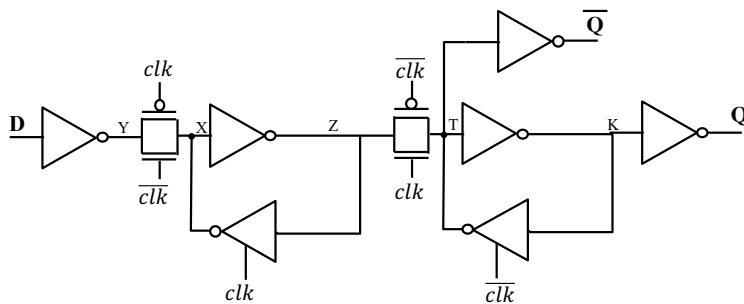
Para:

+ 3.803n 0 4.55n 0	+ 3.803n 0 4.45n 0
+ 4.553n 1)	+ 4.453n 1)

2) SIMULAÇÃO DOS FLIP-FLOPS MESTRE-ESCRAVO

- ➔ Descrever o FF MS estático, cujo diagrama elétrico está apresentado abaixo

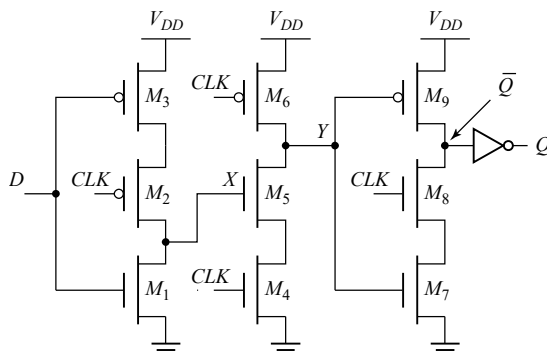
Descrição do sub-circuito (linha 62)



```
.subckt ff_static D Q NQ ck nck vcc
X1 D Y vcc inv
X2
X3
X4
X5
X6
X7
X8
X9
.ends ff_static
```

- ➔ Descrever o FF TSPC, cujo diagrama elétrico está apresentado abaixo.

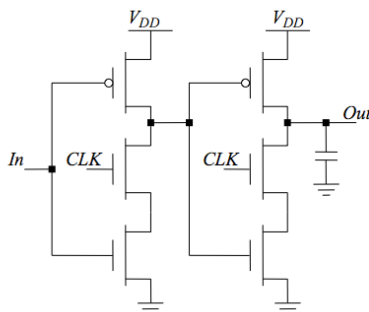
Descrição do sub-circuito (linha 74)



```
.subckt ff_tspc D Q nQ clk vcc
M3 n0 D vcc vcc psvtgp w=wp l=0.06
M2 n0 clk X vcc psvtgp w=wp l=0.06
M1 X D 0 0 nsvtgp w=wn l=0.06
...
.ends ff_tspc
```

- ➔ Descrever o FF MS pulsado, cujo diagrama elétrico está apresentado abaixo (de fato o circuito apresentado na figura é uma latch TSPC).

Descrição do sub-circuito (linha 87)

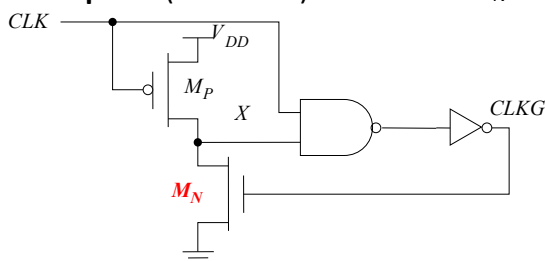


```
.subckt ff_pulse d q clk vcc

completar

.ends ff_pulse
```

Gerador de pulso (fornecido) - transistor M_N com $L=0,4\mu\text{m}$ para o gerador de pulso operar corretamente:



```
.subckt clckg CLK CLKG vcc
M1 n0 CLK vcc vcc psvtgp w=wp l=0.06
M2 n0 CLKG 0 0 nsvtgp w=wn l=0.4
X1 n1 CLK n0 vcc nand2
X2 n1 CLKG vcc inv
.ends clckg
```

Instanciar no arquivo os flip-flops como abaixo (linhas 105-112):

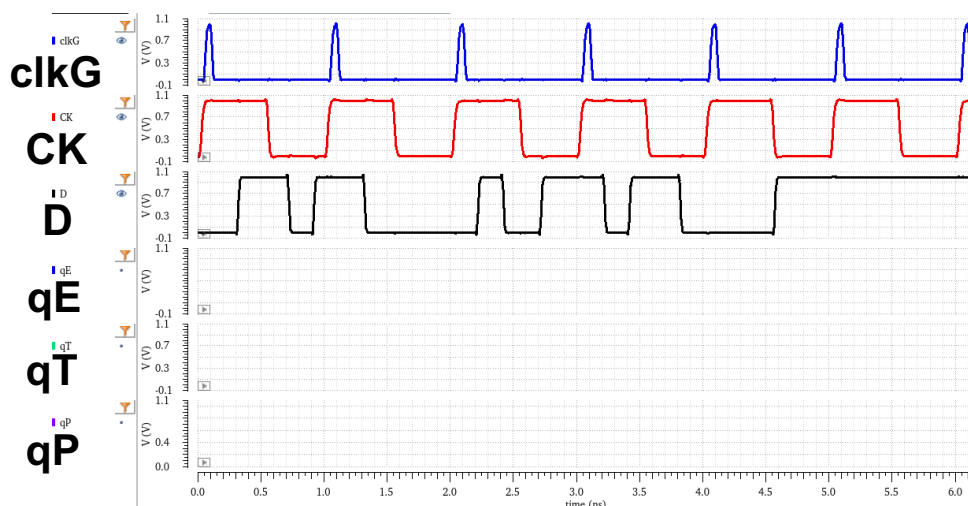
```
**** circuito 2 - FLOPS MESTRE ESCRAVO
X2 D qE nqE CK nCK vcc ff_static
X3 D qT nQT CK vcc ff_tspc
X4 D qP clkG vcc ff_pulse
X5 CK clkG vcc clckg

C21 qE 0 Cload
```

```
C31 qT 0 Cload
C41 qP 0 Cload
```

Pede-se [5,5 pts]:

- 2.1. [1,5] Apresentar no relatório a descrição SPICE dos sub-circuitos **ff_static**, **ff_tspc**, **ff_pulse**.
- 2.2. [0,5] Qual o número de transistores para cada flip-flop (desconsiderando o gerador de pulsos para o **ff_pulse**)?
- 2.3. [2,0] Apresentar o diagrama de tempos para os sinais **clkG**, **CK**, **D**, **qE**, **qT**, **qP** (6 ns iniciais de simulação), como abaixo.



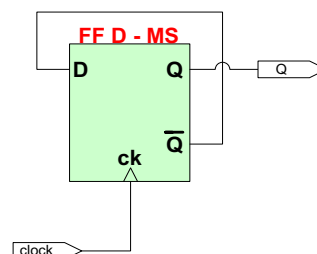
- 2.4. [0,5] Estes flip-flops MS são sensíveis à qual borda? Indicar no diagrama de tempos. Sugestão: inserir uma linha pontilhada nas bordas em que ocorre a transição.
- 2.5. [1,0] Preencher a tabela abaixo, destacando o flip-flop mais rápido (o tempo do flip-flop é o pior caso entre o tempo de subida e descida). Os tempos indicados na tabela são os *labels* do arquivo *measure*. O resultado é o esperado? Por quê?

	Tempo de descida (ps)	Tempo de subida (ps)
Flip-flop estático	t1_F_ffd	t1_R_ffd
Flip-flop TSPC	t2_F_tspc	t2_R_tspc
Flip-flop Glitch	t3_F_pulsado	t3_R_pulsado

3) [1,5 pt] DIVISOR DE RELÓGIO

Insira uma nova instância do flip-flop D MS estático, realimentando o sinal **nq** com a entrada **D**. O resultado é a divisão do sinal de relógio, gerando a metade da frequência.

```
** circuito 3 - divisor de clock *****
X6 nq4 q4 nq4 CK nCK vcc ff_static
C61 q4 0 clms
```



Utilizar como capacitância de saída o valor **clms** assumindo os valores {20fF, 80fF, 140fF}. Inserir o código abaixo antes do comando **“.end”**:

```
.param clms=20fF
.alter
.param clms=80fF
.alter
.param clms=140fF
.end
```

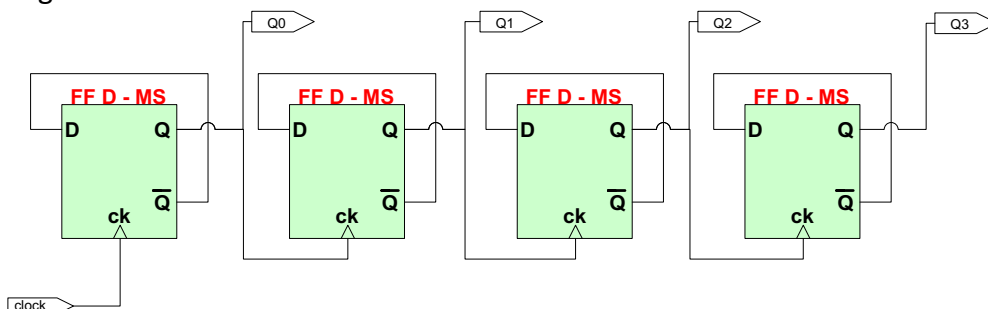
- a) [0,7] Apresente um diagrama de tempos contendo o **CK** e os 3 valores de q4 **sobrepostos**.
- b) [0,8] Considerando o nível lógico '0' entre 0 e 0.2V, e '1' entre 0.8V e 1V, anote a excursão do sinal:

$$80\text{fF} = \{ _, _ \}, 140\text{fF} = \{ _, _ \}$$

Discuta o que ocorreu, e se em algum caso o flip-flop deixar de operar corretamente, apresente uma solução (com forma de onda) que mostre a correta operação do flip-flop, mantendo estas cargas de saída.

4) [1,5 pt] CONTADOR ASSÍNCRONO DE 4 BITS

Utilizando o flip-flop D mestre-escravo estático, implemente um contador assíncrono de 4 bits conforme o diagrama abaixo.



- Inserir 4 instanciações do ffd estático. Exemplo para o primeiro FF, com carga no sinal Q.

```

** parte 4 - contador *****
.ic v(f0)=0 v(f1)=0 v(f2)=0 v(f3)=0 v(nf0)=1 v(nf1)=1 v(nf2)=1 v(nf3)=1
Xc0 nf0 f0 nf0 CK nCK vcc ff_static
Xc1 ...
Xc2 ...
Xc3 ...

c5 f0 0 Cload
c6 ...
c7 ...
c8 ...

```

Pede-se:

- 4.1 [0,5] Apresente no relatório a descrição SPICE referente apenas ao trecho de código do contador.
- 4.2 [1,0] Plote os sinais **CK**, **f0**, **f1**, **f2**, **f3**. **Todos os 16** estados devem aparecer na janela de forma de ondas, um abaixo do outro. Considerando $f=1\text{GHz}$, teremos 2^4 estados, ou seja 16 ns para simular os 16 estados. Apresente a janela de simulação de **0 a 20 ns**. O contador está contando de forma crescente ou decrescente? Por quê?

FIM DO LABORATÓRIO 5