

# LABORATÓRIO 3 - SIMULAÇÃO DE PORTAS LÓGICAS NAND E NOR

Fernando Gehm Moraes - 07/abril/2024

## Objetivo deste laboratório

Analisar a influência do número de **transistores em série** no atraso das portas lógicas e a **posição do chaveamento** (qual entrada está mudando de estado).

## Fazer download dos arquivos necessários ao laboratório

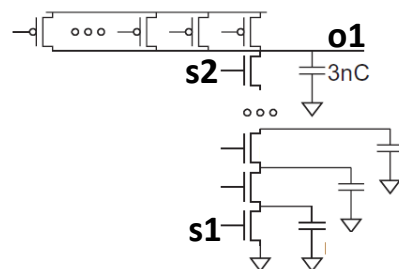
```
wget https://fgmoraes.github.io/microel/lab3/nand6.sp
wget https://fgmoraes.github.io/microel/lab3/nor6.sp
wget https://fgmoraes.github.io/microel/lab3/st65.scs
```

## Arquivo que descreve as portas NAND, de 2 a 6 entradas

Abrir o *netlist* nand6.sp e observar neste arquivo (na linha 2 há a data de atualização: 07/abril/2024):

- Linha 11: processo 65nm
- Linha 14: `.param Cload=3fF mob=2.4 wp=0.5 wn='2*wp/mob'`, onde:
  - **Cload**: carga de saída de cada porta NAND
  - **mob**: relação de mobilidade ( $\mu_n/\mu_p$ ) para esta tecnologia
  - **wp**: dimensão  $W_P$  em  $\mu m$
  - **wn**: dimensão  $W_N$  em  $\mu m$  ( $2*wp/mob$ )
- Linha 86: tensão de alimentação (`vcc vcc 0 dc 1.0`)
- linhas 87 e 88: comandos PWL (geração dos estímulos para as entradas i1 e i2)
- linhas 89 e 92: tensão fixa em '1.0' nas entradas intermediárias da pilha série (i3, i4, i5, i6)
- Linhas 23-30: descrição *spice* da porta lógica NAND3. Transistores P em paralelo, e os transistores N em série.

```
.SUBCKT nand3 o1 s1 s2 s3 vcc
M1 o1 s1 vcc vcc psvtgp w=wp l=0.06
M2 o1 s2 vcc vcc psvtgp w=wp l=0.06
M3 o1 s3 vcc vcc psvtgp w=wp l=0.06
M10 0 s1 4 0 nsvtgp w=wn l=0.06
M11 4 s3 2 0 nsvtgp w=wn l=0.06
M12 2 s2 o1 0 nsvtgp w=wn l=0.06
.ENDS nand3
```



- **s2** é a entrada que está variando mais próxima da **saída**
- **s1** é a entrada que está mudando de estado mais próximo de **gnd**
- as demais entradas (i3 a i6) ficam em 1, para os transistores N em série conduzirem

- **Dimensionamento dos transistores.** Para estudarmos o efeito dos transistores em série, manteremos o dimensionamento das portas NAND (2 a 6 entradas) igual ao dimensionamento da porta NAND2

Os transistores P, na porta NAND2, por estarem em paralelo, possuem o mesmo dimensionamento. Neste exemplo: **0.5  $\mu m$** . Os transistores N, em **série**, devem ter a relação de mobilidade (**mob**) respeitada, devendo ter o dimensionamento de um inversor equivalente, seguindo o princípio do método *logic effort* (inverso da soma dos inversos).

Para a NAND2:

$$W_P = W_N * mob \rightarrow W_N = \frac{W_P}{mob}$$

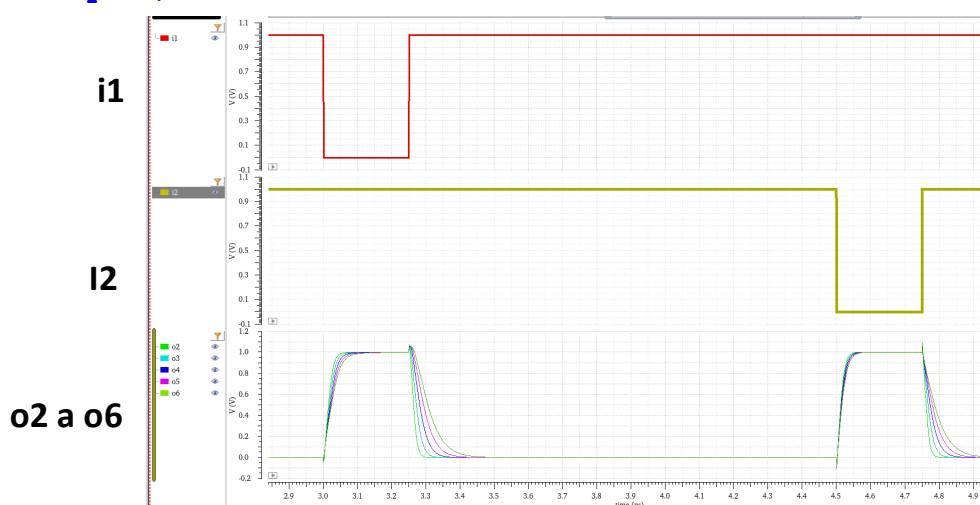
$$\frac{1}{1/W_N + 1/W_N} = \frac{W_P}{mob}$$

$$W_N = \frac{2 * W_P}{mob} = \frac{2 * 0,5}{2,4} = 0,416 \quad (\text{conforme acima: } wn = '2 * wp / mob')$$

## Simulação da porta NAND [6 pt]

1. [1 pt] Apresentar as formas de onda com as entradas (i1 e i2) e as saídas das portas lógicas *nand* de 2 a 6 entradas, como abaixo. **Compreender** a formas de onda com a descrição dos estímulos. Por exemplo:

`v1 i1 0 pw1(0 1.0 3n 1.0 3.001n 0 3.25n 0 3.251n 1.0)`



Preencher a tabela abaixo para as portas NAND, acessando o arquivo *nand6.measure*. **O NETLIST SPICE PRECISA SER COMPLETADO COM AS MEDIDAS DAS NANDS 3 a 6.**

N# Entradas	descida_gnd (ps) - fs	descida_out (ps) - fo	subida_gnd (ps) - rs	subida_out (os) - ro
2	14,456	13,154	15,786	13,581
3				
4				
5				
6				

**Observar:  $f0 \approx r0 \rightarrow$  coerente com o método lógico effort**

Os tempos são gerados no arquivo *measure*:

descida\_gnd: t1\_2\_fs t1\_3\_fs t1\_4\_fs t1\_5\_fs t1\_6\_fs (fall gnd - transição i1 próximo à gnd)  
 descida\_out: t2\_2\_fo t2\_3\_fo t2\_4\_fo t2\_5\_fo t2\_6\_fo (fall out – transição i2 próximo à saída)  
 subida\_gnd: t3\_2\_rs t3\_3\_rs t3\_4\_rs t3\_5\_rs t3\_6\_rs (rise, transição em i1)  
 subida\_out: t4\_2\_ro t4\_3\_ro t4\_4\_ro t4\_5\_ro t4\_6\_ro (rise, transição em i2)

2. [1 pt] Plotar **um** gráfico com **4 curvas**, uma para cada coluna da tabela acima. No eixo X teremos o número de entradas, e no eixo Y o atraso em pico-segundos para as 4 curvas.
3. [1 pt] Como pode-se explicar o impacto do número de transistores em série no plano N na porta NAND no **tempo de propagação de descida**?
4. [0,5 pt] O **tempo de propagação de descida** é mais afetado quando a entrada que varia está próxima de *gnd* ou da *saída*? Explicar a razão.

5. [0,5 pt] Porque o **tempo de propagação de subida** aumenta, apesar de os transistores P estarem com o mesmo dimensionamento e em paralelo?
6. [1,0 pt] Utilizando o método *logic effort* alterar o dimensionamento dos transistores N (sugestão, criar parâmetros  $w_2, w_3, w_4, w_5$  e  $w_6 \rightarrow w_2 = '2 * w_p / mob, w_3 = \dots$ ) de tal forma que o tempo de propagação de **descida próximo à saída** ( $t_{2\_fo}, \dots, t_{6\_fo}$ ) para as 5 portas NAND sejam praticamente iguais (haverá uma diferença de 1,327 ps apenas). Preencha a tabela abaixo.

N# Entradas	descida_gnd (ps) - fs	descida_out (ps) - fo	subida_gnd (ps) - rs	subida_out (ps) - ro
2	14,456	13,154	15,786	13,581
3				
4				
5				
6				

A diferença observada em **descida\_out** conferiu com os 1,327 ps?

7. [1 pt] Plotar um gráfico com 4 curvas (como na questão 3), usando os tempos obtidos na questão 6. **Qual dos 4 tempos foi o mais penalizado? Por quê?** Notar que para compensar os tempos de descida à mediada que aumentamos o número de entradas estamos aumentando o  $W_n$ , mantendo o  $W_p$  fixo.

### Simulação da porta NOR [4 pt]

- **Completar o netlist para simular portas NOR, de 2 a 6 entradas.** Utilizar o arquivo disponibilizado como modelo.

```
* circuitos nor
```

```
simulator lang=spectre insensitive=no
```

```
include "st65.scs"
```

```
simulator lang=spice
```

```
param Cload=3fF mob=2.4 wn=0.2 wp='2*wn*mob'
```

```
.SUBCKT nor2 o1 s1 s2 vcc
```

```
M1 10 s1 vcc vcc psvtgp w=wp l=0.06
```

```
M2 o1 s2 10 vcc psvtgp w=wp l=0.06
```

```
M10 0 s1 o1 0 nsvtgp w=wn l=0.06
```

```
M11 0 s2 o1 0 nsvtgp w=wn l=0.06
```

```
.ENDS nor2
```

```
.SUBCKT nor3 o1 s1 s2 s3 vcc * Lembrar: entrada s1 próxima à vcc e entrada s2 próxima à saída
```

```
... completar ...
```

```
.ENDS nor3
```

```
.SUBCKT nor4 o1 s1 s2 s3 s4 vcc
```

```
... completar ...
```

```
.ENDS nor4
```

```
.SUBCKT nor5 o1 s1 s2 s3 s4 s5 vcc
```

```
... completar ...
```

```
.ENDS nor5
```

```
.SUBCKT nor6 o1 s1 s2 s3 s4 s5 s6 vcc
```

```
... completar ...
```

```
.ENDS nor6
```

```
** circuito propriamente dito
```

```
X1 o2 i1 i2 vcc nor2
```

```
X2 o3 i1 i2 i3 vcc nor3
```

```
X3 o4 i1 i2 i3 i4 vcc nor4
```

```
X4 o5 i1 i2 i3 i4 i5 vcc nor5
```

```
X5 o6 i1 i2 i3 i4 i5 i6 vcc nor6
```

```
** alimentações
```

```
vcc vcc 0 dc 1.0
```

```
v1 i1 0 pw1(... completar ...)
```

```
v2 i2 0 pw1(... completar ...)
```

```
v3 i3 0 dc 0 **** entradas não utilizadas  
v4 i4 0 dc 0 **** devem estar em 0 (zero)
```

```
v5 i5 0 dc 0
```

```
v6 i6 0 dc 0
```

```
.tran 0.001N 10N
```

```
C11 o2 0 Cload
```

```
C12 o3 0 Cload
```

```
C13 o4 0 Cload
```

```
C14 o5 0 Cload
```

```
C15 o6 0 Cload
```

```
.measure tran n2_subida_vdd trig v(i1) val=0.5 td=2n fall = 1 targ v(o2) val=0.5 rise = 1  
.measure tran n2_descida_vdd trig v(i1) val=0.5 td=2n rise = 1 targ v(o2) val=0.5 fall = 1  
.measure tran n2_subida_out trig v(i2) val=0.5 td=2n fall = 1 targ v(o2) val=0.5 rise = 2  
.measure tran n2_descida_out trig v(i2) val=0.5 td=2n rise = 2 targ v(o2) val=0.5 fall = 2
```

```
.measure tran t1_2_Fs param = '1e12*n2_descida_vdd'
```

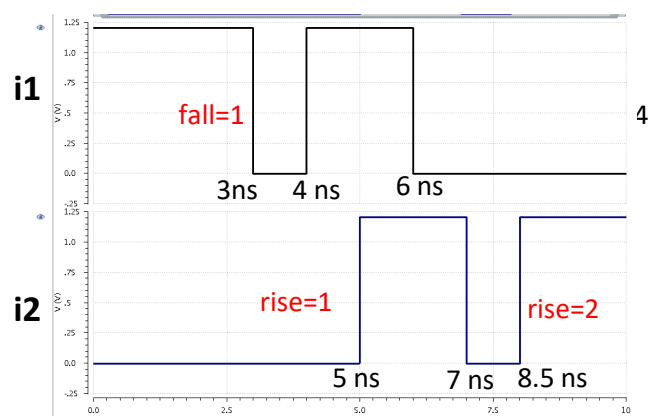
```
.measure tran t2_2_Fo param = '1e12*n2_descida_out'
```

```
.measure tran t3_2_Rs param = '1e12*n2_subida_vdd'
```

```
.measure tran t4_2_Ro param = '1e12*n2_subida_out'
```

```
...completar as medidas para outras NOR...
```

```
.END
```



lembrar que o slew (rampa) das entradas i1 e i2 deve ser 1ps.

## RESPONDER:

- [1 pt] Apresentar as formas de onda com as entradas (i1 e i2) e as saídas das **nor** 2 a 6 entradas (questão semelhante à 1 da simulação das portas *nand*)
- [2 pt] Para as portas NOR fazer uma **tabela** equivalente à NAND e plotar um gráfico com **4 curvas**, uma para cada coluna da tabela. No eixo X teremos o número de entradas, e no eixo Y os tempos de propagação.

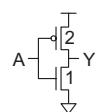
N# Entradas	descida_vdd (ps) - <b>fs</b>	descida_out (ps) - <b>fo</b>	subida_vdd (ps) - <b>rs</b>	subida_out (ps) - <b>ro</b>
2	21,3845	16,3271	17,3321	14,7379
3				
4				
5				
6				

- [0,5 pt] Como pode-se resumir o impacto do número de transistores em série na porta NOR em função do número de transistores em série no plano P no **tempo de propagação de subida**?
- [0,5 pt] O **tempo de propagação de subida** é mais afetado quando a entrada que varia está próxima de vcc ou da saída? Explicar a razão.

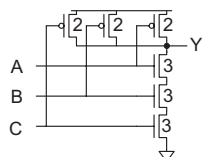
## MATERIAL PARA CONSULTA:

Livro: RABAEY, 2ª ED, capítulo 6, Seções 6.1 e 6.2.

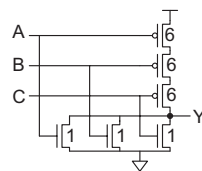
WESTE: 4.4.1 Logical Effort:



(a)  $C_{in} = 3$   
 $g = 3/3$



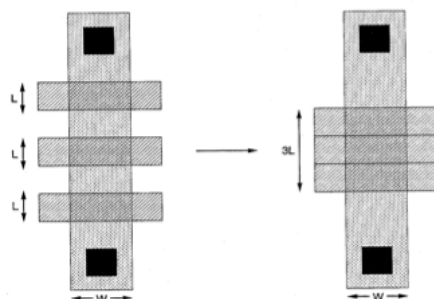
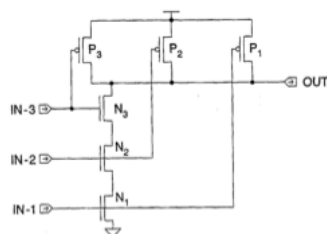
(b)  $C_{in} = 5$   
 $g = 5/3$



(c)  $C_{in} = 7$   
 $g = 7/3$

**FIGURE 4.22** Logic gates sized for unit resistance

## Transistors in Series: CMOS NAND



- Several devices in series each with effective channel length  $L_{eff}$  can be viewed as a single device of channel length equal to the combined channel lengths of the separate series devices
  - e.g. 3 input NAND: a single device of channel length equal to  $3L_{eff}$  could be used to model the behavior of three series devices each with  $L_{eff}$  channel length, assuming there is no skew in the increasing gate voltage of the three N pull-down devices.
  - The source/drain junctions between the three devices essentially are assumed as simple zero resistance connections
  - During saturation transient, the bottom two devices will be in their linear region and only the top device will be pinched off.

R. W. Knepper  
SC571, page 4-26

## FINAL DO LAB NAND-NOR