

Ata 18 de reunião do projeto TETHA – 12/Setembro/2006

Presentes (Equipe PUC):

Nome	e-mail	Dedicação
Fernando Moraes	moraes@inf.pucrs.br	coordenador
Ney Laert Vilar Calazans	calazans@inf.pucrs.br	coordenador
Everton Carara	carara@inf.pucrs.br	40
Érico Bastos	ebastos@inf.pucrs.br	40
Alzemiro Henrique Lucas	alzemiro@gmail.com	30
Guilherme Montez Guindani	ac107029@inf.pucrs.br	30
Samuel dos Santos Marczak	samuelmarczyk@yahoo.com.br	30
Taciano Ares Rodolfo	taciano@inf.pucrs.br	30
Eduardo Wachter	wachter@inf.pucrs.br	30
Leonel Tedesco	ltedesco@inf.pucrs.br	20

Pauta da reunião:

(Relatório da Atividade do Tetha - Período de 04 a 12 de setembro de 2006)

1. Guindani / Taciano.

- Teste de loop-back do MAC começou a funcionar corretamente, porém ainda há problemas de mal-formação de pacotes no início da simulação. Um PC envia pacotes, e o mesmo PC os recebe e analisa, apontando eventuais erros de mal-formação de pacotes. O chipscope está sendo utilizado para a verificação dos sinais internos.
- **A fazer:** teste com dois PC, enviando pacotes através de dois MACs.

2. Alzemiro / Carara / Érico.

- Trabalhando em EMULAÇÃO da plataforma TETHA. O objetivo é verificar o correto funcionamento da rede, utilizando um memória BRAM com pacotes simples. O chipscope será utilizado para verificação dos dados que trafegarão pela rede.
- **Estado atual:** simulação do VHDL mapeado (obtido após a síntese lógica) está correta para os módulos NI (network interface) e NoC. O módulo pacote-célula apresentou erros e está sendo corrigido.
- Será prototipada na VP30 uma rede 3x3, pois a rede completa não cabe neste FPGA.

3. Eduardo / Leonel / Samuel.

- Incluirão na ferramenta de geração de tráfego e avaliação de desempenho a medida de latência de rede, com o objetivo de se avaliar o tempo médio consumido para entrega de pacotes.
-