

LABORATÓRIO 3 - SIMULAÇÃO DE PORTAS LÓGICAS NAND E NOR

Fernando Moraes
10/setembro/2023

Objetivo deste laboratório

Analisar a influência do número de transistores em série no atraso das portas lógicas e a posição do chaveamento (qual entrada está mudando de estado).

Fazer download dos arquivos necessários ao laboratório

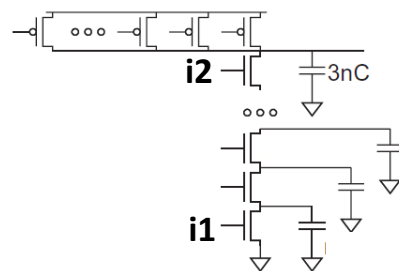
`wget https://fgmoraes.github.io/microel/lab3/nand6.sp`
`wget https://fgmoraes.github.io/microel/lab3/st65.scs`

Arquivo que descreve as portas NAND, de 2 a 6 entradas

Abrir o *netlist* nand6.sp e observar neste arquivo (na linha 2 há a data de atualização: 10/set/23):

- Linha 11: processo 65nm
- Linha 14: `.param Cload=4fF mob=2.45 wp=0.5 wn='2*wp/mob'`, onde:
 - **Cload**: carga de saída de cada porta NAND
 - **mob**: relação de mobilidade (μ_n/μ_p) para esta tecnologia
 - **wp**: dimensão W_P em μm
 - **wn**: dimensão W_N em μm ($2*wp/mob$)
- Linha 86: tensão de alimentação (`vcc vcc 0 dc 1.0`)
- linhas 87 e 88: comandos PWL (geração dos estímulos para as entradas i1 e i2)
- linhas 89 e 92: tensão fixa em '1' nas entradas intermediárias da pilha série (i3, i4, i5, i6)
- Linhas 23-30: descrição *spice* da porta lógica NAND3. Transistores P em paralelo, e os transistores N em série.

```
.SUBCKT nand3 o1 i1 i2 i3 vcc
M1 o1 i1 vcc vcc psvtgp w=wp l=0.06
M2 o1 i2 vcc vcc psvtgp w=wp l=0.06
M3 o1 i3 vcc vcc psvtgp w=wp l=0.06
M10 0 i1 4 0 nsvtgp w=wn l=0.06
M11 4 i3 2 0 nsvtgp w=wn l=0.06
M12 2 i2 0 0 nsvtgp w=wn l=0.06
.ENDS nand3
```



- **i2** é a entrada que está variando mais próxima da **saída**
- **i1** é a entrada que está mudando de estado mais próximo de **gnd**
- as demais entradas (i3 a i6) ficam em 1, para os transistores N em série conduzirem

- **Dimensionamento dos transistores.** Para estudarmos o efeito dos transistores em série, manteremos o dimensionamento das portas NAND (NAND2 a NAND6) igual ao dimensionamento da porta NAND2

Os transistores P, na porta NAND2, por estarem em paralelo, possuem o mesmo dimensionamento. Neste exemplo: **0.5 μm** . Os transistores N, em **série**, devem ter a relação de mobilidade (**mob**) respeitada, devendo ter o dimensionamento de um inversor equivalente, seguindo o princípio do método *logic effort* (inverso da soma dos inversos).

Para a NAND2:

$$W_P = W_N * mob \rightarrow W_N = \frac{W_P}{mob}$$

$$\frac{1}{1/W_N + 1/W_N} = \frac{W_P}{mob}$$

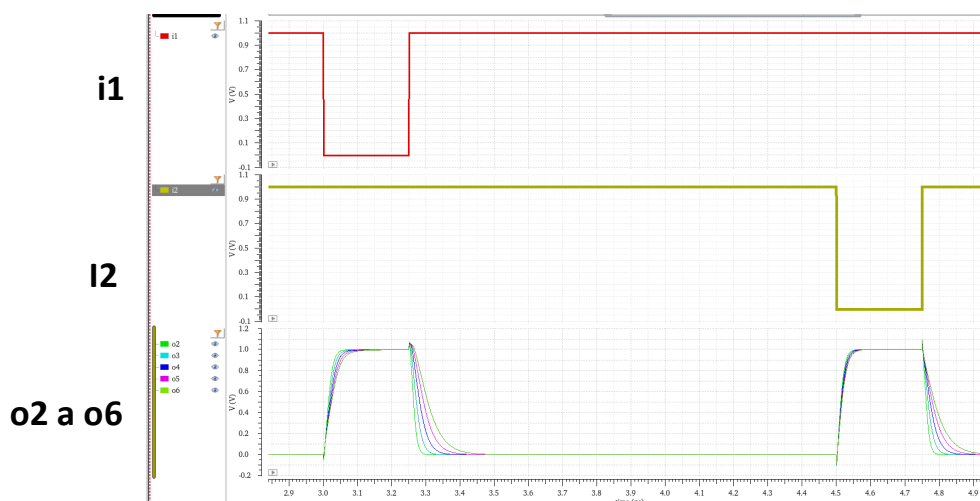
$$W_N = \frac{2 * W_P}{mob} = \frac{2 * 0,5}{2,45} = 0,41 \quad (\text{conforme acima: } wn = '2 * wp / mob')$$

Simulação da porta NAND [6 pt]

RESPONDER:

- [0,5 pt] Apresentar as formas de onda com as entradas (i1 e i2) e as saídas das portas lógicas *nand* de 2 a 6 entradas, como abaixo. Comparas a formas de onda com a descrição dos estímulos. Por exemplo:

`v1 i1 0 pwl(0 1.0 3n 1.0 3.001n 0 3.25n 0 3.251n 1.0)`



- [0,5 pt] Preencher a tabela abaixo para as portas NAND (acessar o arquivo *nand6.measure*). **NETLIST SPICE PRECISA SER COMPLETADO COM AS MEDIDAS DAS NANDS 3 a 6.**

N# Entradas	descida_out (ps) - fo	descida_gnd (ps) - fs	subida_out (os) - ro	subida_gnd (ps) - rs
2	16,1131	17,4086	16,3744	18,5525
3				
4				
5				
6				

Os tempos são gerados no arquivo *measure*:

descida_out: t2_2_fo t2_3_fo t2_4_fo t2_5_fo t2_6_fo (fall out – transição i2 próximo à saída)
 descida_gnd: t1_2_fs t1_3_fs t1_4_fs t1_5_fs t1_6_fs (fall gnd - transição i1 próximo à gnd)
 subida_out: t4_2_ro t4_3_ro t4_4_ro t4_5_ro t4_6_ro (rise, transição em i2)
 subida_gnd: t3_2_rs t3_3_rs t3_4_rs t3_5_rs t3_6_rs (rise, transição em i1)

- [1 pt] Plotar **um** gráfico com **4 curvas**, uma para cada coluna da tabela acima. No eixo X teremos o número de entradas, e no eixo Y o atraso em pico-segundos para as 4 curvas.
- [1 pt] Como pode-se explicar o impacto do número de transistores em série no plano N na porta NAND no tempo de propagação de descida?

5. [0,5 pt] O **tempo de propagação de descida** é mais afetado quando a entrada que varia está próxima de *gnd* ou da *saída*? Explicar a razão.
6. [0,5 pt] Porque o **tempo de propagação de subida** aumenta, apesar de os transistores P estarem com o mesmo dimensionamento e em paralelo?
7. [1,0 pt] Utilizando o método *logic effort* alterar o dimensionamento dos transistores N (sugestão, criar parâmetros w_2, w_3, w_4, w_5 e $w_6 \rightarrow w_2 = '2 * w_p / m_o b, w_3 = \dots$) de tal forma que o tempo de propagação de **descida próximo à saída** ($t_{2_2_fo}, \dots, t_{2_6_fo}$) para as 5 portas NAND sejam praticamente iguais (haverá uma diferença de 1,493 ps apenas). Preencha a tabela abaixo.

N# Entradas	descida_out (ps)	descida_gnd (ps)	subida_out (ps)	subida_gnd (ps)
2	16,1097	17,4087	16,3757	18,5628
3				
4				
5				
6				

A diferença observada em **descida_out** conferiu com os 1,493 ps?

8. [1 pt] Plotar um gráfico com 4 curvas (como na questão 3), usando os tempos obtidos na questão 7. Qual dos 4 tempos foi o mais penalizado (descida vdd, descida out, subida out, subida vdd)? Por quê?

Simulação da porta NOR [4 pt]

- Escrever o *netlist* para simular portas NOR, de 2 a 6 entradas. Modelo com a NOR2:

```
* circuitos nor // primeira linha deve ser comentário
simulator lang=spectre insensitive=no
include "st65.scs"
simulator lang=spice
```

```
.param Cload=4fF mob=2.45 wn=0.2 wp='wn*mob*2'
```

```
.SUBCKT nor2 o1 i1 i2 vcc
M1 10 i1 vcc vcc psvtgp w=wp l=0.06
M2 o1 i2 10 vcc psvtgp w=wp l=0.06
M10 0 i1 o1 0 nsvtgp w=wn l=0.06
M11 0 i2 o1 0 nsvtgp w=wn l=0.06
.ENDS nor2
```

```
.SUBCKT nor3 o1 i1 i2 i3 vcc
... completar ...
.ENDS nor3
```

* Lembrar: entrada i1 próxima à vcc e entrada i2 próxima à saída

```
.SUBCKT nor4 o1 i1 i2 i3 i4 vcc
... completar ...
.ENDS nor4
```

```
.SUBCKT nor5 o1 i1 i2 i3 i4 i5 vcc
... completar ...
.ENDS nor5
```

```
.SUBCKT nor6 o1 i1 i2 i3 i4 i5 i6 vcc
... completar ...
.ENDS nor6
```

```
** circuito propriamente dito
X1 o2 i1 i2 vcc nor2
```

lembrar que o slew (rampa) das entradas i_1 e i_2 deve ser 1ps.

```
X2 o3 i1 i2 i3 vcc nor3
X3 o4 i1 i2 i3 i4 vcc nor4
X4 o5 i1 i2 i3 i4 i5 vcc nor5
X5 o6 i1 i2 i3 i4 i5 i6 vcc nor6
```

** alimentações

```
vcc vcc 0 dc 1.0
```

```
v1 i1 0 pw1(... completar ...)
```

```
v2 i2 0 pw1(... completar ...)
```

```
v3 i3 0 dc 0 **** entradas não utilizadas
```

```
v4 i4 0 dc 0 **** devem estar em 0 (zero)
```

```
v5 i5 0 dc 0
```

```
v6 i6 0 dc 0
```

```
.tran 0.001N 10N *** tempo de simulação aumentado para 10 ns
```

```
C11 o2 0 Cload
```

```
C12 o3 0 Cload
```

```
C13 o4 0 Cload
```

```
C14 o5 0 Cload
```

```
C15 o6 0 Cload
```

```
.measure tran n2_subida_vdd trig v(i1) val=0.5 td=2n fall=1 targ v(o2) val=0.5 rise=1
```

```
.measure tran n2_descida_vdd trig v(i1) val=0.5 td=2n rise=1 targ v(o2) val=0.5 fall=1
```

```
.measure tran n2_subida_out trig v(i2) val=0.5 td=2n fall=1 targ v(o2) val=0.5 rise=2
```

```
.measure tran n2_descida_out trig v(i2) val=0.5 td=2n rise=2 targ v(o2) val=0.5 fall=2
```

```
.measure tran t1_n2sv param = '1e12*n2_subida_vdd'
```

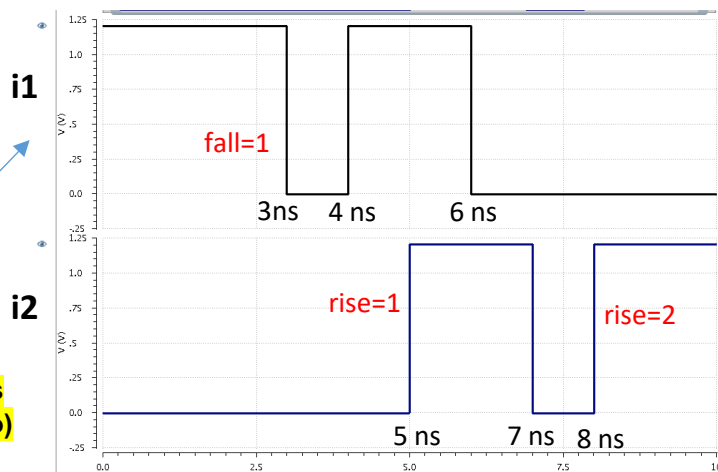
```
.measure tran t2_n2dv param = '1e12*n2_descida_vdd'
```

```
.measure tran t3_n2so param = '1e12*n2_subida_out'
```

```
.measure tran t4_n2do param = '1e12*n2_descida_out'
```

...completar as medidas para outras NOR...

.END



RESPONDER:

- [1 pt] Apresentar as formas de onda com as entradas (i1 e i2) e as saídas das **nor** 2 a 6 entradas (questão semelhante à 1 da simulação das portas *nand*)
- [2 pt] Para as portas NOR fazer uma **tabela** equivalente à NAND e plotar um gráfico com **4 curvas**, uma para cada coluna da tabela. No eixo X teremos o número de entradas, e no eixo Y os tempos de propagação.

Valores iniciais para referência:

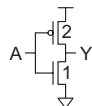
N# Entradas	descida_out (ps)	descida_vcc (ps)	subida_out (ps)	subida_vcc (ps)
2	19,6353	24,8842	17,4871	20,0721
3				
4				
5				
6				

- [0,5 pt] Como pode-se resumir o impacto do número de transistores em série na porta NOR em função do número de transistores em série no plano P no **tempo de propagação de subida**?
- [0,5 pt] O **tempo de propagação de subida** é mais afetado quando a entrada que varia está próxima de vcc ou da saída? Explicar a razão.

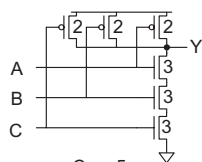
MATERIAL PARA CONSULTA:

Livro: RABAEY, 2ª ED, capítulo 6, Seções 6.1 e 6.2.

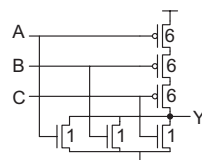
WESTE: 4.4.1 Logical Effort:



(a) $C_{in} = 3$
 $g = 3/3$



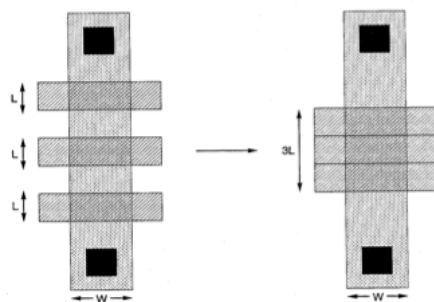
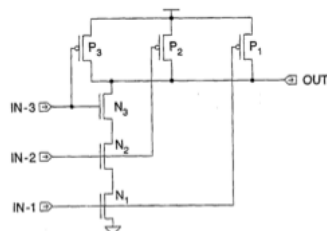
(b) $C_{in} = 5$
 $g = 5/3$



(c) $C_{in} = 7$
 $g = 7/3$

FIGURE 4.22 Logic gates sized for unit resistance

Transistors in Series: CMOS NAND



- Several devices in series each with effective channel length L_{eff} can be viewed as a single device of channel length equal to the combined channel lengths of the separate series devices
 - e.g. 3 input NAND: a single device of channel length equal to $3L_{eff}$ could be used to model the behavior of three series devices each with L_{eff} channel length, assuming there is no skew in the increasing gate voltage of the three N pull-down devices.
 - The source/drain junctions between the three devices essentially are assumed as simple zero resistance connections
 - During saturation transient, the bottom two devices will be in their linear region and only the top device will be pinched off.

R. W. Knepper
SC571, page 4-26

FINAL DO LAB NAND-NOR