

## PROJETO, IMPLEMENTAÇÃO E VALIDAÇÃO DE UM IP SOFT CORE ETHERNET SOBRE DISPOSITIVOS RECONFIGURÁVEIS

Delfim Luiz Torok <sup>1</sup>  
Ney Laert Vilar Calazans <sup>2</sup>  
Fernando Gehm Moraes <sup>3</sup>  
Andrey V. Andreoli <sup>4</sup>

Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS  
Faculdade de Informática – FACIN  
Grupo de Apoio ao Projeto de Hardware - GAPH  
Av. Ipiranga, 6681 - Prédio 30 / BLOCO 4  
Telefone: +55 51 320-3611 - Fax: +55 51 320-3621  
CEP 90619-900 - Porto Alegre - RS - BRASIL

### Abstract

This paper describes the design, implementation and validation strategies for an Intellectual Property (IP) soft Core deemed to fulfill the role of Medium Access Control protocol for Ethernet Local Area Networks. The design of the IP Core is done in the VHDL language, being thus flexible, portable and customizable to specific applications. The implementation is especially developed to fit in environments where the Core resides in reconfigurable hardware devices like RAM-based FPGAs. The prototyping of the Ethernet IP soft Core using commercial reconfigurable boards is described as well. Finally, the paper introduces a proposal for several validation environments, in order to fully test and characterize the Ethernet IP soft core in real world local networks.

### Resumo<sup>5</sup>

Este artigo descreve as estratégias de projeto, implementação e validação de um Núcleo de Propriedade Intelectual (IP soft Core) destinado a desempenhar o papel de protocolo de Controle de Acesso ao Meio para redes locais do tipo Ethernet. O projeto deste IP soft Core é completamente realizado na linguagem VHDL, sendo assim flexível, portátil e personalizável para aplicações específicas. A implementação é especialmente desenvolvida para adaptar-se bem a ambientes onde o Core reside em dispositivos de hardware reconfiguráveis tais como FPGAs baseados em RAM. Também se descreve aqui a prototipação do IP soft Core Ethernet usando placas comerciais reconfiguráveis. Finalmente, o artigo introduz uma proposta para vários ambientes de validação, visando testar e caracterizar completamente o IP soft Core Ethernet em redes locais reais.

Palavras-Chave - Redes de Computadores, redes locais, LAN, Ethernet, dispositivos reconfiguráveis, sistemas digitais, FPGAs, modelo de referência OSI, protocolo de acesso ao meio, MAC, IP Core. Soft Core.

---

<sup>1</sup> Mestrando em Ciência da Computação (CPGCC - PUCRS), Engenheiro Eletrônico (PUCRS, 1990). E-mail: [torok@inf.pucrs.br](mailto:torok@inf.pucrs.br).

<sup>2</sup> Doutor em Ciências Aplicadas, opção Microeletrônica (UCL, Bélgica, 1993), Engenheiro Eletrônico (UFRGS, 1985), Professor Titular da Faculdade de Informática/PUCRS. E-mail: [calazans@inf.pucrs.br](mailto:calazans@inf.pucrs.br).

<sup>3</sup> Doutor em Informática, opção Microeletrônica (LIRMM, França, 1994), Engenheiro Eletrônico (UFRGS, 1987), Professor Adjunto da Faculdade de Informática/PUCRS. E-mail: [moraes@inf.pucrs.br](mailto:moraes@inf.pucrs.br).

<sup>4</sup> Aluno do Curso de Bacharelado em Informática (PUCRS). E-mail: [andrei@inf.pucrs.br](mailto:andrei@inf.pucrs.br).

<sup>5</sup> Este trabalho tem o suporte parcial do CNPq e da FAPERGS.

## 1 Introdução

Dentre as tecnologias de transmissão de dados em redes locais modernas (em inglês, *Local Area Networks* ou LANs), aquela conhecida como Ethernet é sem dúvida a mais difundida. Sua popularidade deriva de diversos fatores. Entre estes, salienta-se o fato de se tratar de padrão internacional reconhecido por diversos organismos internacionais (e.g. IEEE, ISO, ANSI) [4]. Outro motivo para sua difusão em escala mundial é que desde sua proposta original por Metcalfe e Boggs [6], as especificações e o direito de construir este tipo de interfaces de rede foram abertos. Esta abertura, combinada com a facilidade de uso e robustez do sistema, resultou no grande sucesso da tecnologia, entre outros no ramo de computadores. A maioria dos computadores pessoais atualmente comercializados estão equipados com uma interface 10-Mbps e/ou 100-Mbps Ethernet, possibilitando conectá-los facilmente a uma LAN preexistente. Outra vantagem relevante da tecnologia Ethernet é a escalabilidade da tecnologia, vinculada ao caminho evolutivo do padrão para velocidades de transmissão cada vez mais altas (10, 100 e 1Gbps) e compatibilidade a nível de meio físico de transmissão e equipamentos.

O presente trabalho descreve o projeto, a implementação e a validação de parte da tecnologia Ethernet sobre dispositivos reconfiguráveis. Trata-se aqui da implementação do protocolo de acesso ao meio em redes Ethernet (Medium Access Control, ou MAC), que corresponde à camada do protocolo diretamente implementada em hardware digital. Tal implementação toma a forma de um módulo de Propriedade Intelectual reutilizável pré-validado e pré-caracterizado (em inglês, Intellectual Property Core, ou IP Core). O objetivo estratégico do trabalho é dominar a tecnologia de implementação de controladores de redes locais, concentrando-se nos níveis inferiores de abstração (hardware e software básico mínimo). Endereça-se aqui a construção de módulos de hardware e software no nível de enlace do modelo de referência OSI da ISO. Como resultado, disponibilizar-se-á os módulos funcionais implementados para futuros estudos e pesquisas na implementação e comparação de dispositivos e protocolos de acesso ao meio para LANs.

Na Seção 2, são apresentados alguns conceitos básicos de redes de computadores e da tecnologia Ethernet, além de mostrar a arquitetura geral de um controlador de acesso a uma rede Ethernet via um estudo de caso comercial. A estrutura geral do IP Core Ethernet em implementação é tema da Seção 3, que propõe um diagrama de blocos para o sistema, e apresenta as ferramentas empregadas no desenvolvimento do trabalho. A Seção 4 apresenta o detalhamento da implementação, bem como a proposta de ambiente de teste a ser empregado na validação do IP Core. Finalizando, a Seção 5 apresenta algumas conclusões parciais, relata o estado atual de andamento do trabalho e delinea trabalhos futuros no tema.

## 2 Redes de Computadores e o padrão Ethernet

Uma *rede de computadores* é definida como um conjunto de módulos processadores capazes de trocar informações e compartilhar recursos interligados por um sistema de comunicações [9]. Uma *rede local* é aquela que apresenta seus módulos processadores interligados através um sistema de comunicação localizado numa área restrita. Atualmente, considera-se área restrita uma região delimitada por distâncias máximas entre 100 m e 25 Km [9]. Redes locais são ainda caracterizadas pela taxa de transmissão de bits associada. As distâncias e as taxas de bits atuais mais encontradas são 0.1 a 10 Km e 10 a 100 Mbps, respectivamente. O produto destes valores pode ser usado para definir os limites desta tecnologia, embora estes sejam mutáveis ao longo do tempo. Pode-se assim caracterizar redes locais como sendo aquelas com um vazão por limite de distância variando hoje em 1Mbps.m e 1Gbps.m [9]. Contudo, o limite superior vem sendo paulatinamente ultrapassado com novas tecnologias, tais como Fast Ethernet, ATM (Asynchronous Transfer Mode) e as Gigabit Ethernet. Redes locais adotam quase sempre estratégias baseadas no *controle distribuído* da comunicação, que oferece as vantagens de baixo custo de implementação e a descentralização. Esta descentralização traz vantagens como diminuição do processamento de informações de controle, e aumento da tolerância a falhas da rede.

Um *protocolo de comunicação* é um conjunto de regras que regem a comunicação entre módulos processadores mediante as conexões físicas que determinam uma *topologia de rede*. Uma *arquitetura de rede* é formada por níveis, interfaces e protocolos, e é definida como um conjunto de camadas hierárquicas, cada uma destas sendo construída utilizando as funções e serviços oferecidos pelas camadas inferiores [9].

## 2.1 Hierarquia de protocolos – o modelo de referência OSI

O modelo de referência para Interconexão de Sistemas Abertos (em inglês, *Reference Model for Open Systems Interconnection* ou OSI-RM), proposto pela International Standards Organization (ISO), permite a estratificação, o projeto e a implementação de protocolos padronizados em redes de comunicação. O OSI-RM divide o tratamento de informações de rede em sete níveis de abstração. A hierarquia proposta pelo OSI-RM é detalhada no lado esquerdo da Figura 1.

A IEEE (Institute of Electrical and Electronic Engineers) Standards Association definiu um padrão de redes locais a partir da tecnologia Ethernet original [6], identificando este padrão pelo código IEEE 802.3. Este ocupa o equivalente aos níveis 1 e 2 no OSI-RM. A nível de redes locais, o padrão 802.3 é o mais utilizado hoje.

Para que um módulo processador possa operar em uma rede de computadores, devem ser instalados recursos de hardware e software que complementem seus dispositivos e seu sistema operacional local.

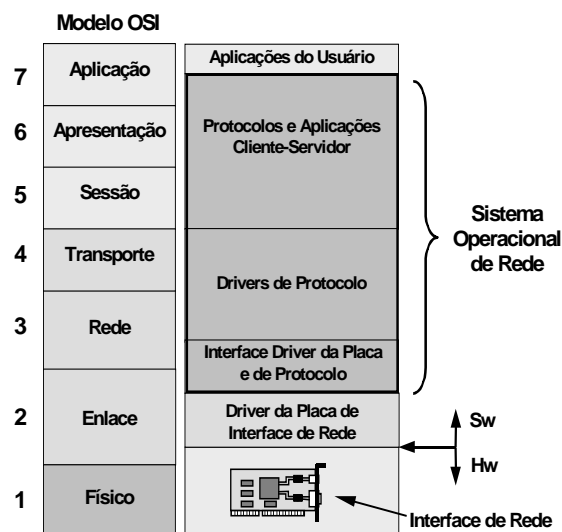


Figura 1 - O OSI-RM e um exemplo típico de sistema operacional de rede.

Em uma rede local, o hardware adicional a ser acrescentado ao módulo processador se constitui, em geral, de uma placa de interface de rede e um software, genericamente denominado *sistema operacional de rede*. Os componentes típicos de um sistema operacional de rede são mostrados na Figura 1 à direita, comparados com os níveis do OSI-RM. Tal sistema engloba um conjunto de módulos implementando os protocolos, as aplicações cliente-servidor de uso geral e um ou mais módulos de software básico (em inglês *drivers*). O controle e configuração da placa de rede são realizados pelo *driver* de dispositivo, que se comunica com o sistema operacional de rede através de uma interface bem definida.

## 2.2 Estudo de caso de controladores de interface redes: o CS8900A

Um Controlador de Interface de Rede (em inglês, Network Interface Card ou NIC) é um hardware dedicado a fornecer serviços de envio de dados através de uma rede. Dados são convertidos em cadeias de bits e fracionados em pacotes, sendo a seguir enviados ao sistema de destino. Também é responsabilidade do NIC recompor, a partir dos pacotes recebidos, os dados originais. Frequentemente, NICs ainda implementam um mecanismo de controle de fluxo e de erros para garantir a integridade dos dados contidos nos pacotes, estes últimos frequentemente denominados *quadros*.

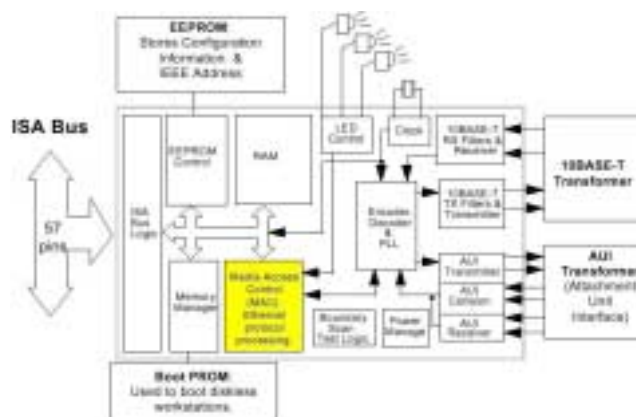
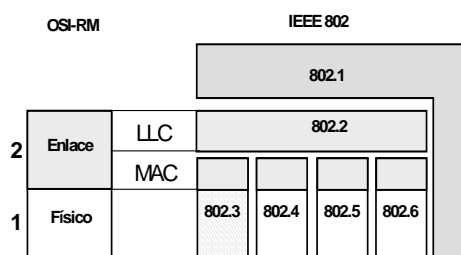


Figura 2 - Diagrama de blocos do NIC, detalhando a estrutura interna CS8900A.

Existe hoje grande quantidade de circuitos integrados (CIs) comerciais que implementam a maior parte da funcionalidade de hardware de NICs Ethernet. A Figura 2 mostra o esquema geral de um NIC comercial usado em computadores pessoais. Ele é implementado com o CI CS8900A da empresa Cirrus Logic, Inc [2]. Este CI é instalado em uma placa com barramento padrão ISA. O controlador permite a conexão ao meio de transmissão diretamente (via par trançado, através do conector RJ-45) ou através do conector AUI a um transceptor externo.

### 2.3 A tecnologia Ethernet e o padrão 802.3



**Figura 3 - Relação entre os padrões IEEE 802 e o OSI-RM.**

O método de acesso ao meio CSMA/CD pertence ao subnível de controle de acesso ao meio (MAC) [4]. O subnível MAC e o controle de enlace lógico (LLC - Logical Link Control) juntos englobam a funcionalidade necessária para o nível de enlace definido no modelo OSI. Os níveis físico e de enlace dados pelos padrões IEEE 802.2 e 802.3 correspondem aos níveis mais baixos do OSI/ISO conforme ilustra a Figura 4.

A Figura 5 detalha o formato de quadro usado na transmissão de dados via tecnologia Ethernet. Um padrão anterior, Ethernet II DIX, ainda em uso por alguns fabricantes, emprega um quadro ligeiramente distinto. A diferença está no campo de tamanho, sombreado na Figura 5. Existem formas de compatibilizar transmissão e recepção entre estes [10].

<b>Preâmbulo</b> 7 bytes	<b>Delimitador de Início de Quadro (SFD)</b> 1 byte	<b>Endereço Destino</b> 6 bytes	<b>Endereço Fonte</b> 6 bytes	<b>Tamanho do quadro</b> 3 bytes	<b>Dados</b> 46 – 1.500 bytes	<b>FCS (CRC)</b> 4 bytes
-----------------------------	--	------------------------------------	----------------------------------	-------------------------------------	----------------------------------	-----------------------------

**Figura 5 - Quadros IEEE 802.3 (básico) e Ethernet II.**

A natureza das informações contidas em cada um dos campos do quadro padrão 802.3 são em sua maioria óbvias a partir da Figura 5. No quadro Ethernet, todos os campos são de tamanho fixo, menos o de dados, que deve conter um número inteiro de bytes. O quadro Ethernet é definido como não válido quando um quadro não possuir um número inteiro de bytes, ou se as partes de um quadro recebido não gerarem um valor de CRC idêntico ao CRC recebido, ou se o tamanho do quadro for menor que o tamanho mínimo.

Para que os quadros Ethernet sejam adequadamente transmitidos ou recebidos, o subnível MAC deve desempenhar diversas tarefas, visando garantir a transmissão dos dados com integridade. Na transmissão de quadros, o MAC aceita dados do subnível LLC e monta um quadro. A seguir, transmite um fluxo de dados serial para o nível físico. Sempre que o meio físico está ocupado, o MAC adia a transmissão de dados. O MAC também computa e acrescenta o FCS para os quadros de saída, e verifica o alinhamento de byte completo. Para garantir o intervalo de tempo mínimo entre quadros, o MAC retarda a transmissão dos dados. Ele também é responsável por detectar colisões e reter a transmissão quando isto ocorre. Após uma colisão, o MAC reforça esta por algum tempo, para garantir a detecção por toda a rede, e programa a retransmissão depois de uma colisão para um instante futuro calculado. Finalmente, o MAC acrescenta preâmbulo, delimitador de início de quadro e FCS, para todos quadros de saída. Por outro lado, na recepção, o MAC verifica erros de transmissão nos quadros recebidos por meio do FCS e verifica o alinhamento de byte completo. Também descarta quadros menores que o mínimo, que possuem erros de CRC ou aqueles que não têm número inteiro de bytes e remove preâmbulo, delimitador de início de quadro e FCS de todos quadros recebidos. Finalmenete, o MAC transfere a informação útil do quadro ao módulo processador.

### 3 Desenvolvimento de NICs Ethernet sobre FPGAs

O projeto de dispositivos de transmissão de dados de alto desempenho e dispositivos reconfiguráveis são áreas de pesquisa em crescente desenvolvimento. O objetivo específico deste trabalho é implementar um módulo de hardware *reutilizável e portátil* para diferentes tecnologias de implementação, junto com o software mínimo necessário ao seu uso. Outro objetivo é que o módulo desenvolvido permita a rápida construção de sistemas digitais que empreguem o padrão de comunicação IEEE 802.3. Uma das medidas mais importantes no sentido de tornar o hardware portátil e reutilizável foi a escolha da linguagem VHDL [5], em tese independente da tecnologia de implementação.

As justificativas para empreender o presente trabalho, malgrado a disponibilidade de circuitos integrados (CIs) comerciais que desempenhem a função de controle de acesso ao meio Ethernet, são múltiplas. Além dos benefícios acadêmicos de dominar uma tecnologia estratégica de transmissão de dados, existem benefícios potenciais para empresas latino-americanas usuárias da tecnologia Ethernet. O custo de CIs controladores para Ethernet é relativamente alto para estas empresas. Além disso, os CIs comerciais são inflexíveis quanto às funções que podem desempenhar, ou seja, funções a mais não podem ser acrescentadas, exceto pela adição de outros CIs ao sistema, e funções desnecessárias presentes no CI não podem deste ser removidas. O desenvolvimento de um IP Core Ethernet em VHDL (denominado *soft IP Core*), aliado ao emprego de dispositivos reconfiguráveis de baixo custo, remove esta inflexibilidade, permitindo adaptar o hardware ao subconjunto de funções estritamente necessárias no produto que o emprega, melhorando a relação custo benefício de produtos tecnológicos. O acesso à tecnologia de implementação de IP Cores Ethernet permite liberar empresas da necessidade de importar CIs, muitas vezes a um custo que reduz a competitividade de seus produtos. Outra justificativa, ainda no mesmo sentido é a perspectiva de se ver em breve o emprego de controladores de rede de baixo custo agregados a produtos de consumo, tais como eletrodomésticos, viabilizando aplicações de automação de lares e de escritórios.

#### 3.1 Arquitetura do Hardware

A Figura 6 mostra o diagrama de blocos do sistema computacional em implementação e o ambiente onde o mesmo será inserido. Este diagrama ilustra ao centro o conteúdo do FPGA onde será implementado o IP Core. São dois módulos principais: a Interface Usuário-IP Core; e o IP Core Ethernet. O primeiro módulo interliga o computador hospedeiro ao segundo módulo. O IP Core Ethernet, por sua vez, comunica-se por um lado com o módulo Interface Usuário-IP Core e, por outro com um transceptor externo, através de uma interface AUI.

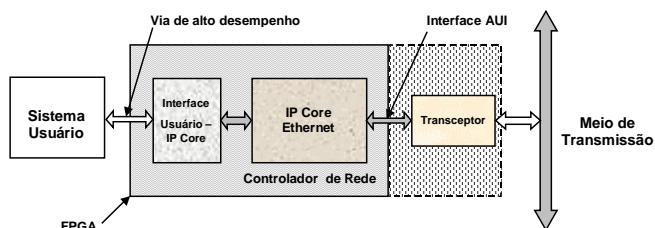


Figura 6 – Diagrama de blocos do IP Core em desenvolvimento e do ambiente típico de seu emprego.

A conexão ao meio de transmissão será realizada através de um transceptor universal. Este transceptor executa a tarefa de detectar colisões, capturar dados trafegando na rede, sincronização da recepção e transmissão, bem como a adaptação do sinal elétrico dos quadros Ethernet para e de valores de tensão adequados à transmissão no meio físico.

A implementação de hardware usa plataformas de prototipação comerciais. Empregam-se ferramentas para desenvolvimento de circuitos digitais (sistemas de projeto auxiliado por computador, em inglês, *Computer Aided Design* ou CAD) para descrição, análise, síntese lógica e síntese física. Assume-se que a comunicação entre o NIC em desenvolvimento e o sistema usuário se dá através da via de alto desempenho. Tipicamente, esta via de acesso é composta por um barramento local padronizado de alto desempenho, tal como o PCI Local Bus [8].

As placas de prototipação em uso ao longo deste trabalho são a *Virtual Workbench (VW300)* e a *HOT Development System XL (HOT2-XL)*, ambas da empresa *Virtual Computer Corporation (VCC)*. O software de desenvolvimento de hardware é o sistema de CAD *Foundation da Xilinx*, complementado pelo simulador *Active-HDL* da empresa *Aldec, Inc.* Para validação dos protótipos emprega-se, além de recursos das placas de prototipação e osciloscópio, ferramentas avançadas tais como analisador lógico e analisador de protocolo Ethernet (em convênio de cooperação com empresa possuidora de tal equipamento).

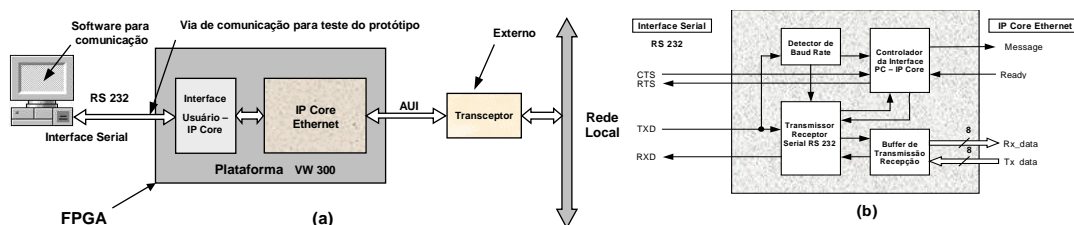
## 4 Implementação e Validação de um IP Core Ethernet

A implementação do IP Core é dividida em duas partes principais, a interface com a *Via de Alto Desempenho* e a segunda é o IP Core de controle de acesso à rede. Estritamente falando, apenas a segunda parte constitui o trabalho endereçado aqui. Contudo a validação do IP Core em questão exige a construção de um módulo para desempenhar o papel da primeira parte, ainda que de forma parcial.

### 4.1 Ambiente de implementação/validação do IP Core

O diagrama de blocos da Figura 6 discutido na Seção 3.1 é bastante geral. Este diagrama supõe paralelismo no processamento, com a conexão intra-módulos do hardware reconfigurável sendo do tipo fortemente acoplada (via barramento local de alto desempenho). No início do desenvolvimento deste trabalho, não se dispunha de uma plataforma de prototipação dotada de barramento PCI ou outro barramento de desempenho razoável. Logo, utilizou-se uma linha de comunicação serial RS-232 disponível na plataforma VW300, então em uso. Atualmente, o módulo de interface está sendo adaptado a interagir com um IP Core PCI, já disponível em nova plataforma (HOT2-XL), recém adquirida.

Representado na Figura 7(a) tem-se a *Interface Usuário-IP Core*, com a função de operacionalizar a transferência de dados, recebendo e transmitindo quadros Ethernet via interface serial RS-232 de e para um computador pessoal, representando um dispositivo usuário genérico. Problemas de compatibilidade de velocidade surgem apenas no momento de validar a recepção de pacotes em tempo real, caso a taxa de chegada destes exceda a capacidade de armazenamento local. Para fins de teste inicial de transmissão e recepção com taxas de chegada de pacotes limitada o ambiente atual é perfeitamente adequado.



**Figura 7 – Ambiente de implementação/validação do protótipo e detalhamento da Interface Usuário-IP Core.**

Internamente, a Interface Usuário-IP Core transfere e recebe dados do *IP Core Ethernet*, de forma paralela, por meio de um barramento. A interface Usuário-IP Core pode ser dividida em quatro módulos, conforme representado na Figura 7(b). O primeiro é um Transmissor/Receptor serial RS-232, responsável pela comunicação com o computador hospedeiro. O segundo módulo, Detector de Baud Rate, é utilizado apenas no início do envio de dados do hospedeiro, para detectar a taxa de transferência com que os dados são transmitidos e adaptar a recepção de forma automática. O



terceiro módulo, Controlador da Interface PC-IP Core, realiza a sincronização da transferência dos dados entre o computador pessoal e o IP Core Ethernet. Para isto, ele utiliza o quarto módulo, Buffer de Transmissão Recepção, que desempenha a função de memória intermediária. O Buffer de Transmissão Recepção conecta-se a dois barramentos de 8 bits, um para a transferência dos dados (Rx\_data) ao IP Core Ethernet, e o outro para transferir os dados recebidos (Tx\_data) do IP Core Ethernet para o hospedeiro. Esta interface está atualmente sendo substituída por conexão com uma interface de alto desempenho, tal como um *IP Core PCI* proposto por Capelatti e colaboradores em [1].

#### 4.2 IP Core Ethernet

A comunicação Interface Usuário-IP Core se faz através de *buffers* com capacidade para uma mensagem, implementados mediante o uso de memória de dupla porta do FPGA da VW300. O IP Core Ethernet, por sua vez, utiliza os *buffers* para receber e transferir quadros Ethernet em conformidade com o protocolo MAC. O IP Core realiza a transferência dos dados de e para o meio físico (Rede Local) utilizando-se de um transceptor, tal como exemplificado anteriormente, na Seção 3.

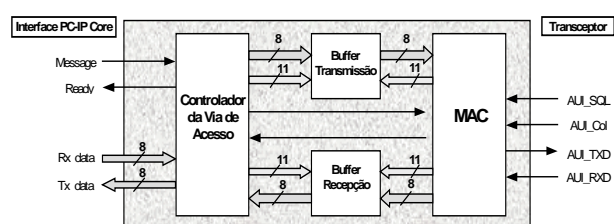


Figura 8 - Diagrama de blocos do IP Core Ethernet.

O IP Core Ethernet é representado na Figura 8. Ele possui quatro módulos que em conjunto implementam o controle de acesso ao meio. O módulo Controlador da Via de Acesso direciona e sincroniza os dados contidos em dois buffers, um para a recepção e outro para a transmissão dos quadros Ethernet, sob controle do módulo denominado MAC. Este último conecta-se ao transceptor que é externo ao protótipo em desenvolvimento, do tipo 10BASE-T..

#### 4.3 Módulo MAC

O Módulo MAC implementa o método CSMA/CD de acesso ao meio do padrão IEEE 802.3 10BASE-T. Este controla todos os aspectos de transmissão e recepção dos quadros Ethernet e inclui: tratamento de colisão, geração de preâmbulo, detecção e geração de CRC e modo teste. O MAC também possui características programáveis, que incluem controle de retransmissão automática em colisão, e do complemento automático de tamanho mínimo de quadros transmitidos (padding bits). O MAC, conforme ilustra a Figura 9, é fisicamente dividido em duas partes, que executam suas funções de forma independente.

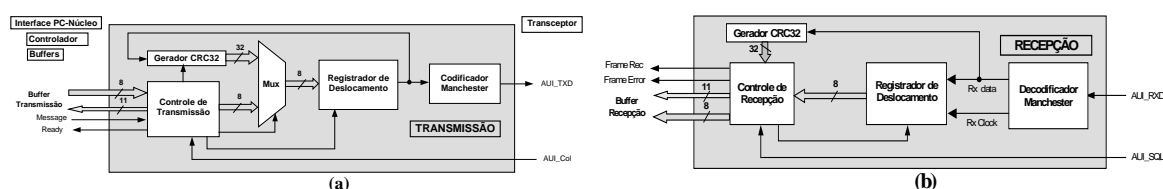


Figura 9 – Diagrama de blocos do MAC Ethernet, detalhando os módulos Transmissor e Receptor.

A transmissão do quadro acontece em duas fases. Na primeira fase, o Controlador da Via de Acesso (Figura 8) recebe a mensagem a transmitir da Interface PC-IP Core, e a armazena no Buffer de Transmissão. A primeira fase inicia quando a Interface PC-IP Core emite um comando de transmissão (sinal Message). Isto informa ao Controle de Transmissão, representado na Figura 9(a), que uma mensagem está pronta no *buffer* para ser transmitida. Na segunda fase, o Controle de Transmissão converte a mensagem armazenada no *buffer* em um quadro padrão Ethernet, Isto se faz transmitindo de forma serial, para o Codificador Manchester, seguindo pela interface AUI até o transceptor (externo) conectado à rede local. A segunda fase inicia-se com o MAC transmitindo o preâmbulo e o delimitador de início de quadro (SFD). O Preâmbulo e o SFD são seguidos pelo Endereço Destino, Endereço Fonte, Tamanho do Quadro e o campo de Dados, conforme estrutura de quadro da Figura 5. Se o quadro for menor que 64 bytes, o Controle de Transmissão complementa o campo de dados para atingir o tamanho mínimo (em inglês, *padding*). Finalmente, acrescenta-se um CRC de 32 bits, calculado pelo algoritmo previsto no padrão [4]. A seguir, a transmissão encerra-se, e isto é informado, via o sinal Ready, ao Controlador da Via de Acesso.

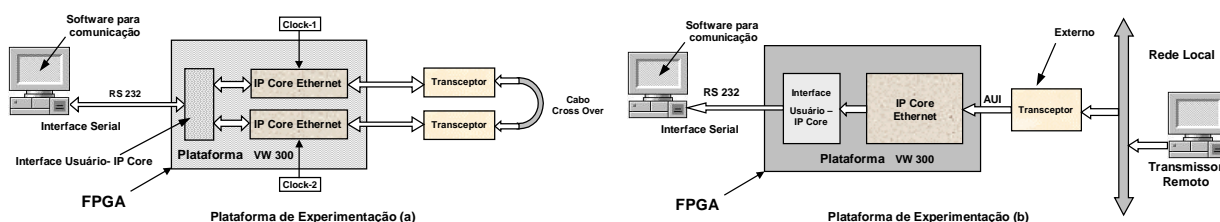
Semelhante à transmissão, a recepção de quadros acontece em duas fases. Na primeira fase, o Controle de Recepção, representado na Figura 9(b), recebe um quadro Ethernet armazenando no *buffer* de Recepção. A primeira fase de

recepção começa com a chegada do quadro, proveniente do transceptor, via interface AUI. Este é tratado pelo Decodificador Manchester que recupera o sinal de relógio (sinal Rx\_Clock) e escreve a sequência de bits do quadro recebido no Registrador de Deslocamento. Este, por sua vez, é usado para converter a sequência de bits, do formato serial para o paralelo. O Controle de Recepção remove o Preâmbulo e o SFD e então analisa o Endereço Destino. Se o Endereço Destino do quadro confere com o critério e valores programados no filtro de endereço do Controle de Recepção, o pacote é armazenado no *buffer* de Recepção. O CRC é, então conferido, e o Controle de Recepção informa (via sinais FrameRec e FrameError) ao Controlador da Via de Acesso se um quadro válido foi recebido ou não. Na segunda fase, o Controlador da Via de Acesso transfere o quadro recebido pela Interface PC-IP Core até o Sistema Usuário.

Neste ponto, é importante considerar que a taxa de transferência de dados, a ser utilizada na interface serial é no máximo da ordem de 115,2 Kbps. Esta taxa comparada com a velocidade do IP Core, padronizada em 10 Mbps, apresenta a interface serial como um gargalo. O gargalo impede a transmissão e recepção de quadros em intervalos de tempo menores que 5,0 ms, tendo em vista que no melhor caso este tempo é calculado para um quadro de tamanho mínimo (72 bytes, do Preâmbulo até o FCS). Esta situação não representa o tráfego normal de uma rede local, cuja a temporização entre quadros (Inter Packet Gap – IPG) chega a um mínimo de 9,6  $\mu$ s [4]. Entretanto, para testes do protótipo em desenvolvimento a transmissão dos quadros está sendo realizada de forma individual e o tempo entre quadros é devidamente aumentado para valores adequados ao gargalo da interface serial.

#### 4.4 Experimentos

Estão em desenvolvimento quatro tipos de montagem a usar na validação do hardware IP Core Ethernet. Detalha-se aqui a estrutura geral destas montagens. Primeiro, para implementar e validar o protótipo duplica-se o IP Core Ethernet, criando uma Plataforma de Experimentação (a). Como ilustrado na Figura 10(a), dois IP Cores são configurados no dispositivo FPGA, de maneira simétrica e isolados entre si, de forma a simular a comunicação entre dois nós de rede. A interface Usuário IP-Core será generalizada para arbitrar a comunicação entre PC e os dois Cores.



**Figura 10 – Duas plataformas de experimentação. (a) valida transmissão e recepção internamente ao projeto. (b) valida a recepção em rede local com estação remota, transmitindo quadros para o protótipo com grande espaçamento entre estes.**

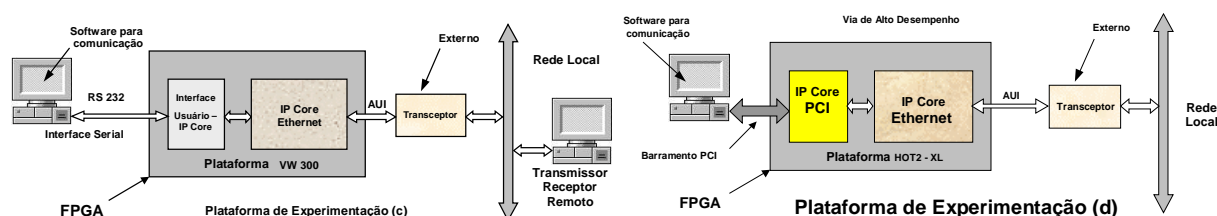
Para o teste da recuperação do clock na etapa receptora do IP Core, se faz necessário a utilização de dois geradores de clock independentes (Clock-1 e Clock-2). Isto deve ser feito para evitar que o teste seja viciado pelo uso de sinais de relógio em fase dos dois lados da comunicação, algo que não ocorre na realidade da comunicação entre módulos processadores empregando tecnologia Ethernet. A Plataforma de Experimentação (a) possibilita validar a transmissão e recepção de quadros Ethernet de forma individual e isolada, evitando-se o risco de realizar testes numa rede local real.

A Plataforma de Experimentação (b) está representada na Figura 10(b). Ela consiste em configurar apenas um IP Core Ethernet no FPGA, funcionando apenas para recepção, mas conectado a uma rede local real. Nesta configuração, o IP Core é programado para a recepção de quadros Ethernet provenientes de uma rede real. Estes são enviados de um transmissor remoto conectado à rede local. Os quadros têm o Endereço Destino (coincidente com o endereço MAC do IP Core do protótipo) previamente selecionado para evitar conflitos com o tráfego da rede local real. O tempo entre os quadros é mantido em valores adequados à taxa de transferência da interface serial. Com a Plataforma de Experimentação (b) valida-se o módulo receptor do IP Core no que concerne sobretudo o decodificador Manchester, a recuperação de sinal de relógio, o Controle de Recepção e o verificador de CRC.

A Plataforma de Experimentação (c), representada na Figura 11(c), implementa o IP Core em uma configuração completa, possibilitando transmitir e receber quadros padronizados simultaneamente em uma rede local real, mantidos os mesmos cuidados com o endereçamento e o tempo entre os quadros da Plataforma (b). A Plataforma de



Experimentação (d), mostrada na Figura 11(d), possibilita o uso uma via de alto desempenho (PCI) *de facto*. Esta plataforma é implementada sobre a placa HOT2-XL. Na Plataforma de Experimentação (d) utiliza-se um IP Core PCI, seja o disponível na plataforma HOT2-XL em si, seja o atualmente em desenvolvimento por Cappelatti e colaboradores em [1]. Um problema desta abordagem é que o IP Core Ethernet deverá ser modificado, uma vez que o FPGA da placa HOT2-XL (XC4062XL da Xilinx) não possui módulos internos de memória como o da placa VW300 para dar suporte à implementação eficiente dos *buffers* de transmissão e recepção. Duas soluções são possíveis: implementar os *buffers* internamente no XC4062XL, a um alto custo de área, ou usar as memórias externas da placa HOT2-XL, tornando o Core mais portátil e menos auto-contido.



**Figura 11 – Mais duas plataformas de experimentação. (c) valida transmissão e recepção em rede local real, com estação remota transmitindo quadros para o protótipo com grande espaçamento entre estes. (d) Plataforma com IP Core Ethernet combinado com IP Core PCI para implementar via de alto desempenho.**

## 5 Conclusões

Apresentou-se neste trabalho algumas das estratégias de projeto, implementação e validação de um IP soft Core para a camada MAC de redes locais do tipo Ethernet.

O projeto, a implementação e a validação dos módulos encontram-se em andamento. Já existe um módulo funcional, projetado, construído e testado que implementa a Interface Usuário-IP Core, bem como o software do lado do módulo processador que interage com esta interface. O transmissor de pacotes do Core MAC encontra-se projetado e validado a nível funcional, estando atualmente em fase de validação o seu protótipo em hardware. As plataformas de experimentação encontram-se em fase de teste, sendo que a Plataforma de Experimentação (b) já está funcional. O receptor do Core MAC encontra-se no estágio inicial de simulação. A fase mais complexa do trabalho consistirá na adaptação do soft Core para funcionamento acoplado a um soft Core PCI, devido à necessidade de interação estreita entre software e hardware. Esta tarefa envolve a transmissão em alta velocidade dos pacotes recebidos ao módulo processador, implicando o domínio de funções tais como acesso direto à memória do módulo processador (DMA) e transmissão de dados em rajada.

Um trabalho recente menciona a realização de parte das tarefas previstas no presente trabalho, aquele de Fragoso e outros em [3]. Algumas diferenças marcantes existem entre o presente trabalho e aquele. Em [3], os autores empregaram uma abordagem mista de implementação, usando edição de esquemáticos, macro módulos Altera e VHDL em diferentes partes da implementação. Isto eventualmente pode conduzir a uma implementação eficiente, mas que certamente será menos flexível que a descrita aqui, e mais vinculada a uma dada tecnologia, reduzindo a portabilidade do projeto. Segundo, o trabalho descrito em [3] limitou-se a uma implementação funcional a nível de simulação, sem uma realização hardware.

O IP soft Core PCI de [1] e o IP soft Core Ethernet aqui descritos são parte de uma biblioteca de sistemas computacionais em desenvolvimento no âmbito do grupo de pesquisa GAPH, dentre outros trabalhos em andamento sobre o tema de sistemas reconfiguráveis.

Alguns trabalhos são uma sequência lógica do presente. O primeiro e mais relevante entre todos é a implementação de outras variedades de IP soft Cores MAC para o padrão Ethernet, sobretudo Fast Ethernet, onde a velocidade de transmissão decuplicada (de 10Mbps a 100Mbps) coloca uma série de restrições de temporização pesadas no projeto. Estas restrições são bem mais difíceis de satisfazer que as do presente trabalho, sobretudo se a tecnologia alvo de implementação for a de FPGAs de baixo custo. Uma segunda variedade de Core MAC de altíssimo interesse é o de redes locais sem fio (em inglês, *wireless*), dada a atual tendência de emprego de equipamentos portáteis, bem como o uso de transmissão de dados sem fio, via infra vermelho ou radiofrequências. Aqui, a preocupação maior será o

consumo de potência do hardware, muito mais que atender suas restrições de temporização. Outro trabalho que será habilitado pela conclusão do descrito neste artigo é a avaliação da qualidade da implementação obtida, seja pelo impacto em termos de área de FPGA, seja através do grau de dificuldade em atender restrições temporais e de potência dissipada.

## Agradecimentos

O autor Fernando Gehm Moraes agradece o suporte do CNPq (projeto integrado número 522939/96-1) e da FAPERGS (projeto número 96/50369-5). O autor Ney Laert Vilar Calazans agradece o suporte do CNPq (projeto integrado número 520091/96-5) e da FAPERGS (projeto número 99/1555-3).

## Referências

- [1] E. A. Cappelatti, F. G. Moraes, N. L. V. Calazans, L. A. Oliveira. "Barramento de Alto Desempenho para Interação Hardware/Software". Submetido ao Iberchip 2001, Janeiro, 2001.
- [2] Cirrus Logic, Inc. "CS8900A Cristal LAN™ ISA Ethernet Controller". Product Data Sheet, 1999. (Manual disponível em <http://www.cirrus.com>).
- [3] J. L. Fragoso, E. Costa, J. Rochol, S. Bampi, and R. Reis. "Specification and Design of an Ethernet Interface Soft IP". Journal of the Brazilian Computer Society, vol. 6, no. 3, April, 2000.
- [4] Institute of Electrical and Electronic Engineers. "IEEE Std 802.3, 2000 Edition". Standard document, 2000.
- [5] S. Mazor and P. Langstraat. "A guide to VDHL". Kluwer Academic Publishers. Massachusetts, 1992.
- [6] R. M. Metcalfe and D. R. Boggs, Ethernet: Distributed Packet Switching for Local Computer Networks. Communications of the ACM, Vol. 19, No. 5, pp. 395 – 404, July 1976. (Disponível em <http://www.acm.org/classics/apr96/>).
- [7] J. Rose and A. Sangiovanni-Vincentelli. Architecture of Field-Programmable Gate Arrays. Proceedings of the IEEE, vol. 81 no. 7, July, 1993.
- [8] T. Shanley and D. Anderson. "PCI System Architecture". Addison-Wesley Publishing Company. PC System Architecture Series. 787 pages. 4th edition, June, 1999.
- [9] L. F. G. Soares, G. Lemos e S. Colcher. "Redes de computadores: das LANs, MANs e WANs às Redes ATM". 2ª Edição. Editora Campus, Rio de Janeiro, 1995.
- [10] C. E. Spurgeon. "Ethernet: the definitive guide". O'Reilly and Associates, Inc., February, 2000.
- [11] Virtual Computer Corporation. "H.O.T. II & Hardware Object Technology". Virtual Computer Corporation 1998.
- [12] Virtual Computer Corporation. "The Virtual Workbench Guide". Version 1.02.2, 1999.
- [13] Xilinx Corporation, Inc. "1999 Xilinx Data Book". 1999. (Disponível em <http://www.xilinx.com/partinfo/databook.htm>).