

HARDSOFT: PLATAFORMA RECONFIGURÁVEL PARA CARACTERIZAÇÃO SOB RADIAÇÃO DE COMPONENTES ELETRÔNICOS EMPREGADOS EM SATÉLITES

Fabian Vargas¹, Fernando Moraes², Ney Calazans³, Eduardo Bezerra⁴

¹ vargas@ee.pucrs.br - Engenharia Elétrica - Escola Politécnica - PUCRS

^{2, 3, 4} {moraes, calazans, eduardob}@inf.pucrs.br - Instituto de Informática - PUCRS

Av. Ipiranga, 6681 - Prédio 16 - CEP 90619-900 - Porto Alegre - RS

Tel.: +(55) (0) 51 3391511 Ext: 3211 Fax: +(55) (0) 51 3391564

RESUMO

Este artigo descreve a plataforma Hardsoft para caracterização de componentes eletrônicos sob radiação. Os componentes que passam no teste executado na plataforma são candidatos à utilização no projeto dos equipamentos eletrônicos de satélites. A plataforma HardSoft será utilizada como parte de um laboratório a ser instalado no Instituto Nacional de Pesquisas Espaciais (INPE). Quando comparada com equipamentos tradicionais para caracterização de componentes sob radiação, HardSoft constitui um sistema de mais fácil programabilidade e principalmente, de muito menor custo. A plataforma se encontra em desenvolvimento no âmbito de uma cooperação institucional do qual fazem parte a PUCRS, UFPE, INPE e o Laboratório LGI em Grenoble.

ABSTRACT

This paper describes the Hardsoft platform aimed at the characterization of electronic components under radiation. The components that succeed in the test run at the platform are natural candidates to be employed in the design of satellite electronic equipment. This platform will be used as part of a laboratory to be installed at the Space Research National Institute (INPE) in Brazil. When compared to traditional testers used for characterization of components under radiation, Hardsoft is a lower-cost and easier to program test system. The platform is under development in the scope of a institutional cooperation in which takes part PUCRS, UFPE, INPE and the LGI Laboratory in Grenoble.

¹ Dr. em Microeletrônica, INPG, França, 1995. Áreas de interesse: microeletrônica, tolerância a falhas, teste de memória.

² Dr. em Microeletrônica, LIRMM, França, 1994. Áreas de interesse: CAD para síntese física, prototipação rápida de sistemas digitais, teste, microeletrônica.

³ Dr. em Microeletrônica, Bélgica, 1993. Áreas de interesse: síntese lógica, prototipação rápida de sistemas digitais, síntese de circuitos assíncronos.

⁴ MSc. em Ciência da Computação, CPGCC, UFRGS, 1996. Áreas de interesse: tolerância a falhas, testes, prototipação rápida de sistemas digitais, processamento paralelo (software e hardware).

1. INTRODUÇÃO

O domínio de tecnologias ditas "de ponta" utilizadas para aplicações espaciais vem se tornando necessidade fundamental para todos os países pretendentes ao título de "desenvolvidos". Independência tecnológica em áreas tais como telecomunicações, meteorologia, sensoriamento remoto ou áreas estratégicas como defesa nacional e aplicação militar significam autonomia e liberdade de traçar suas próprias metas e decisões nacionais independentemente de conjunturas ou "conveniências" internacionais.

O Brasil possui dimensões territoriais continentais (5ª maior superfície do mundo e 1ª em terras cultiváveis), 8 mil Km de litoral sob o Atlântico, a Amazônia e uma das maiores economias do mundo capitalista. Isto tudo representa um universo de possibilidades de utilização de:

- satélites de sensoriamento remoto para a exploração e racionalização da agricultura (através de boletins meteorológicos precisos e do levantamento atualizado das culturas plantadas e de suas localizações), ou para a proteção do meio ambiente (através da detecção e localização de focos de poluição, por exemplo de manchas de petróleo nas 200 milhas de mar territorial brasileiro, de poluição atmosférica nas grandes cidades, ou de proteção da Amazônia através da localização prematura de queimadas ou de desmatamentos clandestinos);
- satélites de telecomunicação de grande porte (com canais de televisão e telefonia) *como meio de comunicação preferido e mais eficaz* em um país de dimensões continentais.

Assim, a área espacial deve ser considerada como uma das prioridades nacionais.

A indústria de semicondutores para aplicações espaciais apoia-se em três parâmetros que dirigem de forma direta o rumo de suas pesquisas e o sucesso de seus produtos [1]: tempo de vida útil, confiabilidade e custo dos sistemas eletrônicos expostos à radiação espacial.

No passado, o *tempo de vida útil* de satélites era em média de 6 meses (exemplo disto é o satélite meteorológico TIROS). Para amortizar os altos investimentos e rentabilizar ao máximo a exploração de satélites, sondas ou qualquer outro tipo de máquina lançada ao espaço, é desejável que o seu tempo de vida útil seja o mais longo possível. Atualmente, a vida útil de satélites estende-se por 10 anos ou mais no caso de satélites de comunicações, e no caso particular da estação espacial Freedom (em fase de desenvolvimento), 30 anos em uma órbita terrestre de baixa altitude [1].

Quanto à necessidade de sistemas eletrônicos cada vez mais *confiáveis*, um bom exemplo é o computador de bordo do foguete Saturn V (1964) que tinha uma confiabilidade de 99% para 250 horas de operação, enquanto que os computadores experimentais SIFT e FTMP (final dos anos 70), especialmente projetados para atuar como controladores de voo em aviões, apresentam uma probabilidade de falha de 10^{-9} durante uma missão de 10 horas de voo [1].

Quanto ao *custo*, estes sistemas eletrônicos são extremamente caros quando comparados com os seus equivalentes, utilizados em aplicações tradicionais (podendo custar algumas centenas de vezes mais). Isto ocorre devido ao fato de que estes

sistemas são compostos por componentes projetados especialmente para aplicações espaciais. Esta realidade torna o emprego destes sistemas eletrônicos inviável para utilização no projeto de satélites de pequeno porte (microssatélites), onde o orçamento disponível é pequeno, de forma que o custo do projeto passa às vezes a ser o principal parâmetro para justificar o que seriam meramente decisões técnicas. Esta é comumente a realidade encontrada no Instituto de Pesquisas Espaciais (INPE), onde vários projetos de microssatélites estão em desenvolvimento, e a escolha de utilização de componentes resistentes à radiação implica em um custo extremamente alto.

Uma solução alternativa para minimizar o custo dos sistemas eletrônicos seria a utilização de componentes de alta qualidade, com especificação militar por exemplo, mas sem a qualificação para aplicação espacial. Este tipo de componente seria suficiente para as necessidades dos projetos de microssatélites do INPE. Porém, para que este tipo de componente seja selecionado para o projeto, ele deve ter previamente o seu comportamento caracterizado quanto aos efeitos da radiação. Para caracterizar componentes eletrônicos sob radiação, equipamentos específicos são necessários. **Dado que o INPE não possui este tipo de equipamento, aqui se define o objetivo principal deste projeto, que é o desenvolvimento de uma plataforma reconfigurável para caracterizar componentes eletrônicos sob radiação.**

O comportamento da eletrônica de um satélite operando em um ambiente radioativo é afetado por dois mecanismos principais [2]-[7]:

- ionização de dielétricos (camadas isolantes dentro do dispositivo, principalmente o óxido de silício: SiO_2). Este fenômeno é causado basicamente pelo acúmulo de radiação, que se deposita durante o período que a eletrônica está exposta à radiação;
- ionização transiente do substrato de dispositivos eletrônicos através da incidência de partículas de alta energia que atravessam o dispositivo.

Enquanto que o primeiro mecanismo tem por consequência a degradação coletiva dos parâmetros elétricos dos transistores utilizados nos circuitos, o segundo mecanismo provoca desde a perda completa da informação armazenada nas memórias RAM do satélite a até mesmo a ocorrência de *latchup* no circuito afetado, podendo provocar a destruição completa do componente ou do circuito afetado. Nenhuma destas consequências pode ser tolerada, pois implicam o risco de se perder funções críticas realizadas pela eletrônica de bordo do satélite, ou até mesmo resultando na perda completa do satélite imediatamente ou logo após a sua entrada em órbita.

Uma maneira de se contornar os efeitos negativos da radiação sobre a eletrônica embarcada é a utilização de componentes projetados e garantidos de fábrica para serem tolerantes à radiação espacial. Outra maneira seria a compra de componentes não projetados especialmente para operação em ambientes radioativos, mas que por serem de alta qualidade, poderiam ser utilizados em satélites usados em missões de curta duração ou em órbitas específicas, onde se sabe previamente que os níveis de radiação aos quais a eletrônica será exposta são relativamente baixos.

Quanto à primeira técnica para contornar os efeitos da radiação, a seguinte análise pode ser feita: os componentes projetados e garantidos de fábrica para serem tolerantes à radiação são extremamente caros, o que quase sempre inviabiliza a sua utilização em projetos com orçamentos pequenos ou moderados, como no caso do projeto de vários dos microssatélites ora em desenvolvimento no INPE. Além disso, são necessários longos procedimentos para justificar a compra destes componentes

junto aos fornecedores estrangeiros, o que muitas vezes inviabiliza o processo de compra devido à demora excessiva dos trâmites burocráticos. A saber, alguns componentes da classe S podem demorar até 36 semanas para serem entregues.

Quanto à segunda técnica para contornar os efeitos da radiação, ela seria uma excelente solução para o INPE, se este dispusesse dos meios necessários para caracterizar sob radiação os componentes candidatos à utilização nos satélites, antes que estes fossem efetivamente incorporados no projeto. Assim, como este ambiente de caracterização não existe até o presente momento no INPE (e nem mesmo no Brasil), esta solução não pode ser levada em consideração, embora ela seja a mais adequada para a realidade técnica e econômica dos projetos ora em desenvolvimento no INPE. Cabe mencionar que por falta de alternativa, o INPE se vê obrigado a utilizar componentes comprovadamente tolerantes à radiação nos seus projetos, e assim se sujeitando às exigências burocráticas e ao custo de componentes impostos por fornecedores estrangeiros.

2. OBJETIVOS

Após apresentar os efeitos da radiação espacial na eletrônica embarcada e as duas possíveis soluções que o INPE poderia considerar a fim de realizar os seus projetos de satélites, cabe neste momento apresentar os objetivos e justificar a importância da atual proposta.

Visando solucionar o problema de caracterização de componentes sob radiação devido à ausência de tal ambiente equivalente no INPE, este projeto tem por objetivo principal o desenvolvimento da plataforma HardSoft. Espera-se com isto obter uma posição mais independente do INPE no pequeno grupo de fabricantes de satélites que representam o estado-da-arte na área. Embora sendo esta uma plataforma de porte modesto e de recursos limitados, ela proporcionará condições ao INPE de selecionar componentes dentro de uma gama maior de produtos e preços.

A plataforma HardSoft consiste de um pacote conjugado de hardware e software composto por :

- um microcomputador PC;
- uma placa filha contendo um processador, memória SRAM, sensor de corrente discreto, e dispositivo lógico programável do tipo FPGA (*Field Programmable Gate Array*);
- protocolos de comunicação “PC ↔ placa filha”;
- um pacote de software comercial para configurar o FPGA;
- um pacote de software comercial para programar e compilar o programa desenvolvido para o processador da placa filha e para o componente a ser caracterizado, caso este seja do tipo processador;
- um pacote de software desenvolvido especialmente para servir de interface “usuário ↔ ambiente de caracterização do componente”.

Cabe ressaltar que o FPGA [8][9] é um dos componentes vitais da HardSoft, cuja utilização faz com que a plataforma possa ser fácil e rapidamente reconfigurável de acordo com o tipo de aplicação onde ela será empregada. O uso de FPGAs representa uma grande evolução no estado-da-arte no que concerne a sua utilização em equipamentos para caracterização de componentes à radiação.

3. ESTADO DA ARTE EM EQUIPAMENTOS DE TESTE

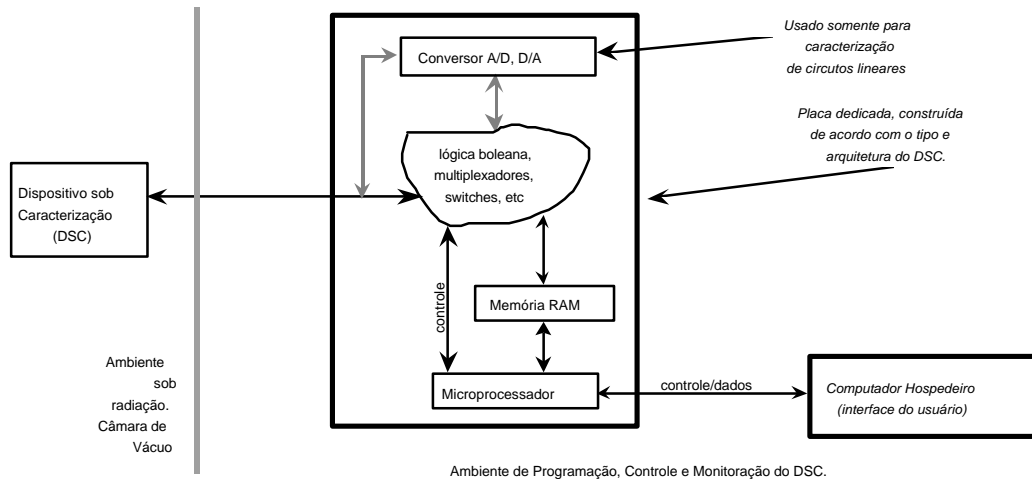
A plataforma será utilizada para controlar e monitorar circuitos integrados que devem ser caracterizados face aos efeitos da radiação antes de serem incorporados nos projetos de sistemas eletrônicos para os satélites do INPE.

A plataforma de hardware e software (HardSoft) proposta será conectada a uma câmara de vácuo, onde os componentes a serem caracterizados deverão ser inseridos e expostos à radiação. Os elementos radioativos que serão utilizados na câmara de vácuo são o cobalto (Co^{60}) e/ou californium (Cf^{252}). Uma vez o conjunto “plataforma HardSoft + câmara de vácuo” definido e implementado, será instalado no INPE. Para tanto, uma sala dedicada a receber este tipo de equipamento (infraestrutura, equipamentos de segurança, e treinamento de pessoal para operação com materiais radioativos) deverá ser fornecida pelo INPE, devendo estar disponível ao final do projeto. Este laboratório será utilizado pelos engenheiros e projetistas de sistemas do INPE que atuam na seleção de componentes para as diversas missões espaciais, bem como por outros centros de pesquisa, universidades e empresas que vierem a atuar na área de caracterização de componentes eletrônicos sob radiação.

Até o presente momento, os ambientes tradicionais de caracterização de componentes sob radiação são baseados em *sistemas comerciais de uso geral* ou em *hardware* dedicado.

Os sistemas comerciais [10] de uso geral são programáveis de acordo com o componente a ser testado. Uma das maiores desvantagens destes equipamentos reside no preço extremamente elevado. Outra desvantagem destes equipamentos é a sua capacidade de memória muitas vezes limitada, dificultando a especificação do programa de teste ou mesmo a análise das respostas geradas pelo componente caracterizado.

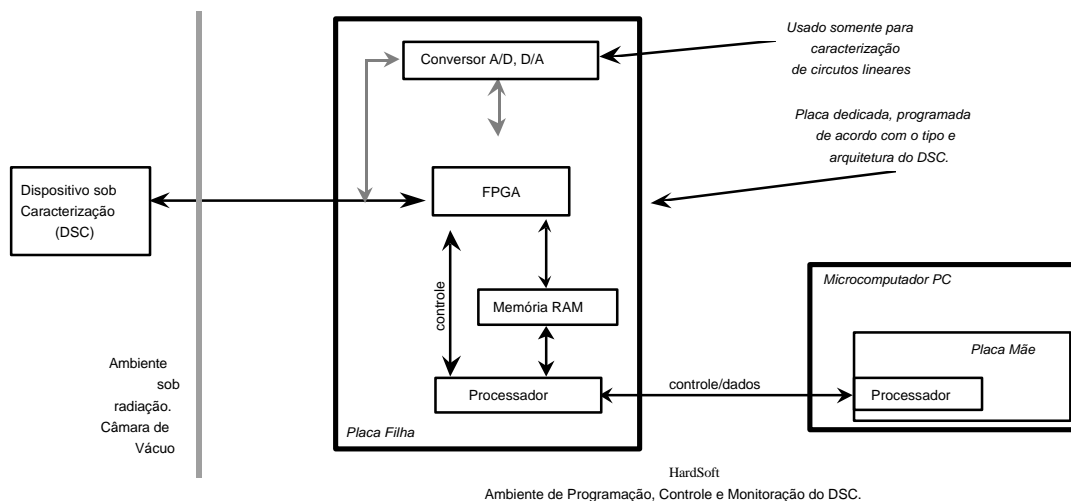
Equipamentos baseados em hardware dedicado precisam ser construídos de acordo com o tipo e as características do componente que será caracterizado. Este tipo de equipamento normalmente é concebido pelo próprio usuário (*home-made equipment*), de acordo com as suas necessidades técnicas e condições financeiras. É um equipamento bem mais barato que os equipamentos comerciais, sendo o software do sistema desenvolvido localmente, o hardware baseado em computadores hospedeiros do tipo mini ou microcomputador. O hardware de mais baixo nível é normalmente composto por uma placa com lógica dedicada, contendo alguns circuitos integrados, lógica discreta, “buffers” e barramentos. A função deste hardware dedicado, montado em uma placa de circuito impresso, é controlar o componente sob caracterização e realizar a interface entre computador hospedeiro e componente testado (Figura 1.) A maior desvantagem deste tipo de equipamento é justamente o fato dele ser baseado em hardware dedicado. Devido ao fato destes equipamentos se apoiarem em certo grau de personalização, isto é, na implementação de algum tipo de hardware dedicado, mesmo que este seja uma pequena placa de interface contendo poucos circuitos integrados, “buffers” e componentes discretos, o custo total para caracterizar um componente sob radiação e o tempo necessário para preparar o equipamento são enormemente afetados.



Ambiente de Programação, Controle e Monitoração do DSC.

Figura 1. Equipamento para caracterização de componentes desenvolvido pelo próprio usuário (home-made equipment). Ele é baseado em hardware dedicado (fixo), que deve ser feito de acordo com cada componente caracterizado.

A plataforma HardSoft proposta neste projeto introduz o desenvolvimento de uma interface entre o componente na câmara de vácuo e o restante da lógica. Esta interface de comunicação é implementada em hardware reutilizável, baseado em FPGAs reprogramáveis, permitindo a reconfiguração para o tipo de componente a ser caracterizado. Comparada com a construção de uma placa com componentes discretos, a utilização desta interface reconfigurável reduz os custos de projeto, pois a mesma placa e os mesmos componentes são reutilizáveis, ao mesmo tempo que o desenvolvimento do hardware para o procedimento de caracterização também é realizado em um tempo menor, pois o hardware que compõe a interface é configurado através de programação de alto nível, tal como VHDL [11]. A Figura 2. mostra o diagrama de blocos simplificado da placa filha da plataforma HardSoft, contendo um processador, memória, conversor A/D-D/A no caso de caracterização de circuitos lineares, e o FPGA, implementando a interface reconfigurável entre o componente sob caracterização na câmara de vácuo e o restante do hardware da plataforma HardSoft.



Ambiente de Programação, Controle e Monitoração do DSC.

Figura 2. Plataforma HardSoft "reconfigurável" para caracterização de componentes à radiação.

Esta decisão de implementação da plataforma tem por conseqüências:

- emulação de forma realista, pois dispositivos programáveis do tipo FPGA apresentam uma lógica rápida, de programação precisa;
- equipamento de teste de baixo custo, pois a plataforma HardSoft é baseada em componentes simples como processadores, FPGAs, memórias RAM e microcomputadores do tipo PC para programá-los;
- facilidade e rapidez com que as FPGAs podem ser configurados de acordo com o tipo de circuito a ser testado, o que reduz o tempo de preparação do teste de caracterização, e assim reduzindo o custo total do projeto do sistema.

Dentro do contexto internacional, até o presente momento, os autores não têm conhecimento de que tal solução tenha sido utilizada para caracterizar componentes sob radiação.

4. DESCRIÇÃO DA PLATAFORMA HARDSOFT

Uma vez o comportamento dos componentes eletrônicos tenha sido verificado em função da radiação, eles poderão ser utilizados pelos engenheiros do INPE no projeto de placas e sistemas eletrônicos para satélites. Na Figura 3 é apresentada a arquitetura geral do ambiente de teste a ser desenvolvido para o INPE.

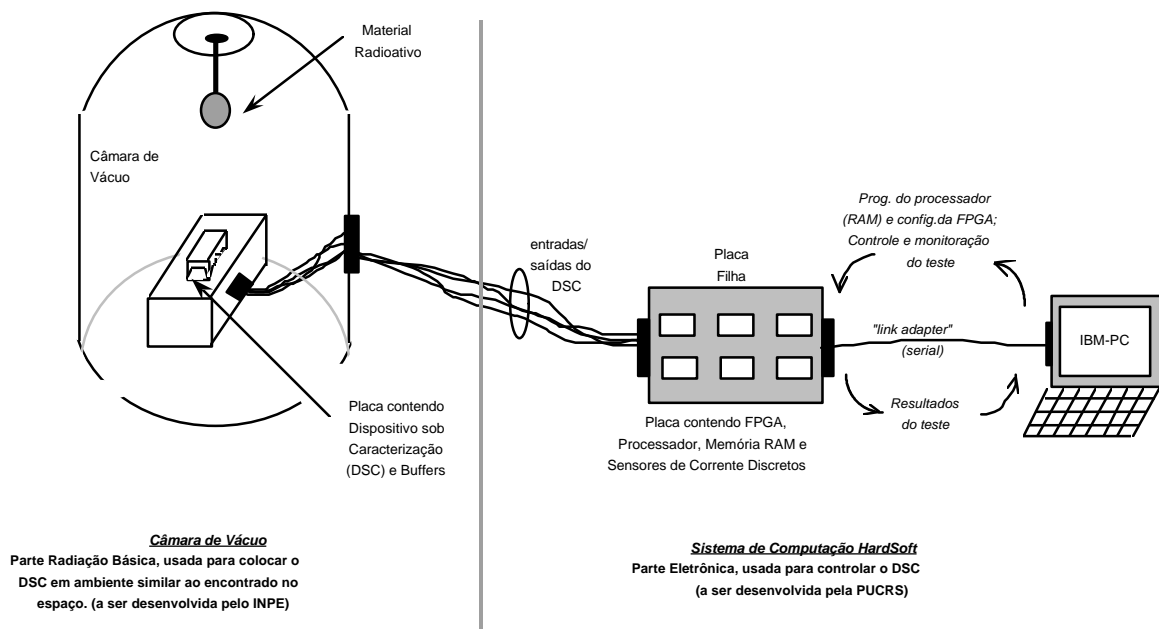


Figura 3. Arquitetura geral da plataforma HardSoft, a ser implementada para o INPE.

A função da placa filha é excitar (aplicar vetores de teste) e monitorar o componente sob caracterização (DSC), no interior da câmara de vácuo, durante o período de exposição à radiação.

Antes de cada etapa de caracterização de um componente, um procedimento de configuração da placa filha (HardSoft) deve ser realizado. Ele é feito a partir do microcomputador PC, sendo descrito da seguinte forma:

- Configuração do FPGA: especificação, simulação e geração do arquivo de configuração para o FPGA;
- Programação do processador: programação em ambiente PC, a partir de uma linguagem de alto nível, como C ou Occam, ou linguagem de montagem;
- Carregamento dos programas objetos do disco/PC para a RAM da HardSoft e para o FPGA via porta serial ou paralela.

Uma vez que a placa filha tenha sido configurada para o processo de caracterização do componente, a próxima etapa é excitar (ou ativar) o componente sob caracterização, a partir do microcomputador PC, e monitorar em tempo real o procedimento. Nesta etapa, a plataforma HardSoft controla/monitora o componente na câmara de vácuo ao mesmo tempo que interage com o usuário conectado ao PC. Durante este processo a plataforma HardSoft:

- proporciona ao usuário facilidades para interromper ou congelar o procedimento de teste a qualquer momento;
- indica ao usuário anomalias detectadas por parte do processador durante o procedimento de caracterização;
- indica em tempo real para o usuário o estado funcional e o consumo de corrente do componente testado. Estes parâmetros podem ser previamente especificados pelo usuário como pontos de referência para parar o procedimento de caracterização, por exemplo.

É importante ressaltar a importância da função do FPGA na plataforma HardSoft. Este componente tem a função primordial de atuar como uma “interface programável” entre o componente testado e a lógica da plataforma HardSoft. Esta proposta avança consideravelmente o estado-da-arte de projeto de equipamentos para caracterização de componentes à radiação. Até o presente momento, ao invés de utilizar FPGAs os engenheiros projetam placas de circuitos integrados discretos dedicadas ao tipo de componente a ser testado. Este tipo de procedimento obriga os engenheiros a reprojetar e implementar uma placa para cada tipo de componente a ser testado, o que muitas vezes implica em longas etapas de preparação (e em altos custos) do hardware necessário para realizar a caracterização de componentes. No caso do uso do FPGA, a etapa de preparação do hardware é mais simples e rápida uma vez que a interface pode ser “construída” a partir de uma descrição comportamental de alto nível, como VHDL.

5. FERRAMENTAS DE SOFTWARE DA PLATAFORMA HARDSOFT

O sistema de software da HardSoft compreende 4 processos principais, conforme visto na Figura 4:

1. Configuração do FPGA;
2. Programação do processador;
3. Compilação do programa de teste para o dispositivo a ser caracterizado (DSC);
4. Execução e monitoramento do processo de caracterização.

Plataforma HardSoft :
Menus de Programação, Monitoração e Controle

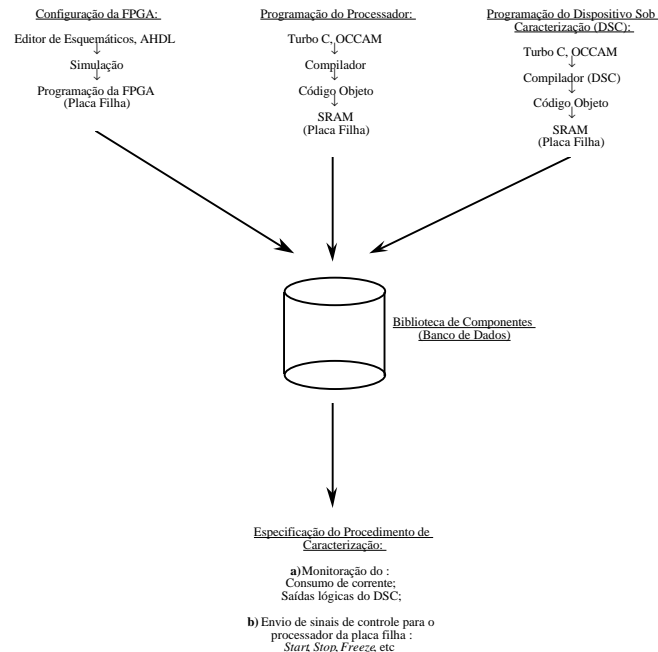


Fig. 4. Visão geral da HardSoft mostrando o Gerenciador de Programas para ambiente Windows/microcomputadores PC (as linguagens fornecidas são a título de exemplo)

O arquivo de configuração do FPGA é desenvolvido na Etapa 1, *Configuração da FPGA*. Este arquivo visa configurar o FPGA para realizar a interface (roteamento) dos sinais entre o DSC e a memória RAM na placa filha, via um barramento de comunicação. Além de rotear os sinais, haverá a necessidade de programar tarefas tais como multiplexação do barramento, sincronização de leitura/escrita de dados e escrita dos dados provenientes do dispositivo caracterizado na memória.

O programa a ser executado pelo processador da placa filha será desenvolvido durante a Etapa 2, *Programação do Processador*. A função deste programa é a supervisão do processo de caracterização do componente, envolvendo atividades tais como o envio dos dados provenientes deste processo ao PC e o controle de erros durante a fase de caracterização.

O programa de caracterização para o DSC é desenvolvido na Etapa 3, *Programação do Dispositivo Sob Caracterização*, e em seguida carregado na memória da placa filha, para posteriormente ser executado pelo DSC através da FPGA. Este programa de testes é o resultado da compilação de um programa escrito em linguagem de alto nível no PC, específico para o DSC. Se formos caracterizar um microprocessador, por exemplo o 86486, deveremos compilar o programa com um compilador que gere código objeto para o 86486. Assim sendo, para cada dispositivo do tipo microprocessador que formos testar, este terá que ser acompanhado de seu respectivo compilador (cross-compiler).

A Etapa 4, *Monitoramento do Processo de Caracterização*, será implementada por um programa executável no PC cuja função é a de receber os dados provenientes do componente na câmara de vácuo e enviá-los para a tela do PC. Em função destes dados, o programa poderá exibir graficamente a evolução do processo de

caracterização, sinalizar erros e interromper ou não o processo, de acordo com os parâmetros fixados pelo usuário.

Para um dado componente, enquanto as etapas de 1 a 3 são realizadas apenas uma única vez, a etapa 4 é realizada a cada vez que este componente for caracterizado, bastando ao operador da *HardSoft* buscar os dados referentes ao componente a ser caracterizado na biblioteca de componentes armazenada no banco de dados da *HardSoft*.

A sequência de passos para o procedimento de caracterização de um componente será:

Passo I: Programação do Sistema.

- I.a. Carregar a programação do dispositivo FPGA;
- I.b. Carregar o programa do processador;
- I.c. Compilar o programa do DSC no PC e carregá-lo na memória RAM da placa;
- I.d. Gerar a tabela de referência no PC e carregá-la na memória da placa. Esta tabela de referência conterá as respostas corretas do DSC, geradas por um dispositivo sem defeitos operando em ambiente natural. Os dados fornecidos por esta tabela serão comparados pelo processador da placa filha com as respostas fornecidas pelo DSC em tempo real, durante a sua fase de caracterização.

Note que as Etapas **I.a** a **I.d** são geradas somente uma única vez para cada componente, de forma que os programas pré-compilados e a tabela do DSC são armazenados na biblioteca da *HardSoft*, e portanto necessitando apenas serem carregados para a placa filha antes de iniciar o **Passo II** descrito a seguir:

Passo II: Procedimento de Caracterização.

- II.a. Iniciar o processo de monitoramento no PC, enviando sinal de Início de Caracterização para o processador da placa;
- II.b. Monitoramento da caracterização pelo processador, comparando a tabela de referência com os dados gerados pelo DSC, enviando o resultado desta comparação para o PC;
- II.c. Monitoramento do processo de caracterização pelo PC, exibindo graficamente os resultados deste processo, com o devido tratamento de erro, conforme especificação do usuário (por exemplo: contagem de erros durante um certo intervalo de tempo ou interrupção do teste em caso de um número pré-fixado de erros).

A memória da placa filha será dividida em 4 blocos:

- 1) *Área do Programa de Caracterização*. Nesta área de memória estará armazenado o programa do DSC que é executado utilizando-se o FPGA como lógica para endereçamento. Este programa será carregado pelo processador da *HardSoft*, e somente acessível pela FPGA.

- 2) *Área do Programa de Supervisão da Etapa de Caracterização.* Nesta área de memória estará armazenado o programa executável pelo processador, durante o procedimento de caracterização.
- 3) *Área de Resultados.* Nesta área de memória serão lidos e gravados os dados provenientes do DSC durante o procedimento de caracterização.
- 4) *Área de Referência.* Nesta área de memória será armazenada a tabela de referência, cujos dados serão comparados aqueles gerados pelo DSC durante a fase de caracterização. Em caso de diferença, é sinalizada a ocorrência de erro. Esta área de referência está também armazenada no PC. Desta forma é possível propor a seguinte sequência de eventos: o programa de monitoramento no PC envia um sinal para a placa indicando o início do procedimento de caracterização do dispositivo. Uma vez iniciado o processo, para cada passo do programa de caracterização o processador da placa filha envia um bit de erro, indicando o *status* do DSC após a execução de cada vetor do programa de caracterização. Com este procedimento é possível monitorar no PC onde e quando ocorrem os erros no DSC e o número destes.

Outra vantagem deste procedimento de monitoramento é a possibilidade de operação ou supervisão remota. O sistema “PC-placa-câmara de vácuo” estará em um laboratório, e via rede é possível acessar o PC, disparando e monitorando a sequência de teste. Como o monitoramento consiste na leitura de uma tabela de dados e de bits de erro, esta tarefa pode ser realizada através da Internet, via programação do processo de monitoramento em linguagem Java, para o acompanhamento da sequência de teste em múltiplos laboratórios. Através do uso da Internet [12] e da programação Java, qualquer procedimento de caracterização de dispositivos à radiação poderá ser remotamente acompanhado “on-line” por estudantes e pesquisadores de diferentes universidades e centros de pesquisa no Brasil.

Este sistema será executado no sistema operacional Windows95, através de interface amigável com o usuário, utilizando técnica de programação visual (menus e janelas).

6. ESTADO ATUAL DO PROJETO

Um projeto versando sobre os conteúdos do presente artigo está em submissão à Agência Espacial Brasileira. Um protótipo inicial da HardSoft está em desenvolvimento no Instituto de Informática da PUCRS. Devido à maior complexidade do desenvolvimento das ferramentas de software, quando comparado ao desenvolvimento do hardware, optou-se, para o protótipo inicial, pelo aproveitamento de hardware já existente, tanto para a parte do processador quanto para o FPGA.

Conforme colocado anteriormente, a parte de hardware da plataforma HardSoft será composta por uma única placa, contendo um processador e um FPGA fortemente acoplados. O protótipo em utilização é composto por duas placas, uma contendo o FPGA e a outra o processador, ambas acessíveis por intermédio das portas de comunicação serial de um microcomputador (Figura 5). O primeiro trabalho realizado na PUCRS foi a definição e implementação de uma interface entre as duas placas de forma a termos uma plataforma com processador e FPGA fortemente conectados.

O FPGA utilizado (XC4003A) encontra-se em uma placa desenvolvida pela Xilinx [XIL96 - documentacao da placa], que contém dois FPGAs (XC3020A e XC4003A), displays de sete-segmentos, LEDs, chaves para conexão direta entre os dois FPGAs (8 pinos), chaves para configuração do modo de realização da programação dos FPGAs (download) e para realização da depuração em hardware (readback), além de uma área livre para construção de pequenos protótipos de hardware. A placa é acompanhada de um sistema de CAD composto por ferramentas para projeto de sistemas digitais em diversos níveis de abstração. Com a utilização dessas ferramentas é possível descrever um sistema utilizando diagramas de portas lógicas, diagramas de transição de estados e linguagens de programação (VHDL e XAbl). A placa é conectada à porta serial de um microcomputador padrão IBM-PC por intermédio de um cabo especial composto por um FPGA, memória estática e relógio. A placa, o sistema de CAD e o cabo de comunicação juntos compõem um sistema completo para projeto, prototipação e depuração de sistemas digitais baseados em FPGAs e microcomputadores padrão IBM-PC.

O processador utilizado no protótipo é o 8031, pertencente à família de microcontroladores da Intel [Microcontroler DataBook]. A placa com o 8031 foi projetada na Escola Politécnica da PUCRS pelo Prof. Marcos Stemmer. A montagem da placa com o 8031 e hardware para acoplar as duas placas (8031 e Xilinx) foi realizada pelos bolsistas do grupo GAPH (Grupo de Apoio ao Projeto de Hardware) do Instituto de Informática. A comunicação entre a placa e o IBM-PC é realizada via porta serial, por intermédio de dois programas desenvolvidos também pelo Prof. Stemmer. Um dos programas executa no IBM-PC e outro no 8031 (gravado em EPROM). Com esses programas é possível, inclusive, enviar dados fornecidos pelo teclado do PC para o FPGA e vice-versa, conforme diagrama da Figura 6.

No momento a grande importância do protótipo composto pelas duas placas reside na possibilidade de realização de diversos experimentos de forma a encontrar a melhor maneira de interfacear o processador e o FPGA. Assim, para definição de como o processador e FPGA trocarão dados, foram levantadas duas opções: **comunicação direta** (serial ou paralela); ou **via memória compartilhada**.

No caso de comunicação entre o 8031 e o FPGA utilizando **memória compartilhada**, quando um dos dispositivos necessita enviar ou receber dados, este acessará uma área comum de dados. O maior problema seria a necessidade de implementação, no FPGA, da lógica para decodificação de endereços e acesso aos dados na memória compartilhada, o que representa grande ocupação de espaço no FPGA.

A **troca de dados direta** utiliza menos espaço no FPGA, sendo a opção selecionada na implementação do primeiro protótipo. Esta estratégia foi implementada utilizando-se os 8 pinos da porta P1 do 8031 ligados diretamente a 8 pinos de I/O do FPGA. A implementação do hardware é trivial. Para implementação da parte de software é necessário desenvolver mecanismos de sincronização, pois quando o programa executando no FPGA necessita enviar ou receber dados, é preciso garantir que o programa no 8031 execute a respectiva operação de recepção ou envio. Para solucionar este problema foram utilizados recursos de software e hardware.

O recurso de hardware consiste em um pedido de interrupção do 8031, a um dos pinos de I/O do FPGA. Sempre que for necessária uma troca de dados entre

FPGA e 8031, será necessário, previamente, que o programa no FPGA ative o pino solicitando uma interrupção no 8031.

A parte de software consiste em:

- rotinas de comunicação em C no 8031: Para facilitar a escrita de programas em C, optou-se por incluir duas novas funções - sendFPGA e recvFPGA. Ambas bloqueantes, ou seja, ao serem executadas, o programa no 8031 é suspenso até que o programa no FPGA realize uma operação de envio ou recepção, conforme o caso. Estas rotinas são acionadas na ocorrência de um pedido de interrupção por parte do FPGA;
- rotinas de comunicação no FPGA (implementadas em VHDL): Rotinas em VHDL - send8031 e recv8031. Estas rotinas, antes de transmitir ou receber algum dado, sempre executam uma solicitação de interrupção ao 8031;

Com a utilização deste protótipo é possível colocar na área livre da placa da Xilinx um dispositivo a ser caracterizado, e utilizar o 8031 para enviar vetores de teste e verificar os resultados. Para isso é preciso que o FPGA esteja configurado de forma a conectar o 8031 ao DSC.

7. CONCLUSÃO

As atividades descritas no presente trabalho estão em desenvolvimento na PUCRS. Conforme colocado anteriormente, o projeto conta ainda com a participação da UFCE, INPE e LGI. Na UFCE, o prof. Helano Castro é responsável pela fase II do projeto, que corresponde à implementação do estudo de caso, ou seja, o computador de bordo do microsatélite SACI-1, com o objetivo de realizar a caracterização a nível de sistema. O INPE

REFERÊNCIAS BIBLIOGRÁFICAS

[1] Livro Vargas

- [2] Ansell, G. P.; Tirado, J. S. CMOS in Radiation Environments. VLSI Systems Design. Sept. 1986.
- [3] Srour, J. R.; McGarrity, J. M. Radiation Effects on Microelectronics in Space. Proc. of the IEEE, vol. 76, nº11, Nov. 1988.
- [4] Augier, P.; Boudenot, J. C.; Roy, F.; Bruguier, G. Influence of Parasitic Transistors on the Total Dose Hardness of MOS and MOS/SOI Structures. 1st European Conference on Radiation and its Effects on Devices and Systems. France, Sept. 1991.
- [5] Bhuvana, B. L.; Paulos, J. J.; Gyurcsik, R. S.; Kerns, S. E. Switch Level Simulation of Total Dose Effects on CMOS VLSI Circuits. IEEE Transactions on Computer-Aided Design, vol. 8, No. 9, Sept. 1989.
- [6] Schlenther, M.; Braeunig, D.; Gaertner, M.; Gliem, F. "In Situ" Radiation Tolerance Tests of MOS RAMs. IEEE Transactions on Nuclear Science, vol. NS-25, nº 6, Dec. 1978.
- [7] Haraszti, T. P. Radiation Hardened CMOS/SOS Memory Circuits. IEEE Transactions on Nuclear Science, vol. NS-25, nº 6, Dec. 1978.
- [8] Brown, S.; Francis, R.; Rose, J.; Vranesic, S. "Field Programmable Gate Arrays", Kluwer Academic Publishers, 1992.
- [9] **Xilinx**
- [10] Velazco, R. et al. A low cost functional test system: the FUTE16 tester. Proceedings of the

- International . Conference. on Microelectronics- ICM'92, 1992, Tunes, Tunísia.
- [11] Mazor,R.; Langstraat,P. "A Guide to VHDL". Kluwer Academic Publishers, 1992.
 - [12] BENINI, L.; BOGLIOLO, A.; DE MICHELI, G. Distributed EDA Tool Integration: the PPP Paradigm. In: IEEE INTERNATIONAL CONFERENCE ON COMPUTER DESIGN: VLSI IN COMPUTERS AND PROCESSORS, 7-9 de Outubro de 1996, Austin, Texas. Proceedings. Los Alamitos, California:IEEE Computer Society Press, 1996. p.448-453.