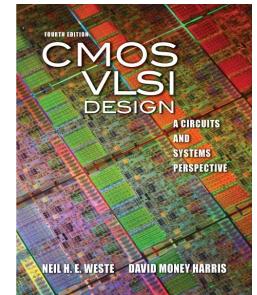
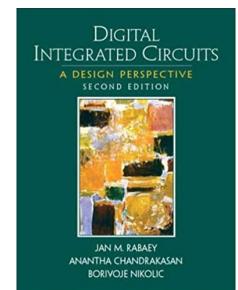


Microeletrônica

Aula #5 → Portas lógicas dinâmicas

- Professor: Fernando Gehm Moraes
- Livro texto:
Digital Integrated Circuits a Design Perspective - Rabaey
C MOS VLSI Design - Weste



Lógica Combinacional

Os sinais de saída de um circuito são resultados de uma combinação lógica dos sinais de entrada atuais

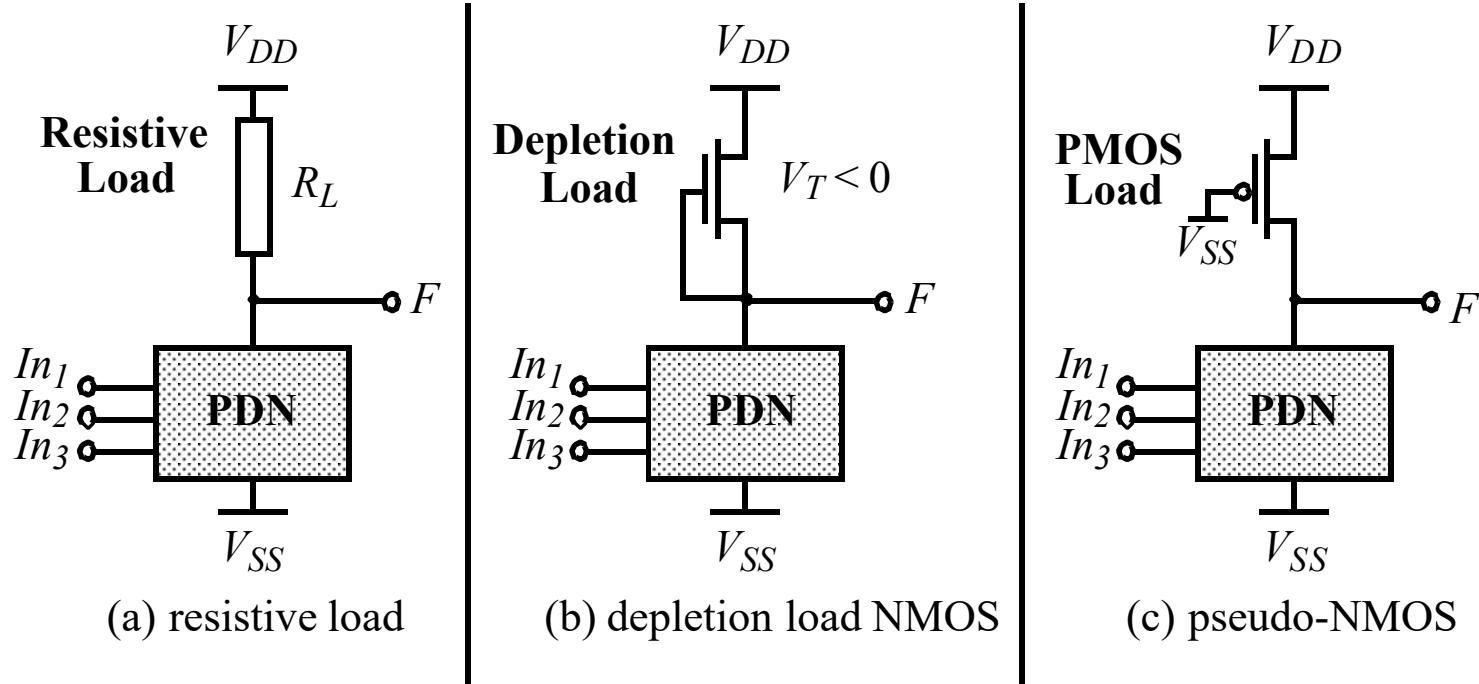
Lógica Estática (portas CMOS)

As saídas só mudam de valores a partir da mudança dos valores de entrada

Lógica Dinâmica

As saídas representam o resultado da combinação lógica durante um tempo pré-determinado

Ratioed Logic (histórico)

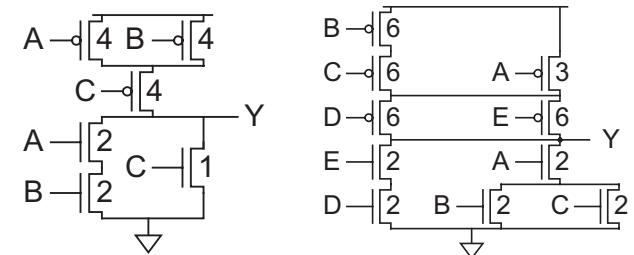


Goal: to reduce the number of devices over complementary CMOS

Dynamic CMOS

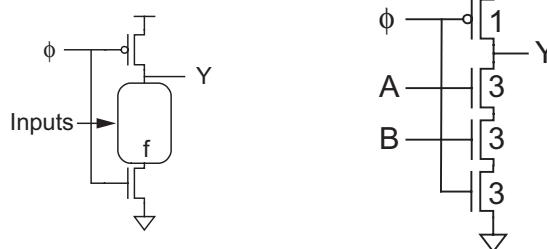
Em circuitos **estáticos** em todos os momentos (exceto durante a transição), a saída é conectada a GND ou VDD por meio de um caminho de baixa impedância.

- fan-in n requer $2n$ transistores

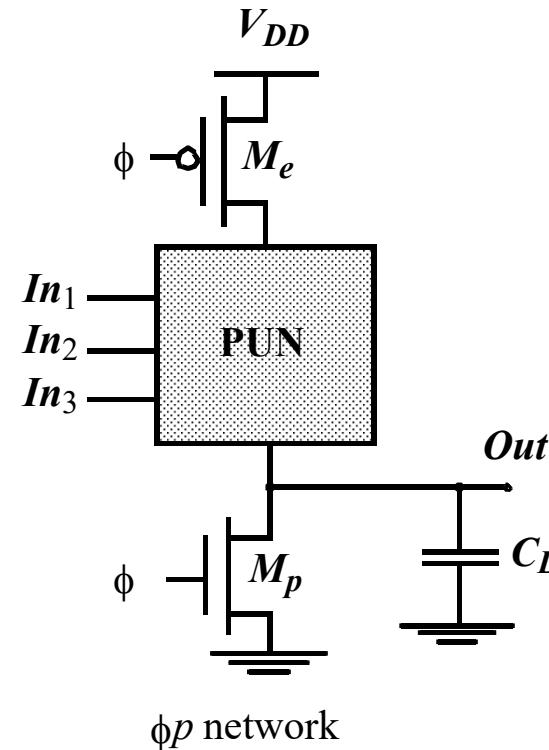
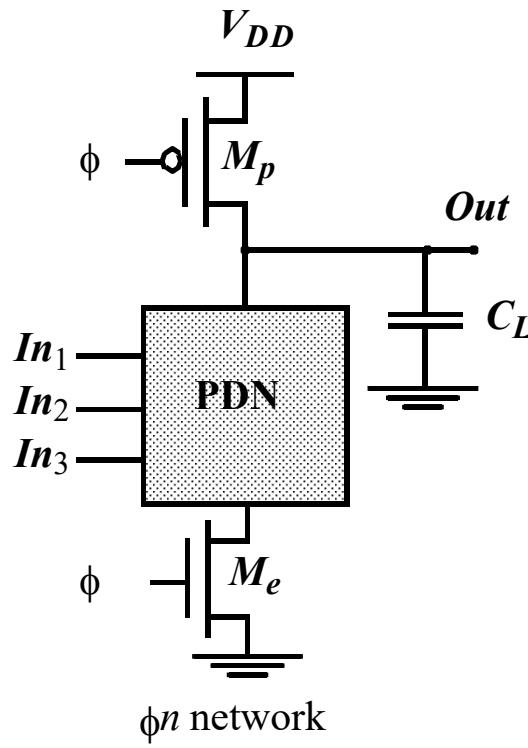


Os circuitos **dinâmicos** dependem do armazenamento temporário de valores do sinal de saída.

- fan-in n requer $2n$ transistors ($n+1$ NMOS + PMOS) transistors



Lógica Dinâmica Combinacional



Operação em 2 fases:
pré-carga / avaliação
Não tem tempo de subida com PDN

O valor de saída da porta lógica
fica armazenado na capacitância
de saída (próxima porta)

Dá-se preferência por PDN → mais rápido

Dynamic Gate

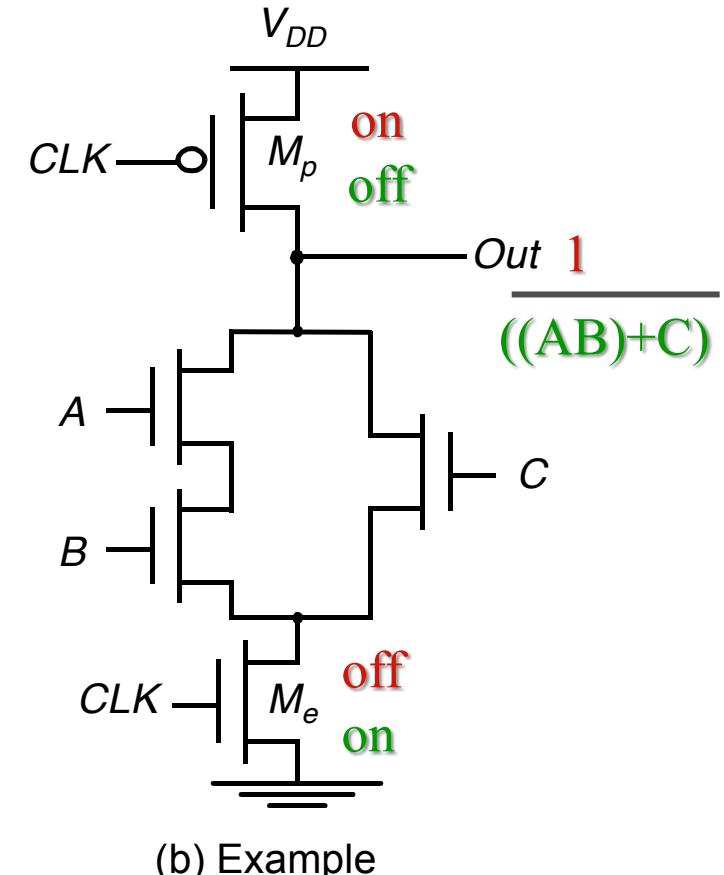
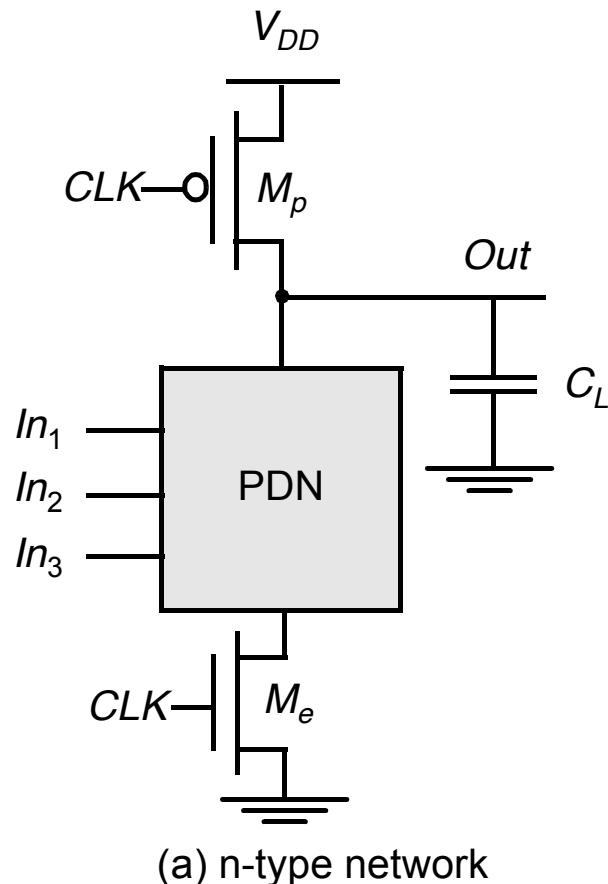


Figure 6.52 Basic concepts of a dynamic gate.

Two phase operation
Precharge (Clk = 0)
Evaluate (Clk = 1)

Resposta a transientes

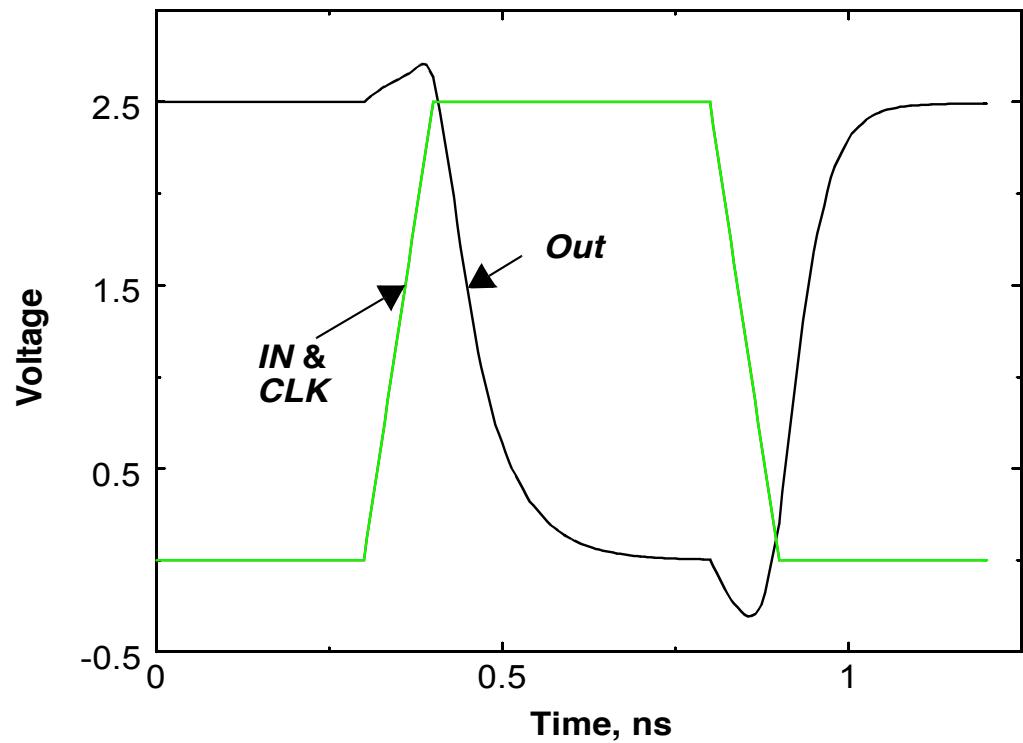
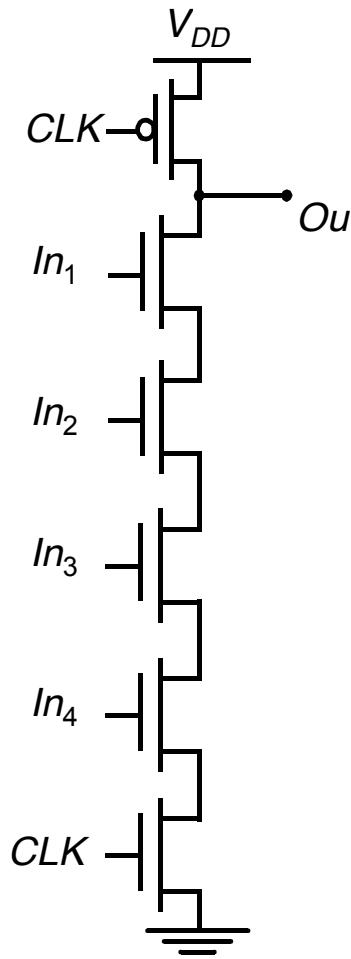
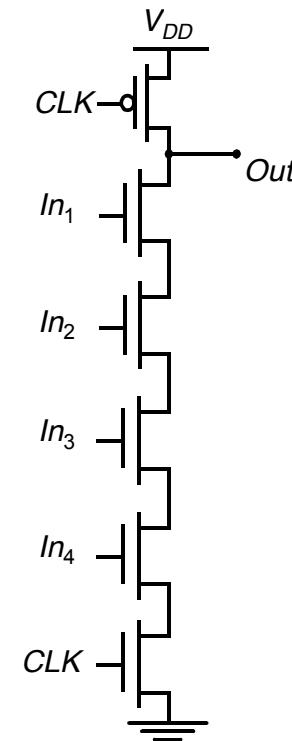
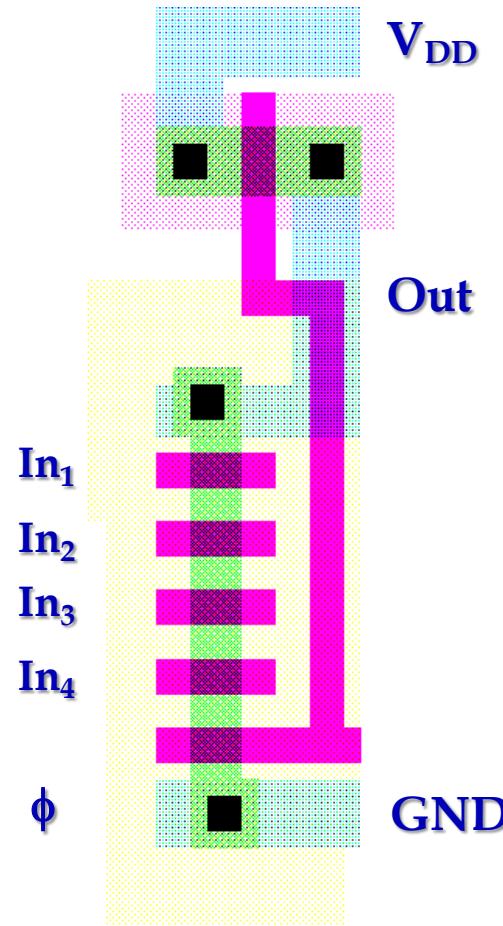


Figure 6.53 Schematic and transient response of a four-input dynamic NAND gate.

Lógica Combinacional

Porta NAND Dinâmica de 4 Entradas



footed and unfooted gates

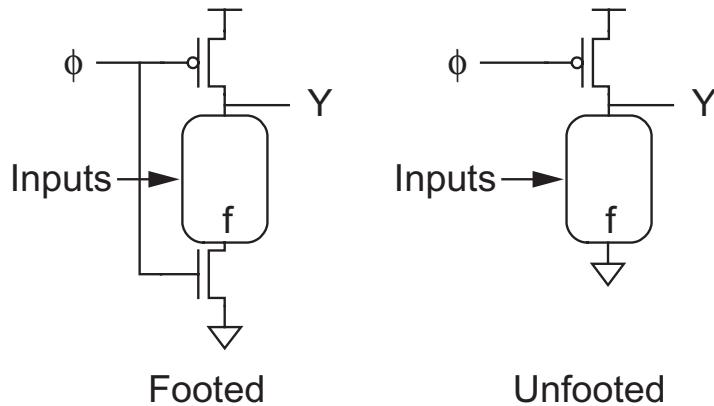


FIGURE 9.24 Generalized footed and unfooted dynamic gates

- Quando a entrada não pode ser garantida como 0 durante a pré-carga, um transistor de avaliação é adicionado à parte inferior da pilha nMOS para evitar curto-circuito – *footed dynamic gate* – **topologia usual**

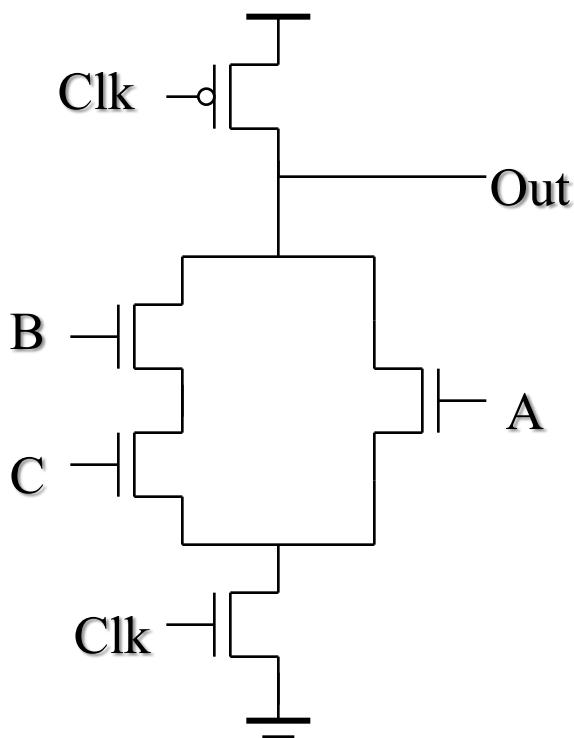
- Caso as entradas forem zero na pré-carga pode-se remover o transistor N

CMOS VLSI Design

Neil H. E. Weste, David M. Harris

Observação quanto às transições de entrada

- Uma vez que a saída de uma porta dinâmica é **descarregada**, ela não pode ser carregada novamente até a próxima operação de pré-carga
- As entradas da porta podem fazer no máximo **uma** transição durante a avaliação



- Por exemplo: no **início** da avaliação temos $ABC=100$, descarregando a saída ($Out=0$)
- Se A passar para 0 durante a avaliação, a saída não irá para 1

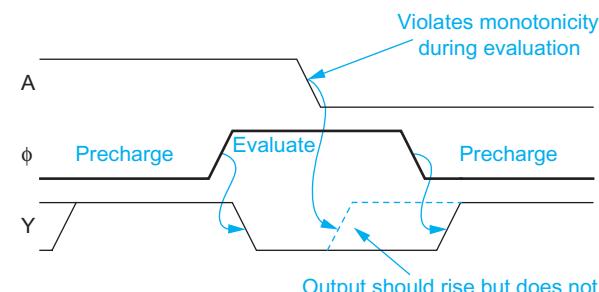
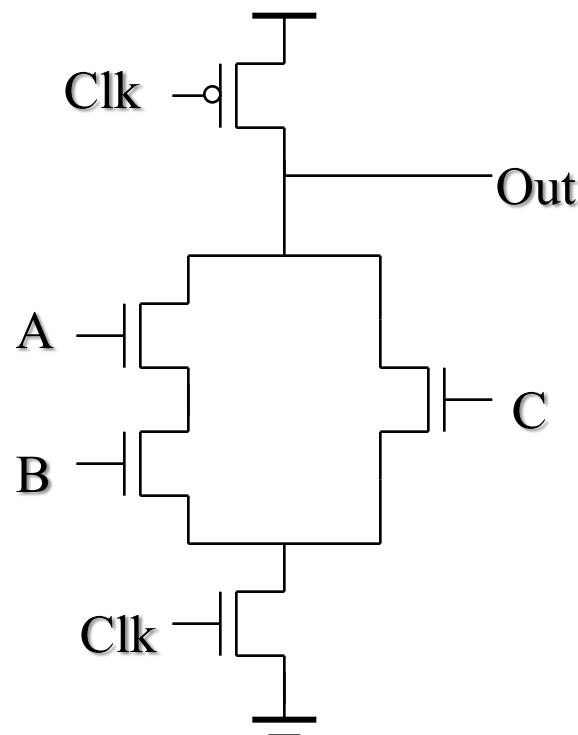


FIGURE 9.26 Monotonicity problem

Observação quanto à saída

- A saída pode estar em estado de alta impedância durante a avaliação (PDN desligado), o estado é armazenado em na carga de saída



- Por exemplo: na pré-carga a saída é carregada com 1 (Out=1)
- Se na avaliação tivermos ABC=000 a saída fica em alta-impedância, mas mantém o 1 da pré-carga na capacidade de saída

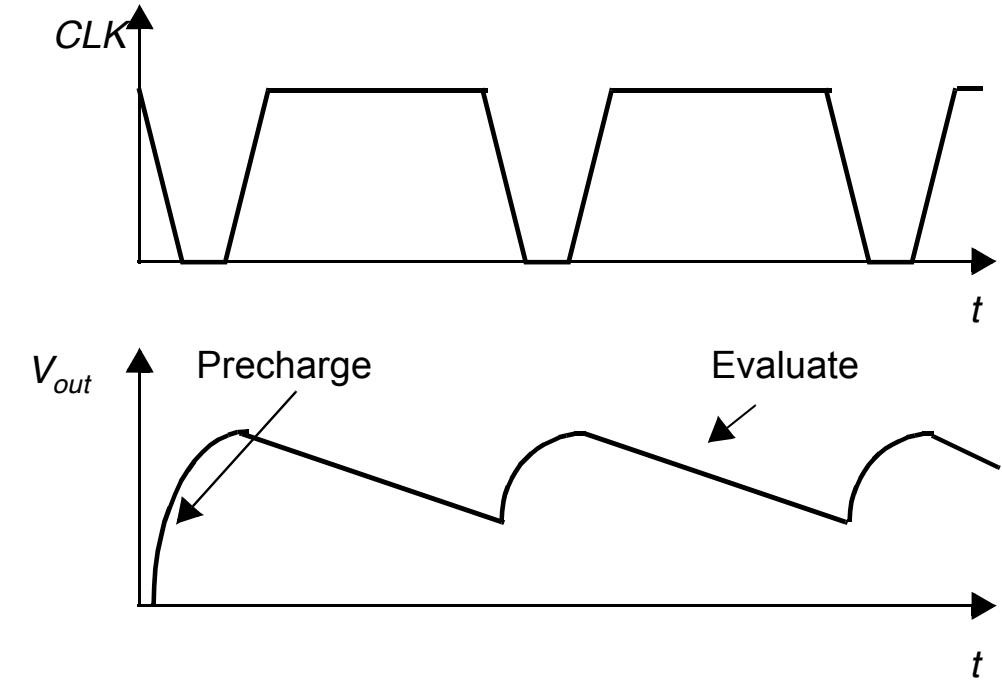
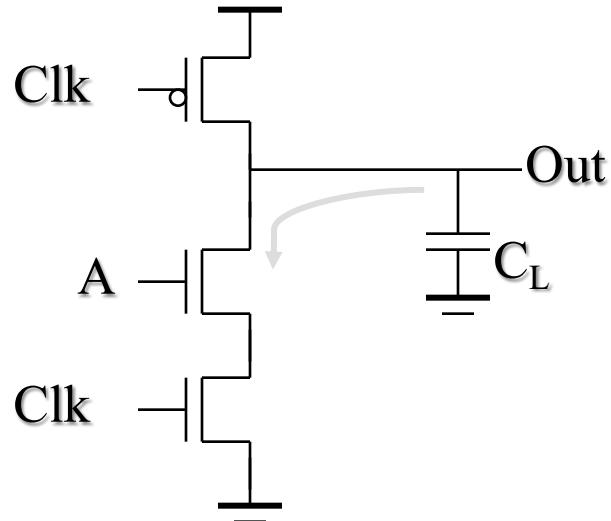
Properties of Dynamic Gates

- Logic function is implemented by the PDN only
 - number of transistors is $N + 2$ (versus $2N$ for static complementary CMOS)
- Full swing outputs ($V_{OL} = GND$ and $V_{OH} = V_{DD}$)
- Faster switching speeds
 - reduced load capacitance due to lower input capacitance (C_{in})
 - reduced load capacitance due to smaller output loading (C_{out})

Ou seja:

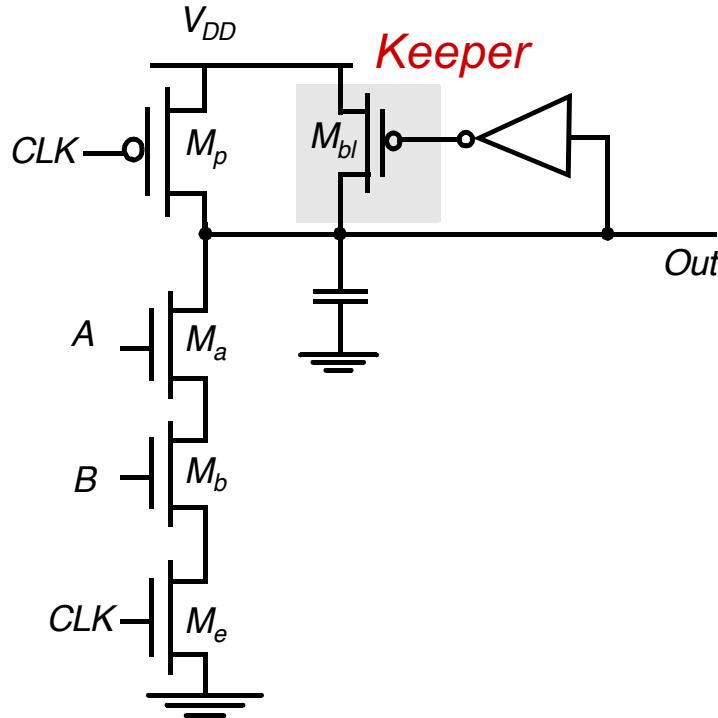
- (1) menores capacidades de entrada devido ao menor número de transistores
- (2) o tempo de subida (mais lento) não existe, devido à pré-carga

Issues in Dynamic Design 1: Charge Leakage



O valor armazenado na saída tem “fuga”, devido ao fato que o gate não é completamente isolado

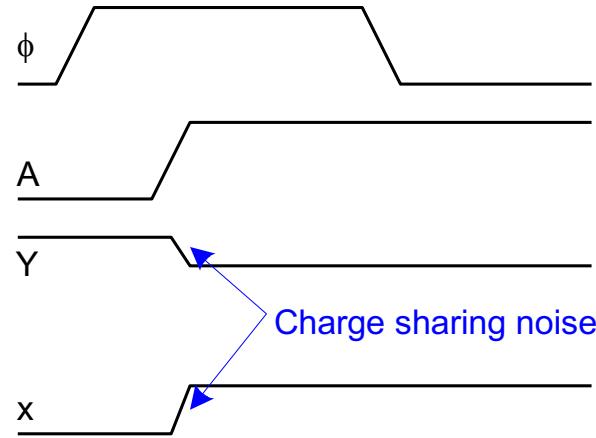
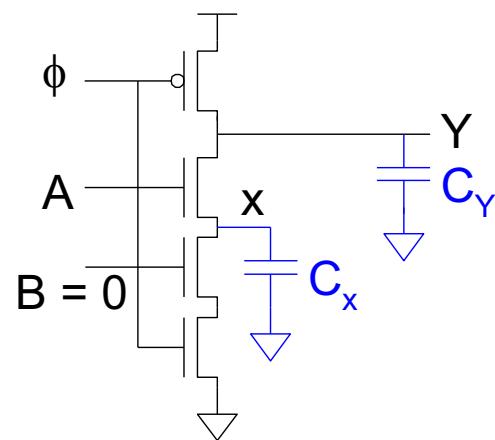
Solution to Charge Leakage



- O *keeper* é de fato um circuito de memória.
- Se a saída da célula for 1 (situação de perda de sinal por *leakage*), a saída do inverter é 0, fazendo M_{bl} conduzir, forçando um 1 na entrada do inverter.

Issues in Dynamic Design 2: Charge Sharing

Dynamic gates suffer from charge sharing



$$V_x = V_Y = \frac{C_Y}{C_x + C_Y} V_{DD}$$

Charge stored originally on Y is redistributed (shared) over C_Y and C_x leading to reduced robustness

Charge Sharing Example

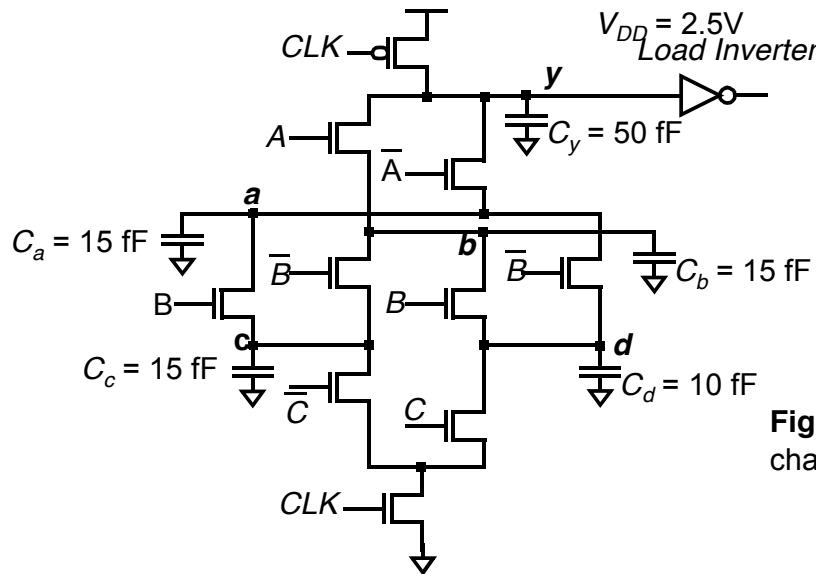
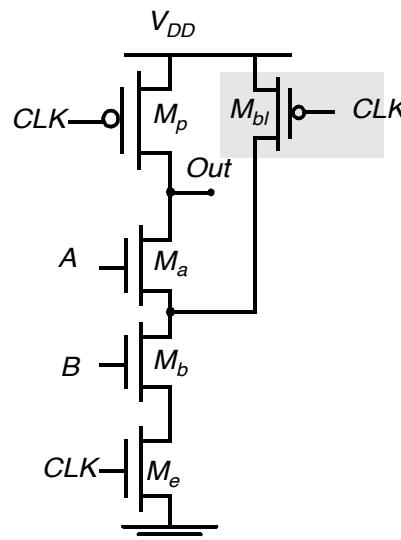


Figure 6.60 Example illustrating the charge sharing effect in dynamic logic.

Solution: add secondary precharge transistors

- ❑ precharge internal nodes using a clock-driven transistor (at the cost of increased area and power)
- ❑ typically need to precharge every other node



Noise Sensitivity

- Dynamic gates are very sensitive to noise
 - Inputs: $V_{IH} \approx V_{tn}$
 - Outputs: floating output susceptible noise
- Noise sources
 - Capacitive crosstalk
 - Charge sharing
 - Power supply noise

Como conectar portas dinâmicas

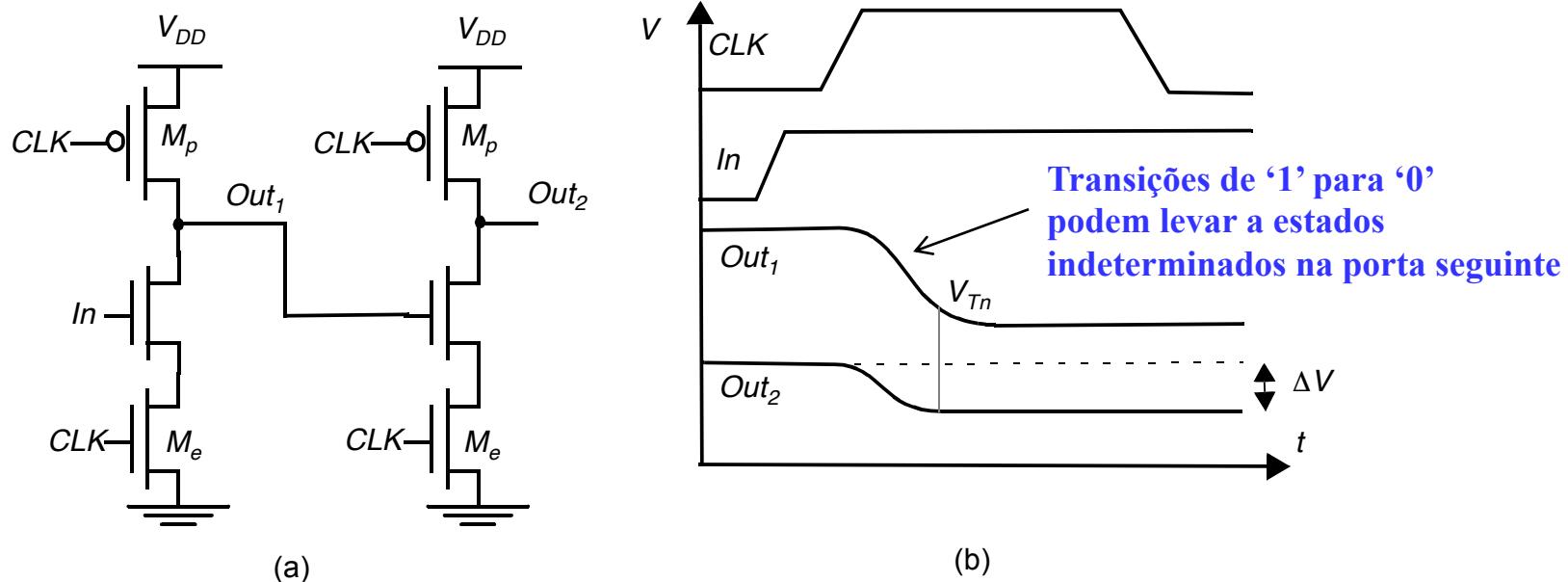


Figure 6.64 Cascade of dynamic *n*-type blocks.

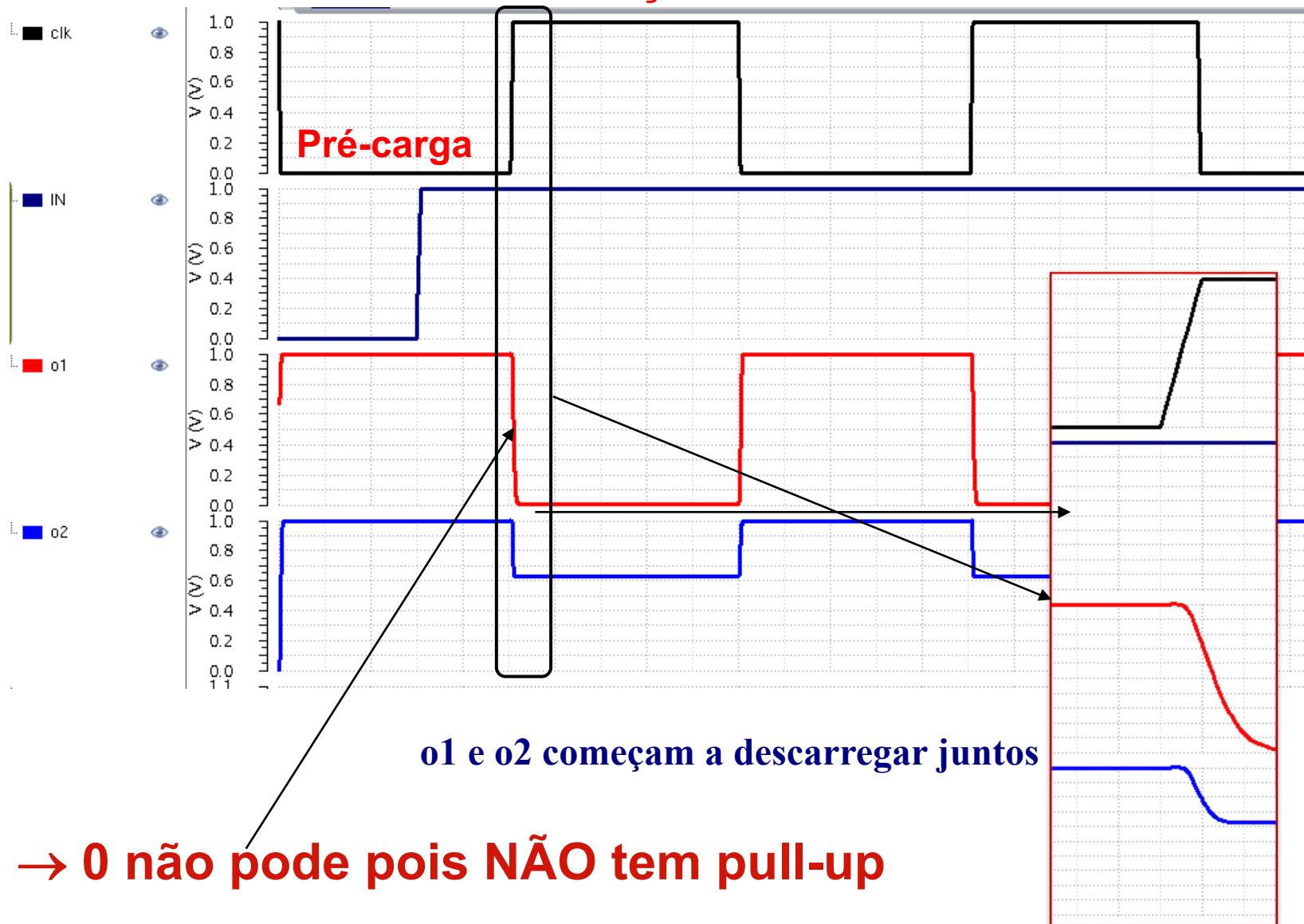
Dois inversores em cascata → espera-se que *out2* seja igual a *In*

- *out1* demora um pouco para descer, e este pequeno tempo faz *out2* começar a descer também
- No momento que *out1* chegou a zero, *out2* para de descer e fica em estado indefinido

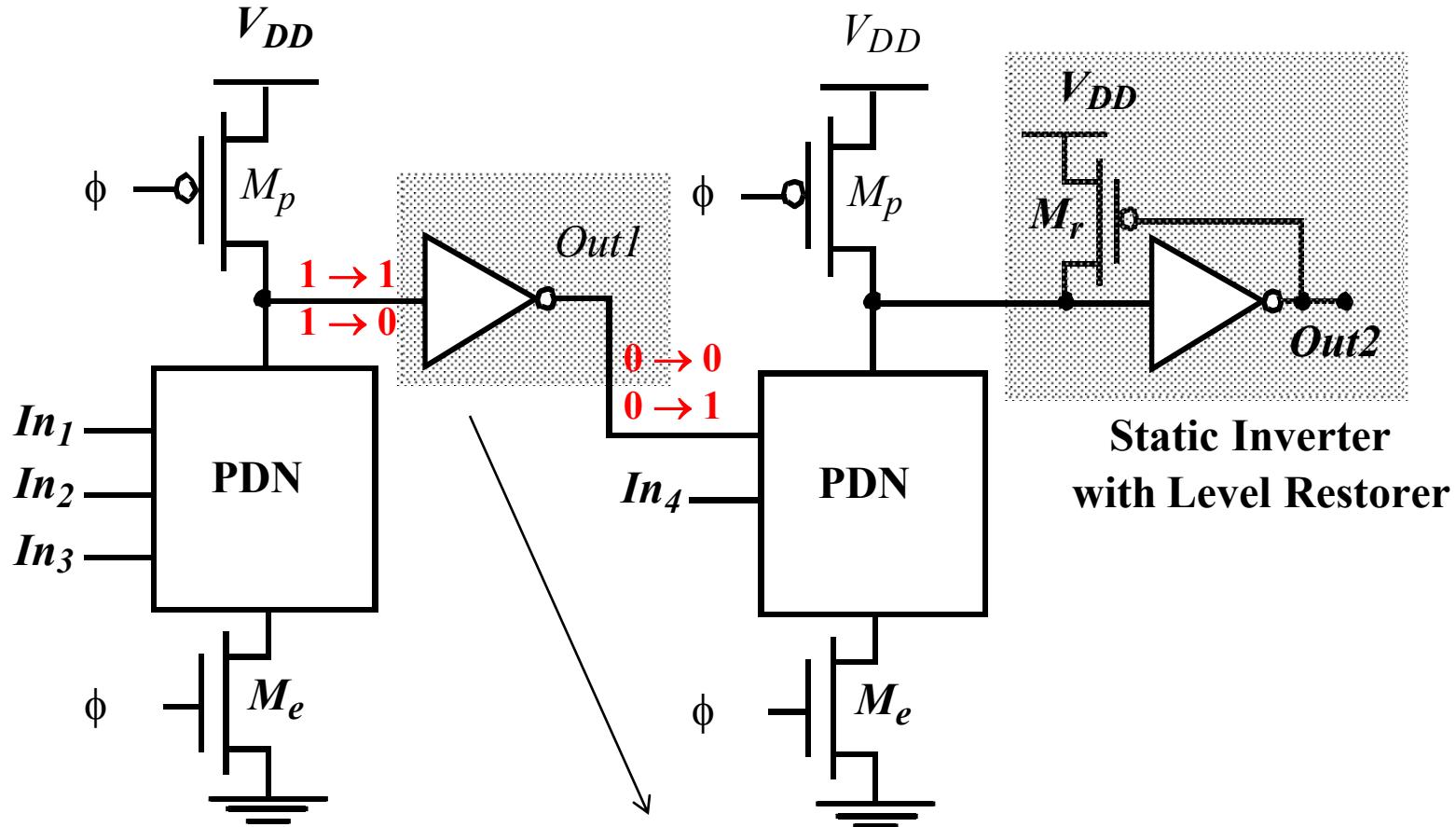
Only 0 → 1 transitions allowed at inputs!

Simulação

Avaliação



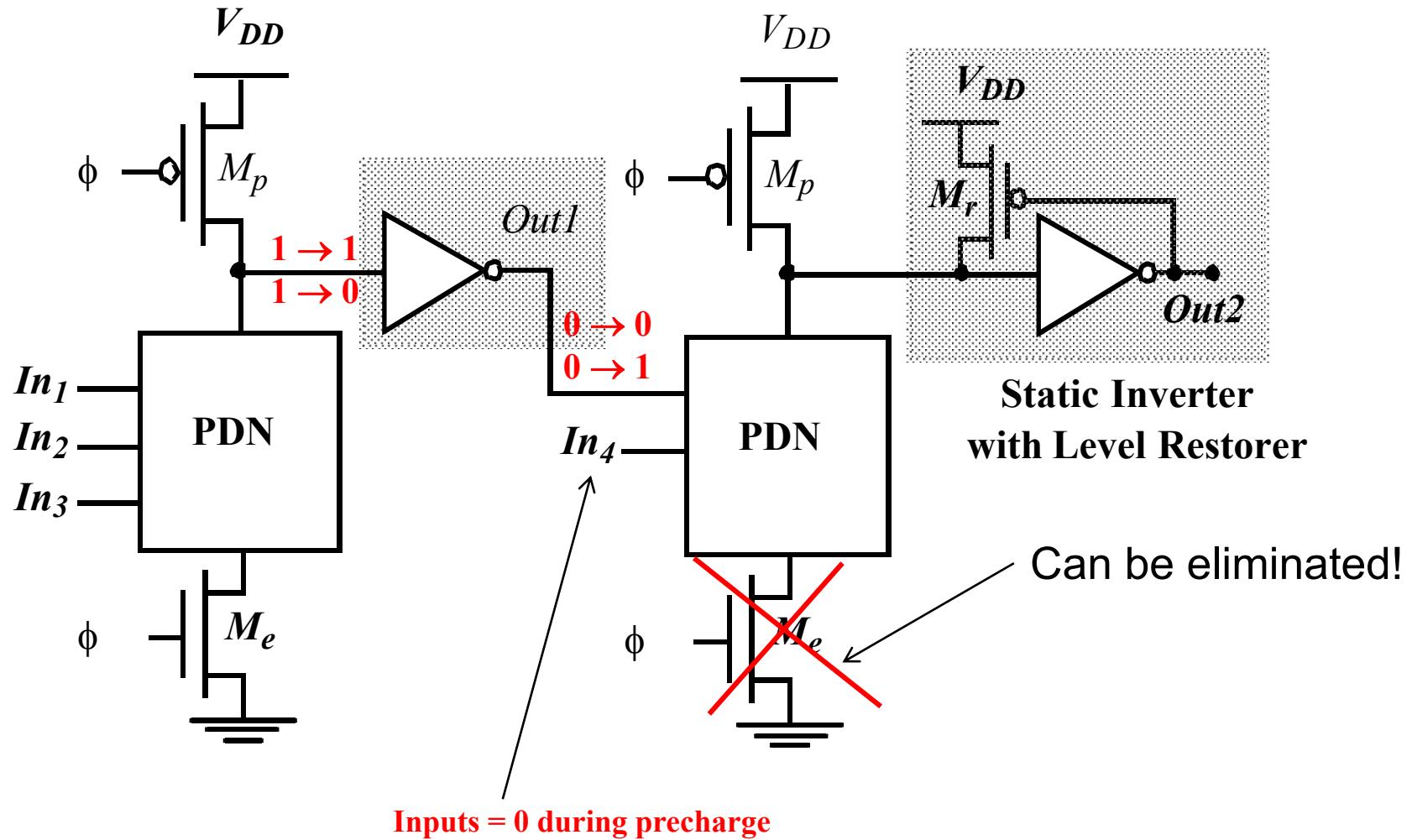
Lógica Dinâmica - Dominó



O circuito é pré-carreado, e depois pode tanto fazer transição para ‘1’ quanto para ‘0’ – modo normal de lógica dinâmica

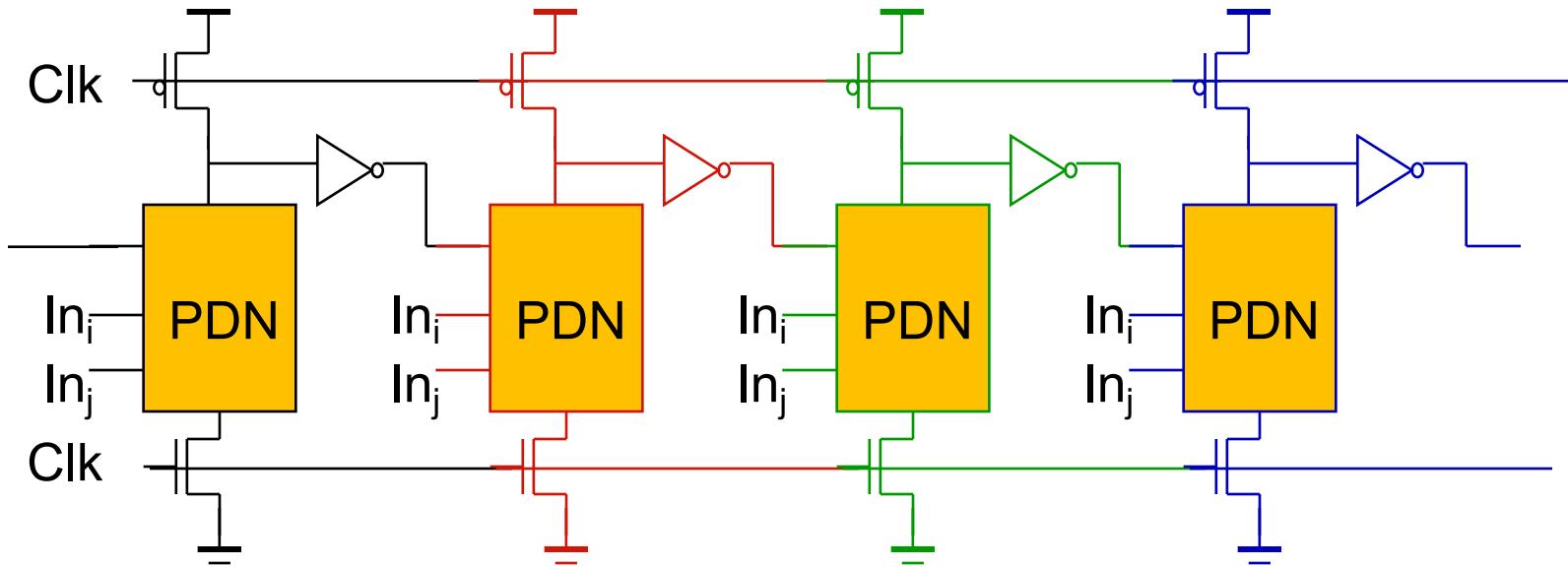
Na pré-carga, a saída do inveror é 0.
Logo só haverá transição de subida
(para descarga)

Lógica Dinâmica - Dominó



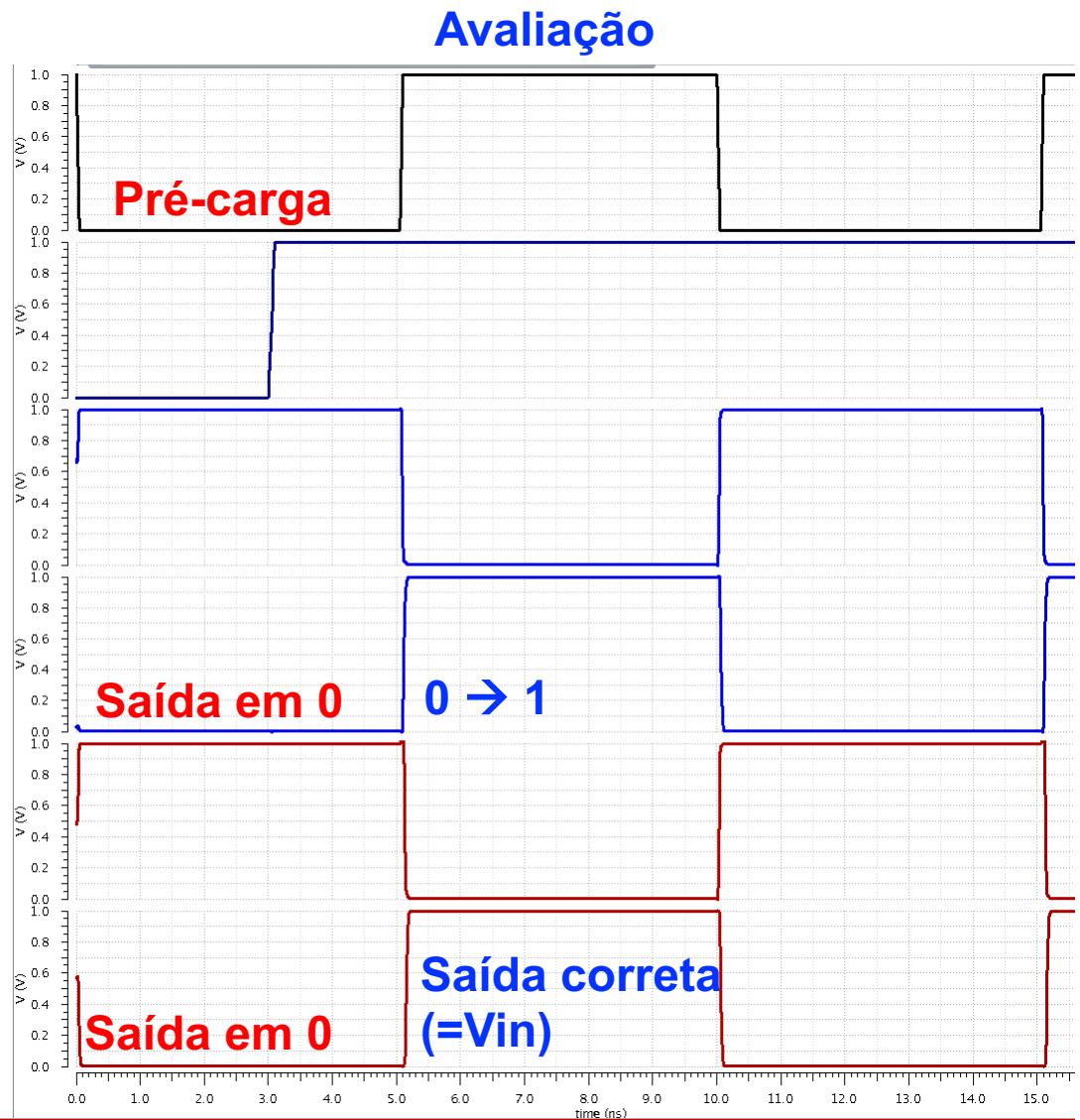
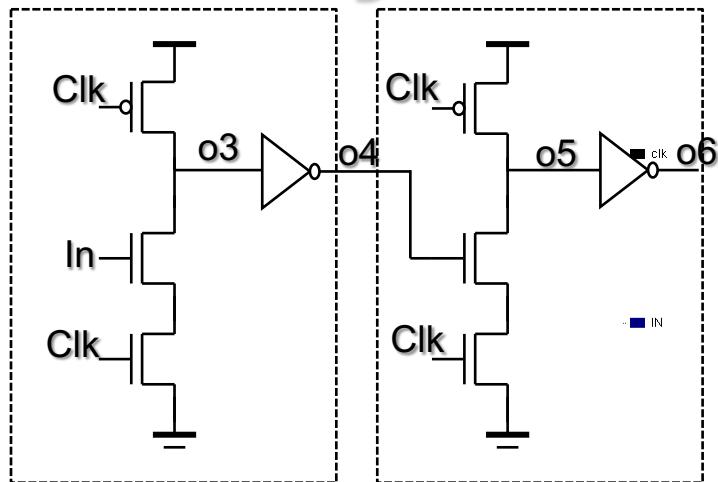
Lógica Dinâmica - Dominó

Why Domino?



Like falling dominos!

Simulação

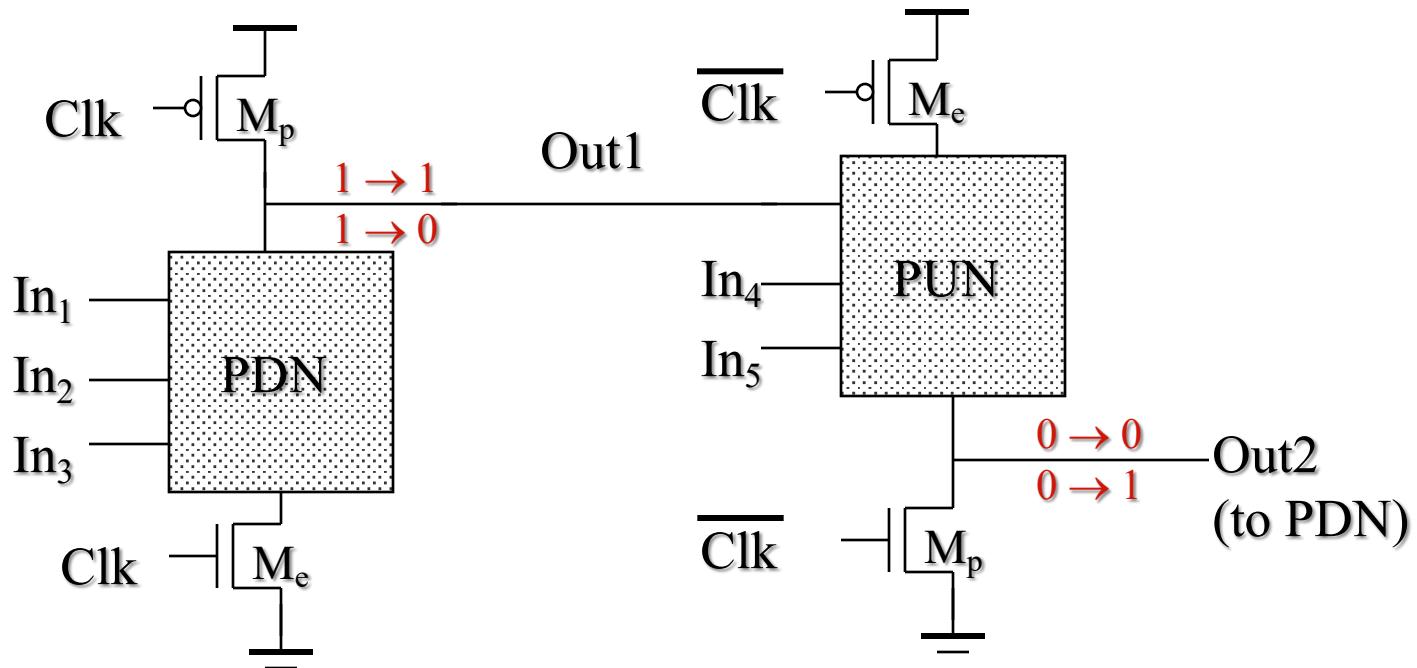


Lógica Dinâmica - Dominó

Características:

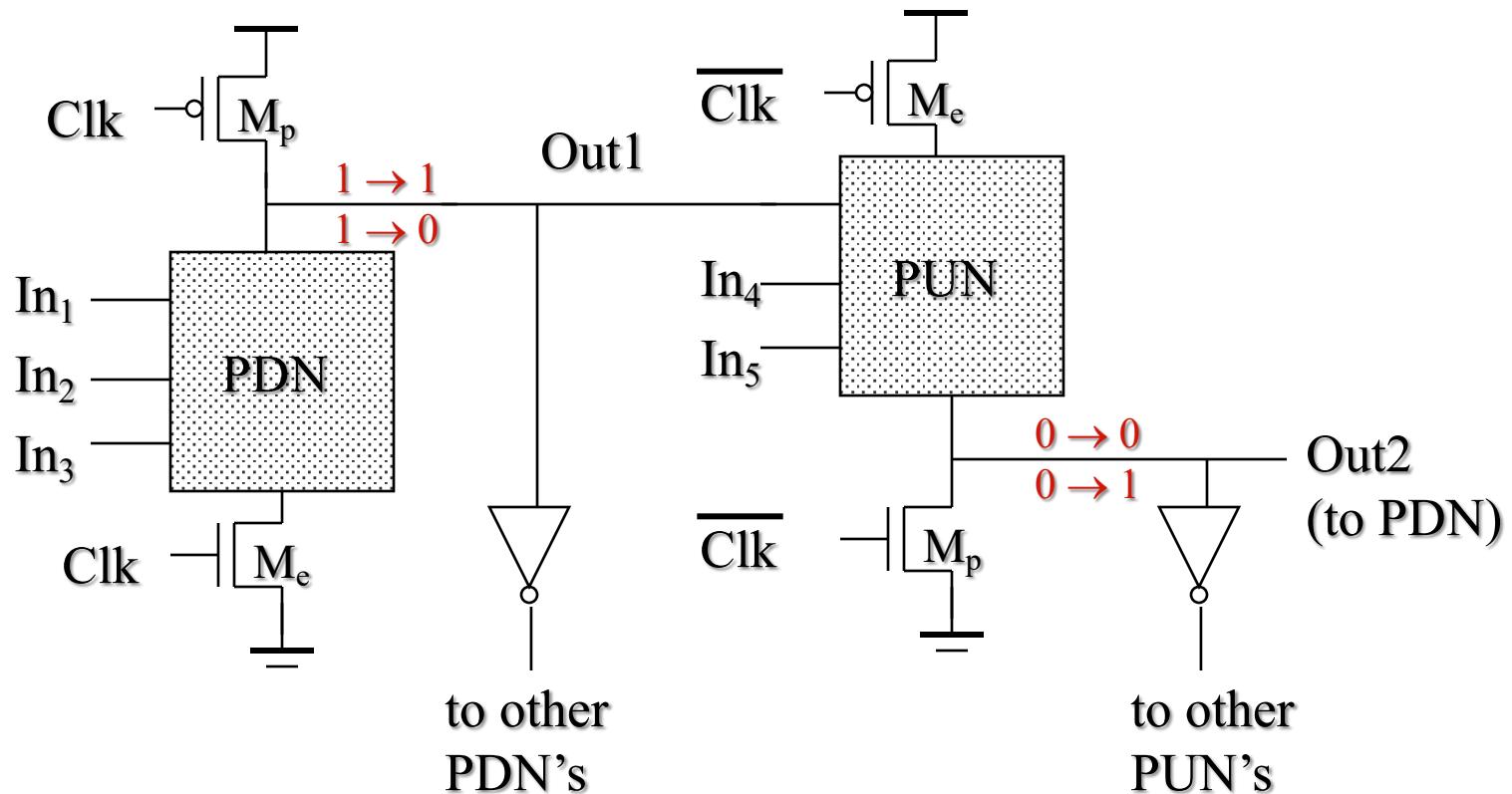
- Lógica não-invertida
- Muita rápida
 - apenas transição L-H
 - capacidade de entrada reduzida – menor esforço lógico
- A adição de um regenerador de nível de sinal reduz as correntes de fuga e os problemas de distribuição de cargas

Solução alternativa: np-CMOS



Only $0 \rightarrow 1$ transitions allowed at inputs of PDN
Only $1 \rightarrow 0$ transitions allowed at inputs of PUN

NORA Logic



WARNING: Very sensitive to noise!

Dual-rail domino gates

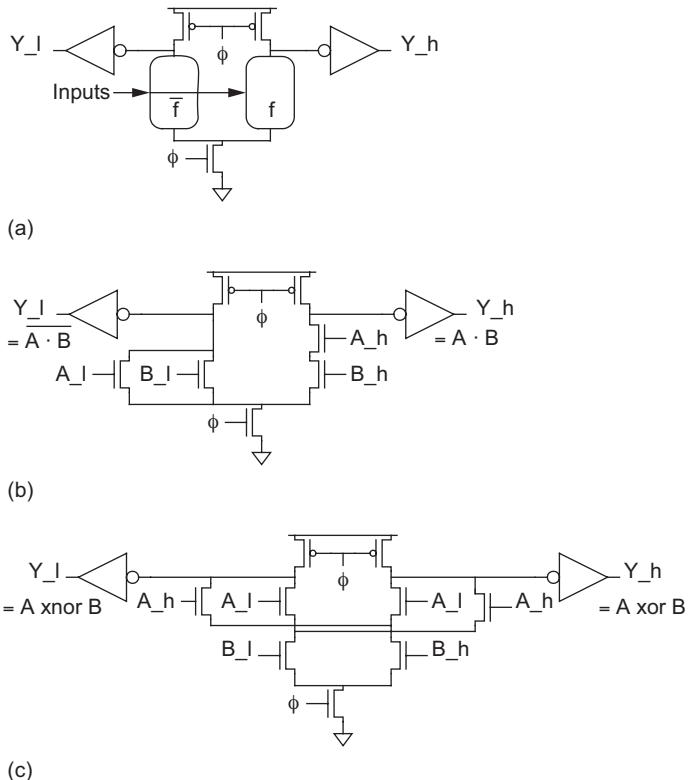


FIGURE 9.30 Dual-rail domino gates

- O dominó dual-rail sinaliza não apenas o resultado de um cálculo, mas também indica quando o cálculo é feito.
- Antes da conclusão do cálculo, as duas saídas são pré-carregados. Quando o cálculo for concluído, uma saída vai a '1'
- Uma porta NAND pode ser usada para detecção de conclusão, útil para circuitos assíncronos

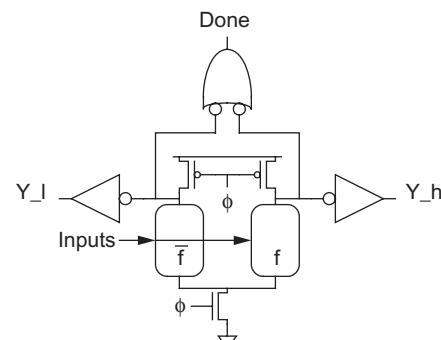


FIGURE 9.31 Dual-rail domino gate with completion detection

Circuitos dinâmicos: vantagens e desvantagens

Vantagens:

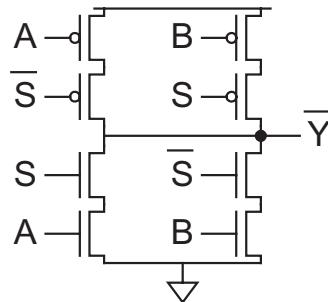
- Os circuitos ocupam menos área do que os circuitos estáticos
- Operar em velocidade mais alta do que CMOS estático

Desvantagens:

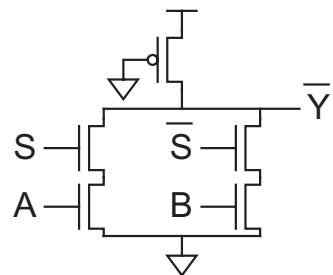
- Afetado pelo *charge sharing*
- Sempre exige sinal de *clock*
- Não pode operar em baixa frequência
- O projeto é mais complexo que portas CMOS estáticas

Famílias CMOS (Weste – Cap 9)

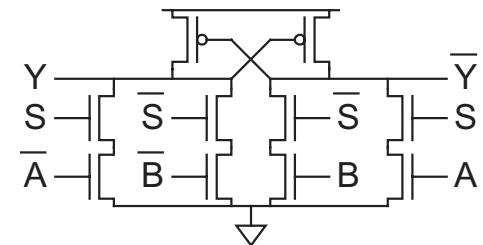
Static CMOS



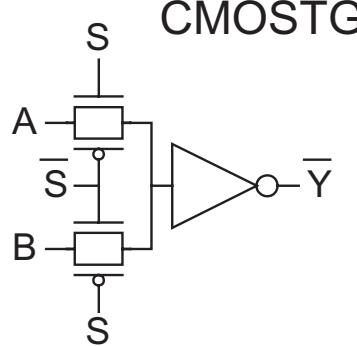
Pseudo-nMOS



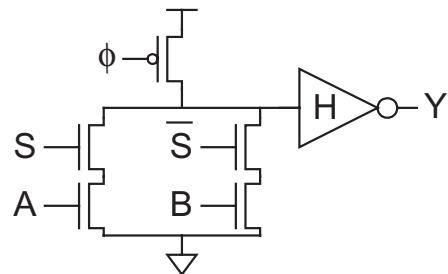
CVSL
Cascode Voltage Switch Logic



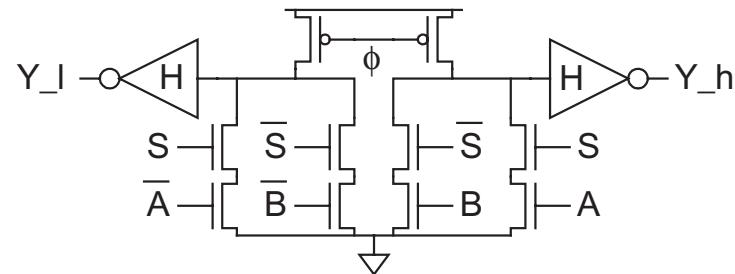
CMOSTG



Domino

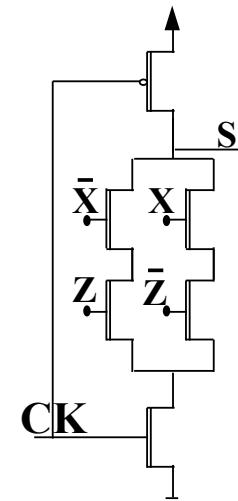


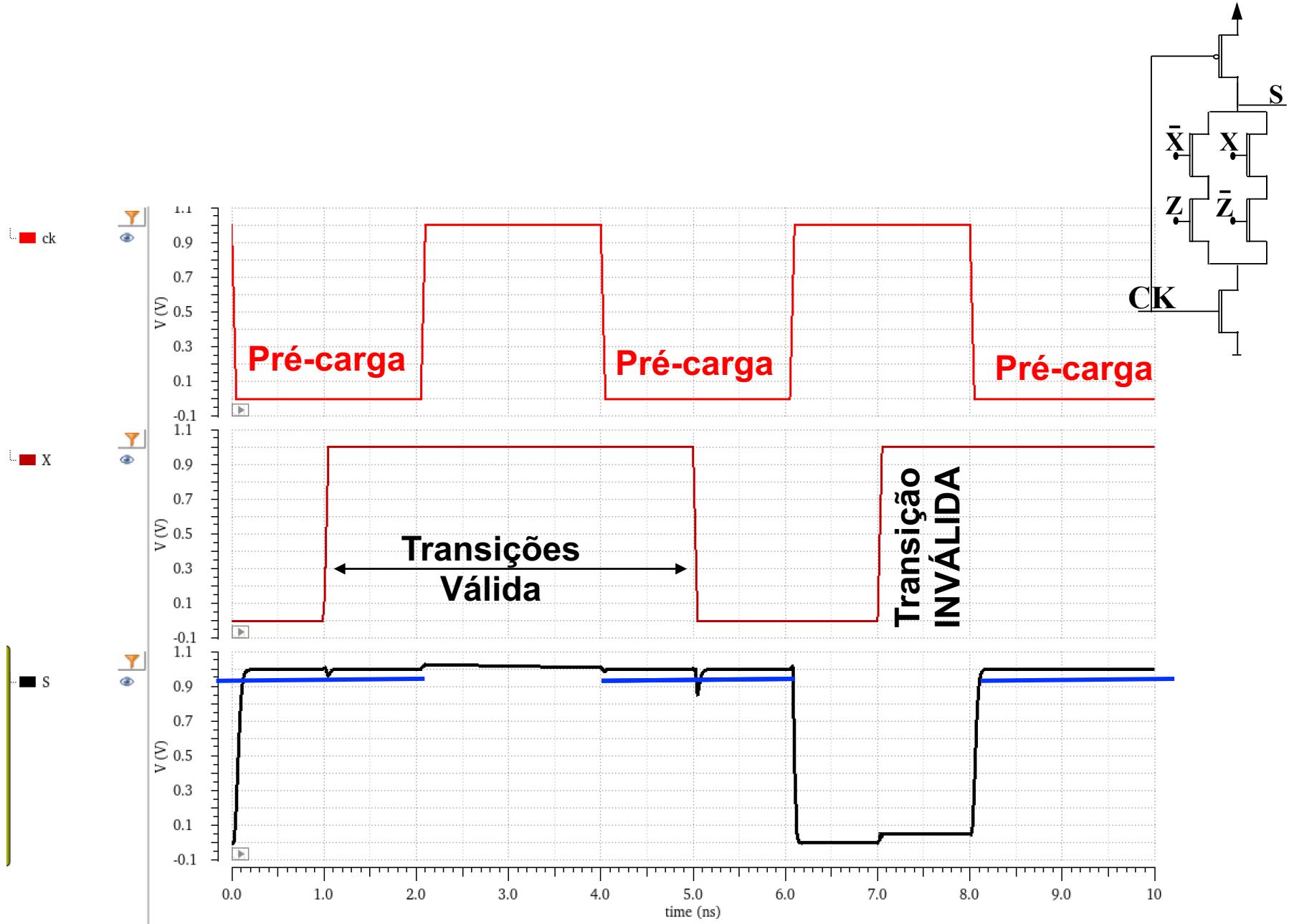
Dual-Rail Domino



Explique a operação de portas com lógica dinâmica utilizando o exemplo ao lado.

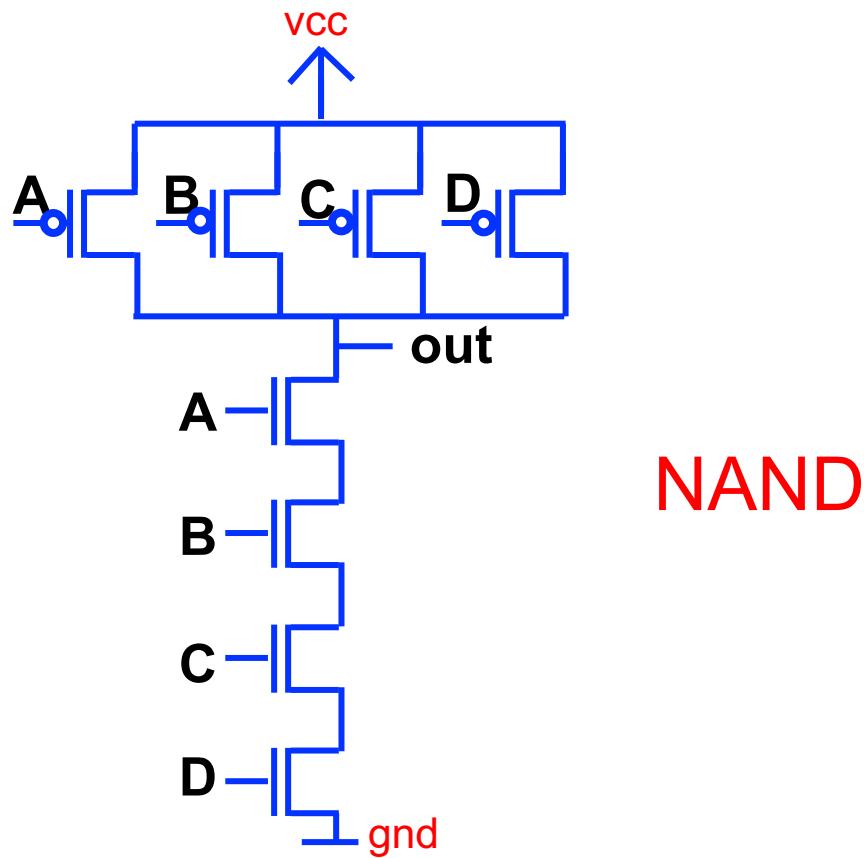
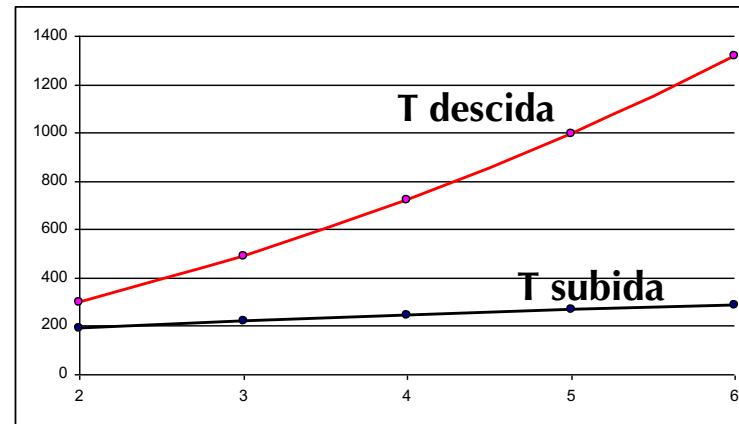
Para o diagrama de tempos apresentados, indicar o valor esperado em 'S', indicando se as transições em 'X' são válidas ou não ('Z' está em '1')



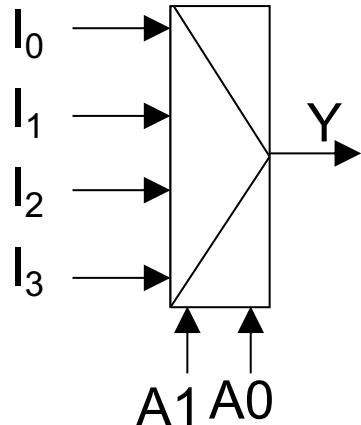


O gráfico abaixo apresenta no **eixo y** o **atraso** da porta lógica, e no **eixo x** o **número de entradas** variando de 2 a 6.

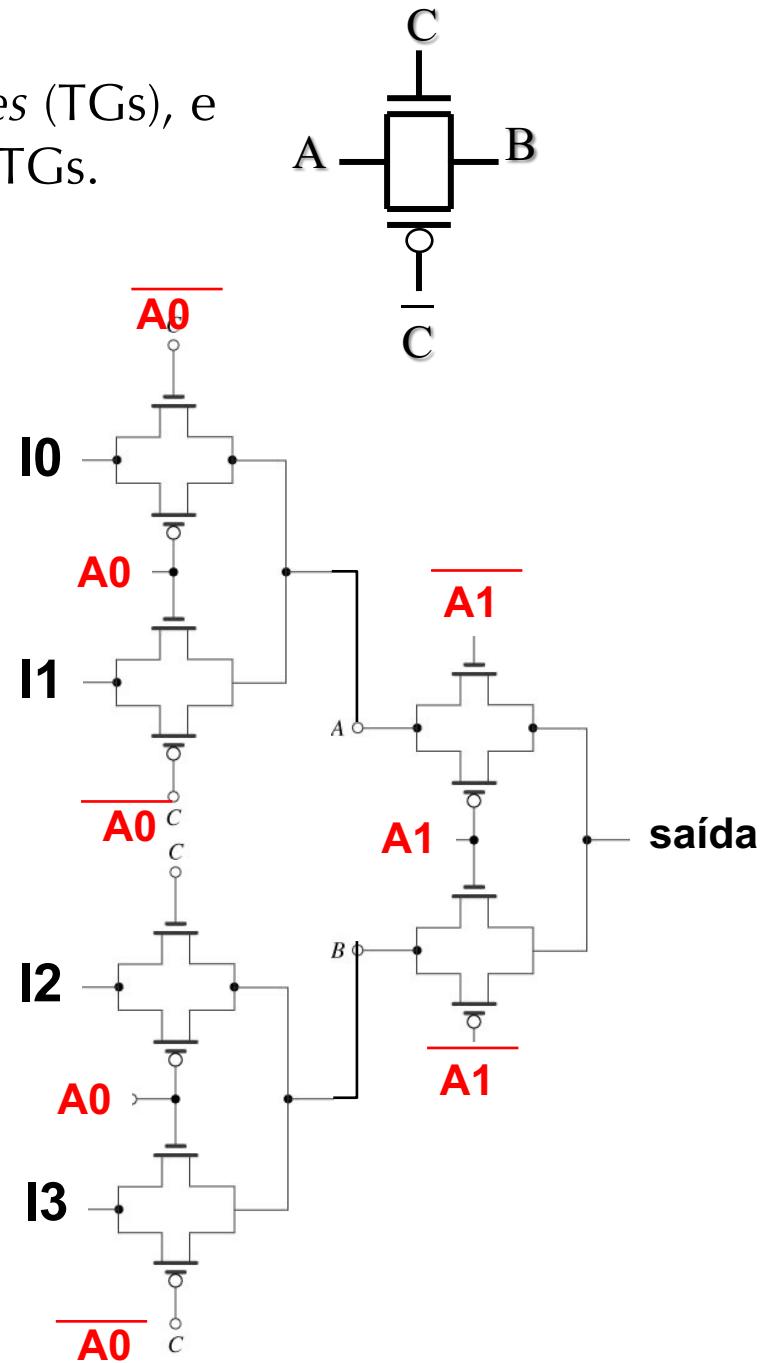
- A qual porta lógica corresponde o gráfico? Fazer um diagrama de transistores para 4 entradas.
- Explique o porquê do aumento do tempo de propagação de descida, e o motivo do tempo de subida ser praticamente constante.



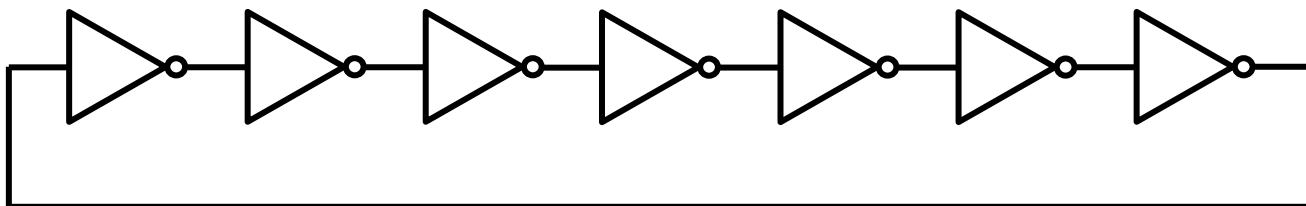
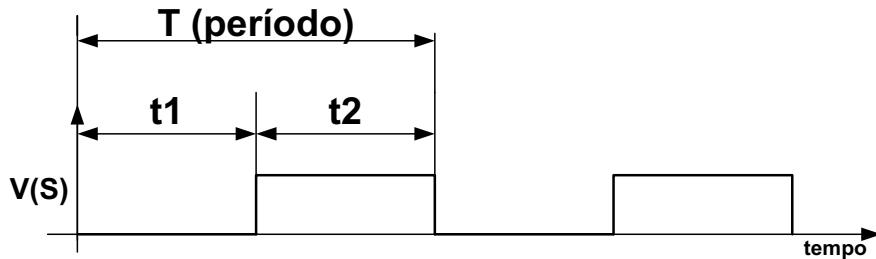
Explique como operam os *transmission gates* (TGs), e apresente um multiplexador 4:1 utilizando TGs.



Chaves CMOS compostas por 1 transistor N e 1 transistor P em paralelo, com sinais de gate complementares, que passam tanto o nível lógico '0' quanto o nível lógico '1' fortes.



Considere um oscilador em anel de 7 estágios, tendo o inversor $t_r=2,6$ ns (tempo de propagação de subida de um inversor) e $t_f=1,4$ ns (tempo de propagação de descida de um inversor). Determine t_1 , t_2 , período e frequência.



0V	2,6	1,4	2,6	1,4	2,6	1,4	2,6
1V	1,4	2,6	1,4	2,6	1,4	2,6	1,4

$$t_1 = 4 * 2,6 + 3 * 1,4 = 14,6$$

$$t_2 = 4 * 1,4 + 3 * 2,6 = 13,4$$

$$T = 28 \text{ ns} \rightarrow f = 35,71 \text{ MHz}$$

Considere a porta complexa ao lado.

- Qual o valor observado na saída quando $A=1'$, $B=0'$, $C=0'$, $D=0'$, $E=1'$, $F=0'$? Esta porta está corretamente projetada? Em caso negativo, explique o motivo.
- Caso esta porta esteja mal projetada, considere que o plano P represente a função desejada pelo projetista. Como ficaria o diagrama elétrico do plano N?

