



PUCRS

UNISINOS

EnSilica

HT MICRON
semicondutores

unipampa
Universidade Federal do Pampa

SoC-WiMed: SoC Wireless para Monitoramento Médico de Sinais Vitais com Foco em Segurança e Baixo Consumo de Energia



EDITAL FAPERGS 06/2023

PROGRAMA TECHFUTURO SEMICONDUTORES

Coordenador

Fernando Gehm Moraes – fernando.moraes@pucrs.br
Escola Politécnica - PUCRS

Sumário

1 Identificação da proposta	3
1.1 Tecnologias Estratégicas Predominantes	3
2 Caracterização do Problema	4
2.1 Caracterização do Problema Aportado pela Empresa Parceira	5
3 Caracterização do Desafio Tecnológico	8
4 Hipóteses de Pesquisa	9
5 Objetivos	10
5.1 Objetivos Específicos	10
6 Referencial Teórico	11
6.1 Processador RISC-V e Aceleração de Hardware	11
6.2 Algoritmos de Criptografia Leve – LWC	12
6.3 Aceleração de Hardware para Aprendizado de Máquina	14
6.4 Interface com Sensores Médicos	15
6.4.1 Amplificadores de Instrumentação	16
6.4.2 Filtro	16
6.4.3 Conversores Analógico-Digitais	17
6.5 Comunicação Bluetooth	18
6.5.1 Arquitetura do BLE	18
6.5.2 Camada PHY	20
6.6 System in a Package - SiP	21
7 Metodologia e Estratégia de Ação	22
7.1 Metodologia de Integração e Teste	22
7.2 Validação do SoC em Ambiente Operacional	22
7.3 Nível de Maturidade Tecnológica (TRL 7)	23
8 Equipe e Infraestrutura	24
8.1 Equipe	24
8.2 Infraestrutura Laboratorial	25
8.3 Experiência Prévia da Equipe em Projeto de CIs	27
8.4 Inserção Internacional	28
8.5 Interdisciplinaridade	29
8.6 Gerência da Equipe	30
8.7 Histórico de Produção de Pesquisa Científica e Tecnológica do Comitê Gestor	30
9 Resultados e Impactos Esperados	32
9.1 Impactos Esperados	33
9.2 Divulgação dos Resultados	34
10 Cronograma, Riscos e Dificuldades	35
10.1 Descrição das Atividades e Resultados por Fase do Projeto	35

10.2 Cronograma	40
10.3 Riscos e Dificuldades	40
11 Orçamento detalhado	43
11.1 Justificativa para Bolsas (20% do orçamento)	44
11.2 Justificativa para Material Permanente (60% do orçamento)	44
11.3 Justificativa para Despesas em Custeio (20% do orçamento)	44
Referências	46
Anexo 1 - Cartas de Interesse da EnSilica	52
Anexo 2 - Carta de Interesse da HT Micron Semicondutores	54

1 Identificação da proposta

Titulo

- **SoC-WiMed**: SoC Wireless para Monitoramento Médico de Sinais Vitais com Foco em Segurança e Baixo Consumo de Energia

Instituição Proponente

- PUCRS – Programa de Pós-Graduação em Ciência da Computação – Escola Politécnica – 

Coordenador

- Fernando Gehm Moraes (PUCRS) – Bolsista de Produtividade em Pesquisa do CNPq - Nível 1B - CA Microeletrônica

Instituições Parceiras

- UNISINOS – 

- UNIPAMPA - Universidade Federal do Pampa - Campus Alegrete –



Coordenadores nas Instituições Parceiras

- Sandro Binsfeld Ferreira (UNISINOS) - Bolsista de Produtividade Desen. Tec. e Extensão Inovadora do CNPq - Nível 2
- Alessandro Girardi (UNIPAMPA)

Empresas Parceiras - cartas de apoio em anexo

- EnSilica Brasil LTDA – CNPJ 42.934.252/0001-38 (com apoio da EnSilica UK) – 
- HT Micron Semicondutores S.A. – CNPJ 11.386.376/0001-00 – 

1.1 Tecnologias Estratégicas Predominantes

Área temática

- Dispositivos e circuitos integrados e sistemas em chips semicondutores

Tecnologias Estratégicas

- Software e Hardware
- Internet das Coisas
- Inteligência Artificial

2 Caracterização do Problema

A caracterização do problema no contexto do projeto **SoC-WiMed** reside na necessidade de **desenvolver um SoC robusto e integrado para monitoramento médico de sinais vitais**. O projeto situa-se em uma área estratégica que abrange disciplinas da engenharia e da medicina, incluindo engenharia biomédica, ciência dos dados, segurança da informação e comunicações sem fio. Em áreas como a biomecânica e a fisiologia, que desenvolvem pesquisas que vão de estudos básicos até aplicados, tecnologias como a que este projeto busca desenvolver possuem aplicações vastas. Inúmeros sistemas de monitoramento fisiológico são usados de maneira limitada pois dependem de conexão física com outros sistemas. Nesse sentido, a comunicação sem fio segura e eficiente representa um avanço que pode representar toda uma nova área de estudo sendo beneficiada. Além disso, nestas áreas há o contínuo desenvolvimento de novos instrumentos e equipamentos que cada vez mais necessitam de um robusto suporte de hardware.

Já é evidente que com o aumento da prevalência de doenças crônicas e o envelhecimento da população, há uma crescente demanda por soluções eficientes e confiáveis para o monitoramento remoto de saúde. Contudo, essa demanda não deve ser observada apenas à luz do envelhecimento e da falta de boa saúde. Há também, e talvez com uma demanda muito maior, o interesse em desenvolver ferramentas que sirvam para monitorar, acompanhar, e analisar a "boa saúde". Neste sentido, o esporte e a atividade física em geral são também ambientes que demandam as soluções que aqui propomos buscar. Para exemplificar isso, podemos citar a demanda que existe atualmente para a coleta e visualização de dados em tempo real, algo que é comum em esportes de alto rendimento, como basquete, ciclismo, tênis e futebol. Quando pensamos sobre as potenciais aplicações das soluções que apresentaremos com esse projeto, diversos exemplos são possíveis.

Um bom exemplo é uso destas ferramentas para auxiliar serviços de saúde, possibilitando um trabalho mais eficiente. Vamos considerar que com o aumento cada vez maior da população idosa, as quedas, que são aceitas como uma doença para idosos na Classificação Internacional de Doenças-9 (CID-9) e na CID-10 [1] [2], são o motivo de morte de mais de 30% das pessoas com mais de 60 anos. É inaceitável que um evento que é possível de ser prevenido com uso de tecnologias ainda mate tantos brasileiros. Muito é feito para prevenir essas emergências em lares de idosos, desde o uso barras de apoio nos banheiros até atendimento de enfermagem 24 horas por dia, 7 dias por semana. Esse serviço de acompanhamento contínuo tem um custo muito elevado. Contudo, padrões de locomoção indicativos de risco de quedas e até mesmo o evento de uma queda já pode ser prevenido com base em informações do dia a dia da pessoa. O fato é que esse tipo de intervenção ainda é difícil de implementar em larga escala não porque o fenômeno da associação entre quedas e morte não sejam conhecidos, mas porque as tecnologias ainda são pouco acessíveis.

Também é um tema de alta relevância social e econômica o monitoramento e acompanhamento de crianças com o transtorno do espectro autista (TEA), para os quais cada vez ferramentas vestíveis (*wearables*) são propostas como forma de monitorar alterações fisiológicas que possam repercutir no cuidado à criança e também no melhor entendimento de suas necessidades tanto no contexto do convívio diário, como em escolas [3], quanto no monitoramento durante atividades vitais em que crianças com TEA têm reconhecidos desafios para o cumprimento, como o ato de dormir [4]. Com a possibilidade de coletar informações e apresentá-las de maneira mais rápida e objetiva, diversas tecnologias podem ser desenvolvidas, permitindo, por exemplo, uma melhor classificação dos indivíduos em relação aos hábitos de exercício físico, um importante componente do tratamento do TEA, e que podem ser monitorados e classificados com base em dispositivos vestíveis nesta população [5].

Não é à toa que em áreas de estudos, eventos e debates nas áreas de biomecânica e fisiologia o uso de tecnologias vestíveis é considerando um tema da fronteira do conhecimento. Contudo, o emprego dessas

tecnologias é um desafio para esses profissionais, pois ao passo que vestíveis comercialmente disponíveis, como relógios inteligentes, têm cada vez mais reduzido seus custos, essas ferramentas ainda possuem muitas limitações na aquisição e transformação dos dados em informação. Os dispositivos vestíveis requerem o desenvolvimento de tecnologia em seis eixos: miniaturização, integração, comunicação, digitalização, processamento e padronização [6]. A miniaturização e a integração referem-se ao projeto e implementação de circuitos integrados para estes dispositivos vestíveis realizarem diversas funções, incluindo o processamento de sinais biológicos.

Além disso, com o avanço das tecnologias de IoT (Internet das Coisas) na saúde, a segurança e a privacidade dos dados se tornaram questões críticas. Portanto, este projeto visa preencher uma lacuna significativa ao fornecer um sistema integrado que não apenas monitore diversos sinais vitais de forma precisa, mas também estabeleça a segurança dos dados e otimize o consumo de energia.

Dentre os **problemas específicos** a serem abordados neste projeto, cita-se:

1. Coleta precisa e confiável de múltiplos sinais biométricos;
2. Transmissão eficiente desses dados para um processador embarcado;
3. Processamento em tempo real desses dados biomédicos usando algoritmos de inteligência artificial;
4. Criptografia robusta para garantir a segurança e privacidade dos dados;
5. Transmissão segura e eficiente em termos de energia desses dados para um dispositivo externo via Bluetooth.

Cada um desses problemas apresenta desafios técnicos e estratégicos significativos, necessitando de inovações tanto em hardware quanto em software. Portanto, o projeto **SoC-WiMed** se alinha com estratégias de pesquisa e desenvolvimento em saúde digital, engenharia biomédica e segurança, tendo um impacto potencial significativo tanto em termos acadêmicos quanto comerciais.

2.1 Caracterização do Problema Aportado pela Empresa Parceira

Este projeto é apoiado pela empresa parceira EnSilica Brasil Ltda. A EnSilica é líder em projeto de Circuitos Integrados (CIs) com uma história consistente de crescimento financeiro e excelência técnica desde sua fundação em 2001. A empresa tem experiência de classe mundial no fornecimento de circuitos de RF, sinais mistos e digitais para seus clientes internacionais nos mercados automotivo, industrial, de saúde e de consumo. Desde 2021 a empresa está instalada junto ao TecnoPuc, em Porto Alegre. No seu portfólio está um circuito integrado em ultra-baixa potência para interface com sensores de sinais vitais, com foco no mercado de dispositivos médicos vestíveis, denominado EnSilica ENS62020 [7]. A Figura 1 apresenta os módulos e as interfaces deste CI na sua versão atual.

Essa arquitetura integra vários componentes e subsistemas que desempenham diversas funções:

1. ECG e Fotodetectores: responsáveis por capturar sinais vitais do corpo humano, como o eletrocardiograma (ECG). Os fotodetectores, por sua vez, são fundamentais para a captação de sinais ópticos.
2. Componentes de amplificação e processamento: os amplificadores (e.g. *Chopped Amplifier*) amplificam os sinais recebidos para serem processados. O multiplexador tem a função de alternar entre diferentes entradas enquanto o ADC (Conversor Analógico-Digital) converte os sinais analógicos em digitais.

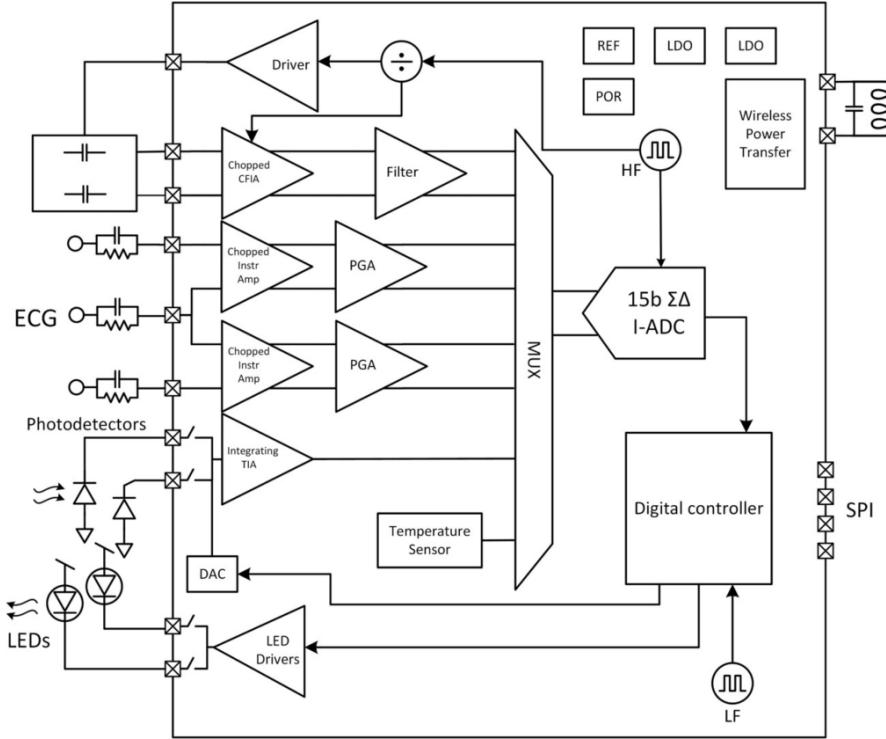


Figura 1: Circuito EnSilica ENS62020 [7].

3. Controlador digital (*Digital Controller*), realiza o processamento dos sinais captados e tratados nos componentes anteriores.
4. Comunicação: a interface SPI (*Serial Peripheral Interface*) realiza a comunicação serial com outros dispositivos.

Este produto não é um sistema completo, ou seja, não é um system-on-chip (SoC) pois não possui um processador embarcado para processamento dos sinais nem unidades de transmissão de dados. Como evolução deste sistema, a Figura 2 apresenta o projeto de um futuro SoC capaz de coletar, converter, processar e transmitir sinais biomédicos, com todas as funções integradas em um único chip. Atualmente este sistema encontra-se em nível de desenvolvimento TRL 3. Nesta figura, os módulos em cor laranja e o bloco de aprendizado de máquina (*Machine Learning Accelerator*) são de interesse do projeto, englobando 3 frentes de trabalhos detalhadas posteriormente:

1. Interfaces de Sensores: processamento de sinais médicos especializados vindos dos diversos sensores.
2. Processador, criptocore e acelerador para IA: processamento dos dados, criptografia dos dados lidos dos sensores, e tratamento dos mesmos através de aprendizado de máquina em tempo real.
3. Comunicação sem fio: comunicação bidirecional segura com dispositivos de computação na borda.

É importante observar que o projeto **SoC-WiMed** pretende projetar ou otimizar os módulos em cor laranja e o bloco de aprendizado de máquina da Figura 2. A integração e otimização desses módulos pelo **SoC-WiMed** pode trazer avanços significativos em termos de eficiência, consumo de energia e capacidade de processamento.

A empresa parceira EnSilica, adotando a proposta do projeto **SoC-WiMed** através de transferência tecnológica, pode realizar avanços significativos no mercado de monitoramento médico, proporcionando soluções integradas, eficientes e seguras.

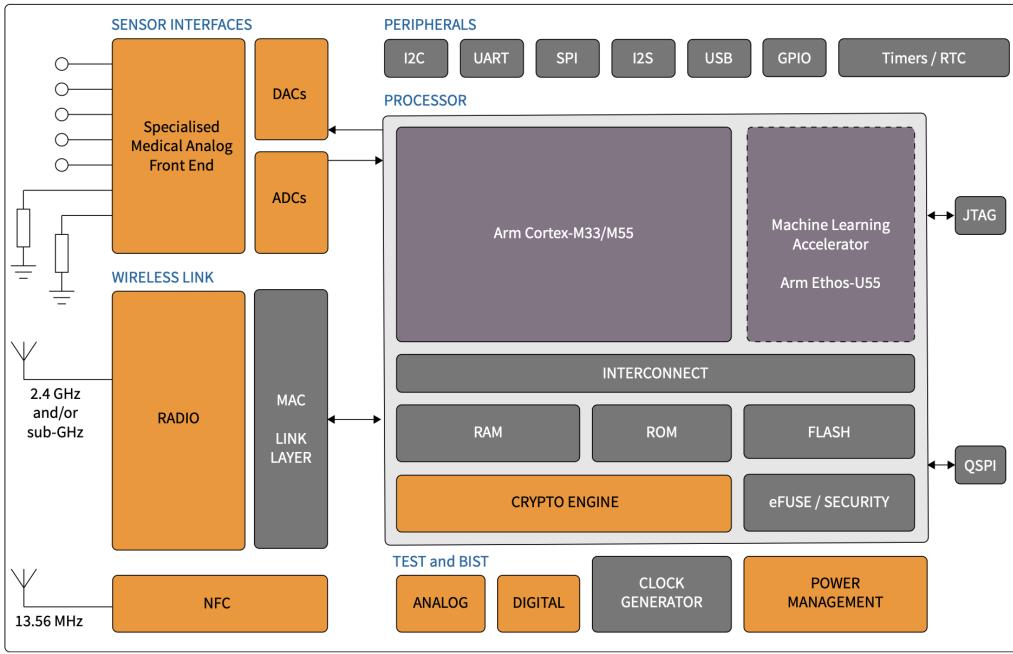


Figura 2: Proposta de SoC da Ensilica [8].

O projeto também é apoiado pela empresa parceira HT-Micron. A empresa com matriz localizada no polo tecnológico da UNISINOS, em São Leopoldo, nasceu da cooperação tecnológica entre Brasil e Coreia do Sul. A HT-Micron faz parte do grupo Coreano Hana Micron, que está entre os 5 maiores produtores de memórias do mundo. No Brasil, a HT-Micron é a segunda maior encapsuladora de memórias e entrou em 2019 para o mercado de desenvolvimento de encapsulamentos avançados SiP (*System-in-Package*) para IoT com o lançamento do primeiro chip para SigFox desenvolvido no Brasil [9]. A HT-Micron participará da etapa de concepção e validação do encapsulamento SiP na fase final do projeto, com possibilidade de inserir o produto em seu portfólio no futuro.

3 Caracterização do Desafio Tecnológico

Esta Seção tem por objetivo atender ao item **8.1.g** do Edital FAPERGS 06/2023, denominado “*Caracterização do desafio: que desafios estratégicos a equipe pretende enfrentar, e de que forma?*”.

O projeto **SoC-WiMed** enfrenta uma gama de desafios estratégicos em várias disciplinas, tais como projeto de hardware, tanto digital quanto analógico, processamento de sinal, transmissão de dados, criptografia e inteligência artificial. A seguir, descreve-se os principais desafios em cada frente de desenvolvimento e as estratégias propostas para abordá-los.

1. Medição Precisa e Confiável de Sinais Vitais

Desafio: garantir a precisão e confiabilidade das medidas de ECG, PPG, SpO2, entre outros parâmetros clínicos.

Estratégia: utilização de sensores de alta qualidade e algoritmos de calibração. Investigar a viabilidade de técnicas de fusão de sensores para melhorar a precisão.

2. Aquisição, Conversão e Transferência de Dados para um Processador

Desafio: minimizar o ruído e a latência durante a aquisição e conversão de dados, mantendo um consumo energético baixo.

Estratégia: implementar circuitos de condicionamento de sinal e filtros digitais. Avaliação de protocolos eficientes de comunicação com o processador.

3. Processamento de Dados Médicos com Inteligência Artificial

Desafio: realizar processamento em tempo real de dados médicos complexos de forma eficiente e precisa.

Estratégia: desenvolver algoritmos de aprendizado de máquina [10, 11, 12] otimizados para execução em hardware limitado, possivelmente utilizando técnicas como quantização e poda de rede neural (*prunning*) [13].

4. Encriptação Forte do Resultado de Processamento

Desafio: assegurar a privacidade, autenticidade e segurança dos dados médicos.

Estratégia: implementar algoritmos de criptografia estado-da-arte acelerados por hardware, como ASCON [14], considerando o compromisso entre segurança e consumo de energia.

5. Transmissão de Dados via Bluetooth

Desafio: garantir transmissão confiável e segura com baixo consumo de energia

Estratégia: utilizar os mais recentes padrões de Bluetooth que oferecem um equilíbrio ideal entre alcance, largura de banda e consumo de energia. Além disso, implementar arquiteturas de rádio baseadas em digitalização, que apresentam menor consumo em tecnologias CMOS avançadas como as apresentadas em [15].

O objetivo é integrar todas essas soluções em um único circuito integrado (SoC), o que adiciona outra camada de complexidade relacionada à integração de diferentes estilos de projeto (análogo, RF, digital) e à eficiência energética.

Em resumo, a complexidade e interdependência dessas frentes de desenvolvimento exigem uma abordagem multidisciplinar e colaborativa, envolvendo especialistas em diversas áreas para atingir os objetivos do projeto.

4 Hipóteses de Pesquisa

Esta Seção tem por objetivo atender ao item **8.1.h** do Edital FAPERGS 06/2023, denominado “*Hipóteses: quais as hipóteses de trabalho centrais que irão guiar a proposta?*”. O projeto **SoC-WiMed** é norteado por uma série de hipóteses de trabalho que visam abordar os desafios **interdisciplinares** inerentes ao desenvolvimento de um sistema integrado para monitoramento médico de sinais vitais. As hipóteses são estruturadas em torno das áreas correspondentes às frentes de desenvolvimento do projeto.

1. Hipótese 1: Precisão e Confiabilidade na Medição de Sinais Vitais

Hipótese 1.1: é possível alcançar medições precisas e confiáveis de ECG, PPG (HR), SpO2, entre outros, utilizando sensores de alta qualidade, conversores A/D de alto desempenho e algoritmos de calibração avançados.

Hipótese 1.2: a fusão de dados provenientes de múltiplos sensores pode aumentar significativamente a precisão das medições de sinais vitais.

2. Hipótese 2: Aquisição e Conversão Eficiente de Sinais

Hipótese 2.1: A implementação de circuitos de condicionamento de sinal, incluindo amplificadores e filtros analógicos, pode minimizar eficazmente o ruído e a latência nos sinais na entrada do ADC.

Hipótese 2.2: A escolha de protocolos de comunicação eficientes entre o ADC e o processador pode otimizar o consumo de energia sem comprometer a integridade dos dados.

3. Hipótese 3: Processamento de Dados Médicos com IA

Hipótese 3.1: Algoritmos de aprendizado de máquina podem ser otimizados para execução em hardware limitado sem perda significativa de precisão ou acurácia.

Hipótese 3.2: O processamento em tempo real dos dados médicos é viável através da implementação de algoritmos de IA eficientes em termos de computação.

4. Hipótese 4: Segurança e Privacidade de Dados

Hipótese 4.1: Algoritmos de criptografia estado-da-arte podem ser implementados em um SoC sem um impacto substancial no desempenho ou consumo de energia.

Hipótese 4.2: A integração de mecanismos de segurança no projeto do SoC pode minimizar vulnerabilidades a ataques externos, garantindo assim a segurança dos dados do paciente.

5. Hipótese 5: Comunicação Eficiente e Segura

Hipótese 5.1: É possível implementar protocolos de comunicação via Bluetooth que são seguros e eficientes em termos de consumo de energia.

Hipótese 5.2: A qualidade da transmissão de dados não será comprometida ao priorizar a eficiência energética na seleção e configuração do protocolo Bluetooth.

6. Hipótese 6: Integração em um SoC

Hipótese 6.1: Todas as funcionalidades mencionadas podem ser integradas em um único SoC sem comprometer o desempenho individual de cada módulo.

Hipótese 6.2: A otimização do projeto do SoC pode resultar em um sistema que atenda aos requisitos funcionais e baixo consumo de energia.

Essas hipóteses formam a estrutura da proposta de pesquisa e serão testadas através de uma série de experimentos, simulações e análises durante o ciclo de desenvolvimento do projeto. Elas são interdependentes e destinam-se a ser validadas de forma interativa, permitindo ajustes no projeto conforme necessário. A validação bem-sucedida dessas hipóteses pode resultar em avanços significativos no campo do monitoramento médico, abordando questões críticas como eficácia, eficiência energética e segurança dos dados.

5 Objetivos

O objetivo estratégico deste projeto é desenvolver um SoC (*System-on-a-Chip*) para monitoramento médico de sinais vitais, denominado **SoC-WiMed**, composto por 3 subsistemas principais: *(i)* aquisição de sinais biomédicos e conversão para o domínio digital; *(ii)* processamento dos sinais, incluindo tratamento com aprendizado de máquina e encriptação dos resultados; *(iii)* transmissão dos dados processados utilizando o protocolo *Bluetooth Low Energy* (BLE). Buscar-se-á alcançar um equilíbrio entre desempenho, segurança e consumo de energia, de modo a fornecer uma infraestrutura confiável, atendendo às demandas crescentes por tecnologias de saúde conectadas e inteligentes. A proposta do **SoC-WiMed** partiu da indústria, empresa EnSilica, a qual tem interesse de transferência tecnológica das soluções desenvolvidas no projeto.

5.1 Objetivos Específicos

1. Desenvolver uma interface de comunicação padronizada para sensores biomédicos que permita a coleta de dados biométricos de forma precisa e confiável. Esta interface deve ser capaz de se adaptar a diferentes tipos de sensores e dispositivos de monitoramento, garantindo a interoperabilidade e a facilidade de integração em sistemas de saúde conectados. Esta interface deve operar com baixo consumo de energia.
2. Converter os sinais coletados dos sensores do domínio analógico para o domínio digital de forma eficiente e precisa, de modo a prover dados para posterior processamento. Esta conversão deve considerar aspectos como número de bits, linearidade, frequência de amostragem e consumo de energia.
3. Projetar e implementar extensões no conjunto de instruções do RISC-V que permitam a aceleração de hardware para criptografia e aprendizado de máquina. O objetivo é otimizar o processamento de algoritmos criptográficos e de IA, de modo a aumentar a eficiência e o desempenho em aplicações de segurança e análise de dados médicos. As extensões devem ser projetadas para serem modularmente acopladas ao núcleo do RISC-V, permitindo uma implementação que possa ser ativada ou desativada conforme os requisitos do projeto. Além disso, essas extensões devem ser desenvolvidas considerando baixo consumo de energia e minimização de área de silício.
4. Processamento dos dados biomédicos. Implementar algoritmos de inteligência artificial que permitem o processamento em tempo real de dados médicos, assegurando a viabilidade e a eficiência computacional.
5. Segurança de Dados. Incorporar algoritmos de criptografia estado-da-arte, utilizando aceleração de hardware para minimizar o impacto no desempenho e no consumo de energia.
6. Comunicação *Bluetooth*. Desenvolver e implementar protocolos de comunicação via Bluetooth (BLE) que sejam seguros e otimizados para baixo consumo de energia, sem comprometer a qualidade da transmissão de dados.
7. Integração dos subsistemas em um SoC. Assegurar que todas as funcionalidades propostas possam ser integradas em um único SoC, sem prejudicar o desempenho individual de cada módulo.
8. Integração do SoC e componentes passivos para a operacionalização do circuito em um encapsulamento do tipo SiP - *System-in-a-Package*.
9. Contribuir para a capacitação e formação de profissionais especializados na área de projeto de circuitos integrados, com um enfoque particular na formação intergeracional.

6 Referencial Teórico

Este Capítulo apresenta o referencial teórico necessário para a compreensão deste projeto. O Capítulo é estruturado em seis seções:

- **Seção 6.1:** “Processador RISC-V e Aceleração de Hardware” - Esta seção introduz o processador RISC-V e suas extensões de conjunto de instruções voltadas para criptografia, discutindo sua relevância para dispositivos de baixa complexidade e a importância da segurança em sistemas embarcados.
- **Seção 6.2:** “Algoritmos de Criptografia Leve – LWC” - Esta seção aborda a avaliação e a implementação de algoritmos de criptografia leve em processadores RISC-V, enfatizando a análise crítica das métricas de PPA (Power-Performance-Area) e das técnicas de aceleração de algoritmos.
- **Seção 6.3:** “Aceleração de Hardware para Aprendizado de Máquina” - Concentra-se nos métodos de aceleração de hardware aplicados ao aprendizado de máquina, com especial atenção às Redes Neurais Convolucionais e as propostas do grupo de pesquisa da PUCRS para otimização de inferência em hardware.
- **Seção 6.4:** “Interface com Sensores Médicos” - Esta seção detalha a importância e o desenvolvimento de circuitos de condicionamento de sinais biomédicos, especificando os requisitos para amplificadores de instrumentação de baixo ruído adequados a esse fim.
- **Seção 6.5:** “Comunicação Bluetooth” - Apresenta o protocolo BLE para IoT. Aborda inicialmente a importância do BLE no contexto de IoT, seguido por uma análise do padrão. A seção finaliza com uma discussão sobre os desafios no projeto de transceptores BLE integrados.
- **Seção 6.6:** “System in a Package - SiP” discute o avanço do encapsulamento 3D, integrando vários componentes em um chip, reduzindo custos e aumentando a capacidade de processamento. É destacado o papel da HT-Micron no desenvolvimento de SiPs para IoT no Brasil.

6.1 Processador RISC-V e Aceleração de Hardware

Com o crescente uso de sistemas embarcados, como nós de sensores IoT – **contexto deste projeto**, dispositivos alimentados por bateria ou que utilizam “*energy-harvesting*”, a comunicação segura é um requisito fundamental. Tais dispositivos frequentemente não possuem os recursos necessários para o processamento local de dados, delegando trabalhos intensivos para a nuvem ou borda da rede. Devido a esse paradigma emergente de computação, uma quantidade significativa de dados deve ser transmitida de forma segura para e de vários pontos de extremidade de rede. Isso não é uma tarefa fácil de realizar, considerando que os algoritmos criptográficos que possibilitam a confidencialidade e integridade dos dados transmitidos, como AES e SHA-256, estão associados a sobrecargas não triviais no desempenho da aplicação e no uso da memória, que são preocupações críticas no contexto de dispositivos com recursos limitados.

A aceleração de hardware pode melhorar significativamente o desempenho, memória e eficiência energética em operações cruciais de um algoritmo. Uma forma de alcançar a aceleração de hardware é implementando instruções especializadas em um processador de propósito geral (esta aceleração é denominada “fortemente acoplada”). Em comparação com aceleradores de hardware fracamente acoplados, essas instruções oferecem benefícios para sistemas embarcados de baixa complexidade: (*i*) compartilhamento significativo de recursos entre componentes gerais e especializados, incluindo o banco de registradores e a interface com a memória principal; (*ii*) transferência simples de dados entre os registradores do processador, evitando

cargas/armazenamentos custosos para periféricos ou memória compartilhada; (*iii*) nenhuma complexidade adicional para o barramento e o controlador de interrupção.

A arquitetura de conjunto de instruções RISC-V [16] permite a personalização das instruções para atender a requisitos específicos de aplicação por meio de Extensões de Conjunto de Instruções (ISEs). Relevantes para o contexto de segurança em sistemas embarcados de baixa complexidade são as ISEs *Zkne* e *Zknh* [17], que definem instruções especializadas para criptografia, especificamente AES, e hash SHA-256 e SHA-512, respectivamente. Como uma ISA aberta, nenhum custo de licenciamento é necessário para distribuir implementações de um processador RISC-V. Nesse sentido, vários núcleos RISC-V de código aberto foram disponibilizados publicamente sem custo, como Ibex, SCARV, PULP. O Ibex [18] é um processador com 2 estágios de pipeline, voltado para minimizar a complexidade. Além disso, vários recursos voltados para a segurança, como banco de registradores protegido por ECC e inserção de instruções fictícias (para evitar ataque de canal lateral), podem ser facilmente obtidos configurando parâmetros apropriados, tornando o Ibex uma escolha privilegiada para sistemas embarcados com recursos limitados onde a segurança é um requisito fundamental.

Este projeto utilizará um processador RISC-V tanto para aceleração de algoritmos de criptografia leve (além do AES) e técnicas de aprendizado de máquina.

6.2 Algoritmos de Criptografia Leve – LWC

Diversos trabalhos na literatura avaliam algoritmos LWC. No entanto, as abordagens propostas apresentam limitações como: (*i*) um baixo número ou ausência de dispositivos de borda ou finais avaliados; (*ii*) um baixo número de algoritmos LWC avaliados; e (*iii*) nenhum abrange todas as métricas PPA (Power-Performance-Area). Nesse sentido, trabalhos recentes relevantes são revisados para entender como as avaliações foram realizadas na literatura e suas aplicações a este projeto.

A Tabela 1 revisa um conjunto de artigos, organizados por codificação de cores. Os trabalhos destacados em verde focam na avaliação e comparação de métodos LWC, embora possam não necessariamente propor novas técnicas de aceleração dos algoritmos. Artigos marcados em vermelho concentram-se em propor técnicas originais ou combinar métodos existentes para melhorar os algoritmos em processadores RISC-V. Este projeto busca avaliar as técnicas utilizadas para melhorar os algoritmos quando executados em processadores RISC-V.

Ledwaba *et al.* [26] avaliam três algoritmos padrão amplamente adotados (AES, ECDSA e SHA) voltados para dispositivos finais para Internet of Energy (IoE). A análise dos autores se concentra principalmente em uma única versão de cada algoritmo, sem abordar opções de LWC. Ledwaba *et al.* utilizam placas da ST Microelectronics com núcleos Arm e avaliam os seguintes parâmetros: desempenho, consumo de energia e consumo de memória. Esses autores concluem que a criptografia simétrica é viável para uso em dispositivos finais, uma constatação que não se estende à criptografia assimétrica, como o ECDSA.

Kane *et al.* [19] avaliam várias combinações de três microcontroladores de baixo consumo (ATmega328, STM32F103C8T6 e ESP8266) e três algoritmos criptográficos (AES, ChaCha e Acorn). Os autores avaliam o consumo de energia, o uso de energia, o tempo de execução e o consumo de memória, demonstrando os compromissos que surgem entre a seleção do processador e do cifrador em relação às métricas avaliadas.

Thakor *et al.* [20] apresentam uma revisão abrangente de cinquenta e dois algoritmos de criptografia leve e suas variações. Os autores descrevem cada algoritmo e avaliam o desempenho de implementações em hardware e software para a maioria dos algoritmos. Adicionalmente, o artigo avalia a segurança relativa dos algoritmos e sua susceptibilidade a diferentes tipos de ataques. Em conclusão, o estudo recomenda mais pesquisas sobre métodos de substituição-permutação envolvendo S-Boxes para desenvolver novos algoritmo

Tabela 1: Trabalhos relacionados sobre extensões de criptografia em processadores RISC-V.

Trabalho	Algoritmos	Dispositivo alvo	Objetivos
Security and Performance in IoT: A Balancing Act [19]	AES, ChaCha e Acorn	Dispositivos IoT	Avaliar o desempenho criptográfico de dispositivos IoT, incluindo potência, desempenho, energia e consumo de memória em dispositivos microcontrolador de baixa potência: ATmega328, STM32F103C8T6 e ESP8266.
Lightweight Cryptography Algorithms for Resource-Constrained IoT Devices: A Review, Comparison and Research Opportunities [20]	52 algoritmos LWC submetidos à competição NIST	Dispositivos IoT	Comparação em termos de custo de implementação, desempenho de hardware e software e propriedades de resistência a ataques.
Performance evaluation and design considerations of lightweight block cipher for low-cost embedded devices [21]	AES, PRESENT, Simon, Speck	Dispositivos Embarcados de Baixo Custo	Melhorar o desempenho de software de cifras de bloco leves (LWC) adequadas para sistemas embarcados de baixo custo.
Hardware and Energy Efficiency Evaluation of NIST Lightweight Cryptography Standardization Finalists [22]	10 submissões finais da rodada LWC, incluindo ASCON	Dispositivos IoT	Avaliar o hardware das 10 submissões finais da rodada LWC da NIST usando síntese para ASIC.
RISC-V Extension for Lightweight Cryptography [23]	PRESENT, GIFT, PRINCE, Midori, Twine, Skinny	RISC-V (VexRiscv)	Desenvolver uma unidade de execução para o processador RISC-V capaz de executar as cifras de bloco leves de 64 bits mais comuns (extensões personalizadas)
Evaluating Cryptographic Extensions on a RISC-V Simulation Environment [24]	LEA, SIMON, and SPECK	RISC-V com extensão B (bitmanip)	Ambiente de simulação comparando desempenho com e sem instruções de manipulação de bits, com uma melhoria média de 38% no número total de ciclos de relógio para executar cifras leves com a extensão B
RISC-V Instruction Set Extensions for Lightweight Symmetric Cryptography [25]	10 submissões finais da rodada LWC, incluindo Ascon	RISC-V com extensão Zbkb (Rocket core, com pipeline de 5 estágios)	Implementação e avaliação dos dez finalistas LWC usando Zbkb

que equilibrem custo, desempenho e segurança.

Mais recentemente, Elsadek *et al.* [22, 27] realizaram uma avaliação PPA de implementações ASIC para alguns dos candidatos à padronização LWC do NIST [28]. Mohajerani *et al.* [29] também propuseram um benchmark de hardware desses algoritmos LWC. Enquanto esses autores se concentram em avaliar a implementação de hardware de alguns candidatos, este projeto difere da literatura ao avaliar a integração de software e hardware de algoritmos como ASCON (vencedor para padronização do NIST), além de propor modificações na ISA RISC-V para uso eficiente do mesmo.

Dispositivos finais de IoT requerem desempenho otimizado e eficiência energética. Uma técnica usada para melhorar o desempenho em tempo de execução e beneficiar a eficiência em algoritmos LWC é a extensão de manipulação de bits. Sud *et al.* [24] apresentam um ambiente de simulação para a ISA RISC-V de código aberto que incorpora a ISA básica RISC-V, bem como o conjunto de instruções de “manipulação de bits”. Os autores demonstram a implementação de cifras de bloco leves LEA, SIMON e SPECK no simulador e avaliam o desempenho deles com e sem instruções de manipulação de bits. Os resultados mostram uma melhoria média de 38% nos ciclos de clock para cifras leves ao utilizar instruções de manipulação de bits, além de fornecer insights ao comparar o desempenho destes algoritmos com outras arquiteturas, incluindo processadores ARM conforme relatado na literatura existente.

Cheng *et al.* [25] conduziram uma avaliação de nove dos dez algoritmos da rodada final do processo de seleção LWC do NIST. Os autores focaram no design, implementação e avaliação de Extensões de Conjunto de Instruções (ISEs) para esses algoritmos. A abordagem envolveu o desenvolvimento de ISEs independentes para cada algoritmo, estabelecendo uma estrutura uniforme enquanto usava a submissão mais recente de cada algoritmo como referência. RISC-V serviu como a arquitetura de conjunto de instruções base, e as avaliações foram realizadas com base na latência medida em ciclos de clock e no custo de área medido em uso de LUT FPGA. Note-se que ASCON estava entre os algoritmos avaliados. No entanto, é importante mencionar que a extensão proposta para ASCON tem uma semelhança significativa com as extensões SHA-2, implicando que seu custo de área não é trivial.

Por outro lado, Tehrani *et al.* [23] introduzem uma unidade de execução especializada para processadores RISC-V que obtém ganhos significativos de desempenho em cifras de bloco leves de 64 bits, com aceleração significativa em comparação com a arquitetura de referência. A unidade de execução aproveita cinco instruções adaptáveis especificamente projetadas para a arquitetura VexRiscv, oferecendo melhor agilidade e desempenho para implementações criptográficas leves. A arquitetura detalhada e a implementação dessas instruções são fornecidas, demonstrando seu impacto na velocidade de execução, tamanho do código e potencial para redução da contagem de instruções. Adicionalmente, os autores destacam a importância dos registradores para a etapa *Round Key*.

6.3 Aceleração de Hardware para Aprendizado de Máquina

Redes Neurais Convolucionais (CNN) constituem uma classe de técnica de aprendizado de máquina utilizada para resolver problemas como classificação e reconhecimento de padrões [30]. A indústria adota cada vez mais o aprendizado de máquina em seus produtos [31, 32]. O processo de realizar uma convolução e classificar ou prever uma saída com base em uma entrada externa é chamado de inferência. Historicamente, as CPUs têm sido uma abordagem comum para executar a inferência, mas são inefficientes em termos de desempenho e energia (por exemplo, a rede AlexNet de 2012 requer bilhões de operações para processar uma única entrada). GPUs podem ser usadas como solução para mitigar o problema de desempenho. No entanto, as GPUs apresentam um consumo considerável de energia, um problema para aplicações com restrições de energia, como IoT e veículos autônomos.

Aceleradores convolucionais surgiram como uma solução para reduzir o consumo de energia e, ao mesmo tempo, melhorar o desempenho. Um acelerador pode ser implementado de acordo com a forma como os dados nele entram: (i) weight stationary (WS); (ii) input stationary (IS); (iii) output stationary (OS) [33]. WS é um fluxo de dados onde os valores dos pesos são armazenados em buffers internos, e os valores do mapa de características de entrada (IFMAP) são constantemente buscados na memória. Os valores dos pesos mudam quando o cálculo da saída termina. IS é um fluxo de dados onde os valores do IFMAP são armazenados em buffers internos, e os valores dos pesos são constantemente buscados na memória. Os valores do IFMAP mudam quando o cálculo da saída termina. OS é um fluxo de dados onde saídas parciais são armazenadas em buffers internos, e os valores dos pesos e do IFMAP são constantemente buscados na memória.

A literatura recente apresenta aceleradores baseados em: WS, IS, OS. Alguns trabalhos permitem reconfigurar o acelerador para suportar os três fluxos de dados. Outros trabalhos usam um fluxo de dados personalizado, como o Eyeriss com uma abordagem *Row Stationary* (RS). Moolchandani *et al.* [33] fazem um levantamento dos aceleradores CNN (incluindo o fluxo de dados *No Local Reuse* (NLR)) e suas concepções e otimizações, como a redução do tempo de cálculo, tempo de acesso à memória e pegada de memória.

Em trabalhos do grupo da PUCRS [34, 35] foi proposto um acelerador para convolução utilizando dataflow 2D WS sistólico. A Figura 3 ilustra a arquitetura do acelerador com buffer WS, conectado às memórias de entrada e saída. O buffer de entrada possui três partições: bias, peso (valores estacionários) e valores IFMAP. Uma Máquina de Estados Finitos (FSM) controla o carregamento do buffer de entrada. O núcleo aritmético contém uma matriz 3x3 com 3 multiplicadores, 6 MACs, 3 somadores e 12 registradores. O acelerador apresenta uma abordagem de buffer duplo para a leitura dos valores de entrada (IFMAP), tornando possível ler os valores da memória e executar o processo aritmético em paralelo. O buffer de saída é usado apenas no acelerador com buffer WS. Ele armazena valores de saída intermediários após a função de ativação, reduzindo os acessos à memória de saída.

A Figura 2, apresentada na Seção 2.1, apresenta como IP de interesse módulos de aprendizado de máquina. Dado o potencial do processador RISC-V em ter seu conjunto de instruções estendido, **propomos integrar ao projeto SoC-WiMed à proposta realizada em [34, 35]**. O core do acelerador pode ser uma unidade integrada do processador, e instruções especializadas realizariam a operação de convolução, permitindo ganho de desempenho e redução do consumo de energia na etapa de inferência.

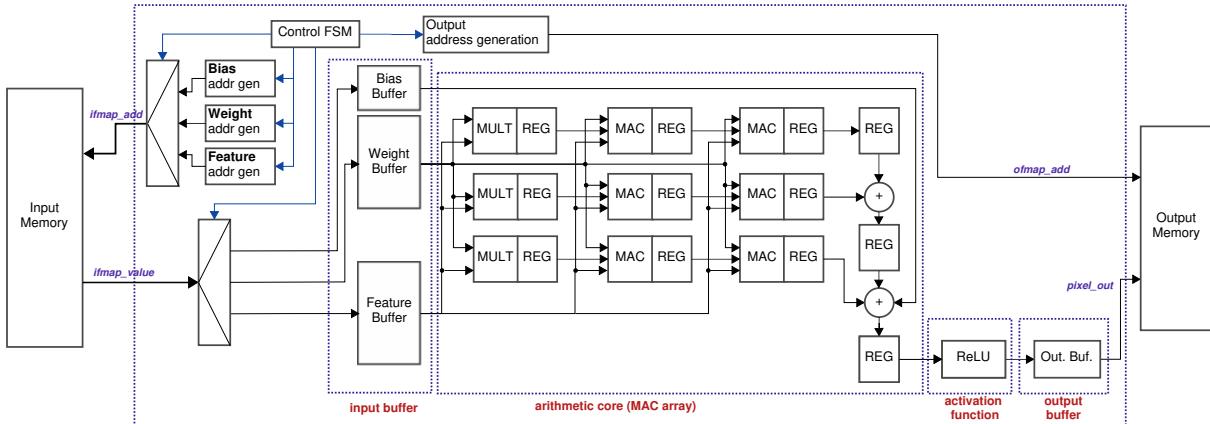


Figura 3: Arquitetura do acelerador com buffer WS, adaptada de [34].

6.4 Interface com Sensores Médicos

A aquisição de sinais biomédicos está presente em diferentes dispositivos vestíveis atuais, como relógios e pulseiras inteligentes. Aplicações típicas incluem eletrocardiograma (ECG), temperatura corporal e sinais ópticos como glicemia, oxímetro de pulso, pressão arterial e taxa de batimentos cardíacos. Além desse tipo de sinal, cada vez mais se busca o desenvolvimento de vestíveis que permitam a coleta e análise de sinais em tempo real, gerando informações que possam servir como elementos de controle para mecanismos de tecnologias assistivas, como calçados que busquem mudar a conformação do solado para reduzir impacto e roupas compressivas que possam gerar estímulos neuromusculares artificiais. Do ponto de vista biológico esses instrumentos tem um mecanismo simples, baseados em alças de feedback, mas muitos dos avanços e inovações que se buscam acabam sendo freadas por limitações tecnológicas e incapacidade destes sistemas operarem em tempo real de maneira eficiente e com isso o caminho para a geração de um produto por vezes é bloqueado.

Os sinais biomédicos são caracterizados por possuir baixa amplitude (na faixa de μV a unidades/dezenas de mV) e baixa frequência [36, 6]. Deste modo, há a necessidade de desenvolver circuitos de condicionamento de sinais de baixo ruído para a aquisição, processamento, e posterior digitalização de sinais biomédicos. Estes circuitos são referidos comumente como circuitos de *Analog Front-End* (AFE), como ilustrado na Figura 4 e geralmente são constituídos por um amplificador de instrumentação (AI), um filtro e um conversor analógico-digital (ADC).

O projeto de circuitos integrados analógicos para dispositivos vestíveis concentra-se em três grandes desafios. Primeiro, o projeto deve incorporar técnicas de baixa potência para reduzir a quantidade de calor dissipada, de modo que este calor não cause danos ao tecido ao seu redor. Além disso, a baixa dissipação de potência também é importante para evitar o uso de baterias de grandes dimensões ou a troca ou recarga constante em operações de longa duração. Em segundo lugar, os sinais fisiológicos são geralmente de baixa frequência, na faixa de DC a alguns kHz. Às vezes há também um grande componente DC causado pela interface eletrodo-pele. Circuitos de AFE são geralmente implementados com baixas frequências de corte

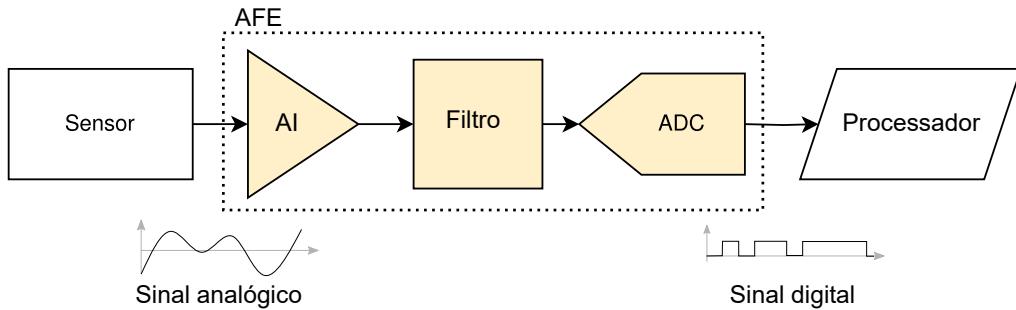


Figura 4: Diagrama simplificado de um circuito de AFE típico.

para permitir a leitura dos sinais dos sensores. Isto exige grandes resistências ou capacitâncias, os quais podem não ser facilmente integrados devido à grande área que ocupam. Finalmente, o terceiro grande desafio está relacionado à amplitude dos sinais fisiológicos, os quais são relativamente pequenos (na ordem de alguns microvolts a dezenas de milivolts). A qualidade destes sinais é fortemente afetada pelo ruído causado pelos próprios sensores, pelas linhas de fontes de alimentação e pelo movimento do usuário. Assim, os circuitos de AFE devem exibir baixo ruído referenciado à entrada para processar os sinais fisiológicos de maneira precisa.

6.4.1 Amplificadores de Instrumentação

Amplificadores de instrumentação (AI) são amplamente empregados na aquisição de sinais biomédicos. Esta proposta prevê o desenvolvimento de amplificadores de instrumentação de baixo ruído. Tais amplificadores devem apresentar elevada impedância de entrada (faixa de $G\Omega$), elevada taxa de rejeição de modo comum (CMRR), ganho entre 40-60 dB, baixa frequência de operação, baixo offset e baixo ruído [37].

Esses amplificadores normalmente empregam chopper para minimização do ruído flicker [38]. Entretanto, o chopper gera alguns artefatos indesejados, como o ripple [39].

Normalmente utiliza-se amplificadores diferenciais na entrada para este tipo de aplicação, os quais possuem vantagens como imunidade a ruídos externos, aumento da faixa dinâmica em 6 dB e redução nas harmônicas de segunda ordem. A desvantagem é a rejeição ao modo comum, o que pode ser um problema para alguns tipos de sensores.

Algumas soluções para amplificadores de instrumentação de alto desempenho para sinais fisiológicos são apresentadas na literatura [40].

Para melhorar o desempenho perante o ruído de baixa frequência, um amplificador de instrumentação com realimentação de corrente foi apresentado em [41], o qual inclui um integrador a capacitor chaveado para implementar um filtro passa-alta, resultando em uma redução do offset.

Outro exemplo é o sistema integrado de aquisição de sinais de eletrocardiograma apresentado em [42], onde um amplificador de transcondutância (OTA) com uma rede de realimentação capacitiva e resistiva é empregada. A Figura 5 mostra o esquemático deste amplificador.

Nesta proposta, será buscado o desenvolvimento de amplificadores de instrumentação de baixo ruído ($\leq 2 \mu V$) e baixa potência. Para cada sensor presente no SoC a ser implementado, um novo amplificador deverá ser projetado, pois as características do sinal devem ser levadas em conta na AFE.

6.4.2 Filtro

Filtros após os amplificadores de instrumentação são necessários para eliminar componentes indesejáveis de frequência do sinal bioelétrico adquirido.

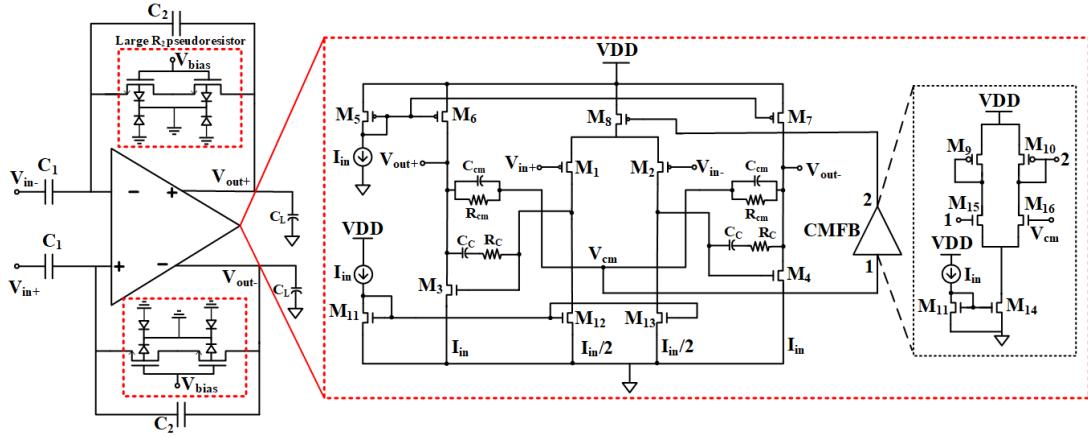


Figura 5: Exemplo de um amplificador de transcondutância (OTA) para aquisição de sinais ECG [42].

Um filtro *anti-aliasing* (passa-baixa) é aplicado para remover os componentes de frequência acima da metade da frequência de amostragem do conversor analógico-digital para restringir a largura de banda de um sinal para satisfazer o teorema de amostragem de Nyquist-Shannon sobre a banda de interesse.

Também é necessário realizar a filtragem do ruído na frequência de 50/60 Hz proveniente do sistema de distribuição elétrica e que afeta em particular os sinais biomédicos. Como estes sinais são muito fracos em termos de amplitude, é constituído inicialmente por um pré-amplificador de baixo ruído e baixo offset, com um coeficiente de rejeição de modo-comum (CMRR) muito elevado, que amplifica razoavelmente o sinal de tal modo a não amplificar em demasia a componente de 50/60 Hz, pois esta possui valores de amplitude razoáveis, podendo levar o amplificador à saturação. Em seguida, é aplicado um filtro de muito baixa potência e baixa frequência de corte que limita a banda do ruído, tipicamente acima dos 250 Hz e remove a interferência dos sinais.

A interferência proveniente da rede elétrica está sempre presente no processo de medição de sinais bioelétricos, mesmo que por vezes com magnitudes extremamente baixas, tornando-se quase imperceptível. Em situações especiais, este tipo de interferência pode ser negligenciado, mas não é uma regra geral. Em experiências laboratoriais e análises clínicas, torna-se difícil e caro isolar dispositivos de medição dos campos elétricos produzidos pela rede de energia elétrica. Portanto, é uma prática comum a aplicação de um filtro Notch (rejeita-faixa) à frequência de 50/60 Hz de modo a reduzir este tipo de interferência. Em tais casos, a distorção observada no sinal original não é considerável pois o filtro Notch consegue removê-la. Quando os sinais bioelétricos possuem componentes próprios perto da faixa de 50/60 Hz, outras técnicas de cancelamento precisam ser utilizadas, como redes neurais, filtros adaptativos, filtros de Kalman, processamento em tempo e frequência de sinais não estacionários (wavelet transform) ou métodos de subtração.

A implementação destes filtros pode ser feita através de módulos analógicos ativos ou passivos, incluindo amplificadores operacionais, resistores e capacitores. A topologia depende do tipo de filtro (passa-baixa ou rejeita-faixa) e o dimensionamento destes dispositivos depende das frequências de corte.

6.4.3 Conversores Analógico-Digitais

A conversão de sinais de baixa frequência pode ser efetuada através do uso de um único ADC para múltiplos canais. Deste modo, um multiplexador na entrada do ADC é necessário de modo a selecionar o canal a ser digitalizado. Ainda, aplicações biomédicas necessitam de ADCs de alta resolução e baixo consumo de potência.

Dentre as principais topologias de ADCs, o ADC do tipo Sigma-Delta Incremental (IADC) é um grande candidato para esta aplicações pois apresenta baixo consumo, conversão direta de modo a facilitar a multiplexação de canais, e alta resolução [43]. Ainda, apresenta baixa latência devido a simplicidade do filtro digital.

Os IADCs estados-da-arte ainda apresentam baixa eficiência energética quando comparados aos ADCs do tipo SAR (*Successive-Approximation Register*) [44]. Trabalhos recentes atingem um SNDR (*Signal to Noise and Distortion Ratio*) acima de 80 dB, como em [45], que propõe um ADC Sigma-Delta Incremental de quinta ordem usando múltiplos estágios de conversão, atingindo um número efetivo de bits (ENOB) de 14,5 bits. Em [46] um ADC do tipo Zoom-Sigma-Delta Incremental é apresentado também atingindo um ENOB de 14,5 bits. Já em [47] um ENOB de 17,5 bits é atingido ao custo de elevada potência e amostragem de apenas 800 samples por segundo.

6.5 Comunicação Bluetooth

O desenvolvimento de dispositivos de comunicação sem fio de ultra baixa potência para IoT é motivo de pesquisa intensa tanto na academia como na indústria [15, 48, 49, 50]. A redução de consumo dos circuitos integrados que implementam esta comunicação é necessária a fim de viabilizar o conceito de IoT, com dispositivos de comunicação sem fio de baixo custo, baixo consumo e sem necessidade de cabos de energia. Aplicações de IoT tipicamente necessitam de dispositivos que podem ficar por longos períodos colhendo informações do ambiente sem a necessidade de conexão com a rede elétrica, sendo suportados apenas por baterias [15], ou coletando energia do ambiente através de sistemas de colheita de energia (*EH - energy harvesting*) [50].

Bluetooth Low Energy (BLE) é atualmente o padrão de rádio mais popular para aplicações de IoT de curto alcance, principalmente devido a seu baixo consumo e baixo custo. BLE é uma extensão do Bluetooth convencional (BT), e especifica um maior afastamento entre os canais de comunicação de forma a relaxar as especificações de interferência e assim reduzir o consumo, embora com uma taxa de comunicação aceitável para a maioria das aplicações variando de 125 kbit/s a 2 Mbit/s. Nós IoT são geralmente alimentados usando baterias e com um uso cada vez mais frequente EH para prolongar o uso [15], podendo ainda operar de forma intermitente para reduzir o ainda mais o consumo, sendo controlados por temporizadores, ou por equipamentos que acordam o dispositivo de comunicações quando necessário, do inglês *wake-up receiver* [51]. Estes requisitos colocam o foco no transceptor de radiofrequência, que é geralmente o sistema de maior consumo de potência.

Um transceptor em circuito integrado para BLE é tipicamente composto por: transmissor, receptor, gerador de frequências, ADC, DAC, camada física (PHY) e camada de acesso ao meio (MAC) + camada de conexão (LL- *Link Layer*), como apresentado na Figura 6. As camadas PHY, MAC e LL são detalhadas na Seção 6.5.1. De forma a reduzir o custo, sempre que possível é minimizado o uso de componentes externos. Assim, filtros ou chaves que conectam o dispositivo à antena são integrados em um mesmo chip [15].

6.5.1 Arquitetura do BLE

A arquitetura do BLE em camadas é apresentada na Figura 7 [52]. A pilha é composta pelos blocos principais: Controlador (*Controller*), Host e Aplicativo. Os blocos implementam as camadas da pilha de protocolos do BLE listadas abaixo.

- Aplicação: gerencia a lógica, a interface do usuário e o processamento de dados.

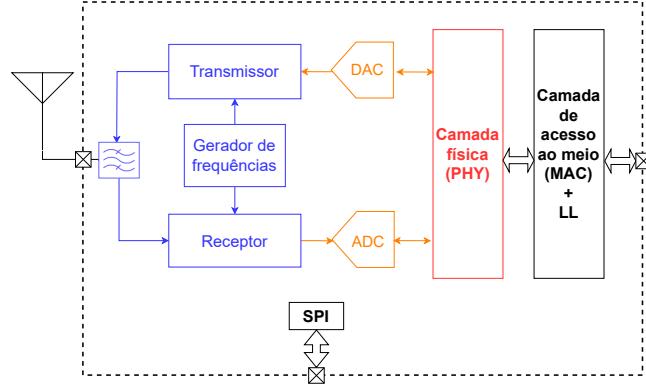


Figura 6: Diagrama de blocos simplificado de um transceptor para comunicações.

- Perfil de Acesso Genérico (GAP): Define os modos de conectividade e descoberta, como dispositivos se anunciam e como as conexões são estabelecidas e mantidas.
- Perfil de Atributo Genérico (GATT): Utiliza o protocolo de atributo (ATT) para armazenar e organizar dados em uma hierarquia de serviços e características, que são acessados pelo aplicativo.
- Protocolo de Controle de Link Lógico e Adaptação (L2CAP): Facilita a transmissão de dados entre dispositivos e permite a multiplexação de dados, segmentação e remontagem de pacotes.
- Protocolo de Atributo (ATT): Projetado para trabalhar com pequenas quantidades de dados e otimizado para operações de baixa energia.
- Gerente de Segurança (SM): Gerencia a autenticação e a criptografia entre dispositivos BLE.
- Interface de Controle do Host (HCI): Serve como uma ponte entre o host e o controlador, transmitindo comandos e dados.
- Camada de Link (LL): Responsável pelo agendamento de pacotes, controle de acesso ao meio, e pela implementação dos aspectos físicos da comunicação, como temporização e codificação de pacotes.
- Camada Física (PHY): Trata do envio e recebimento de bits através do rádio.

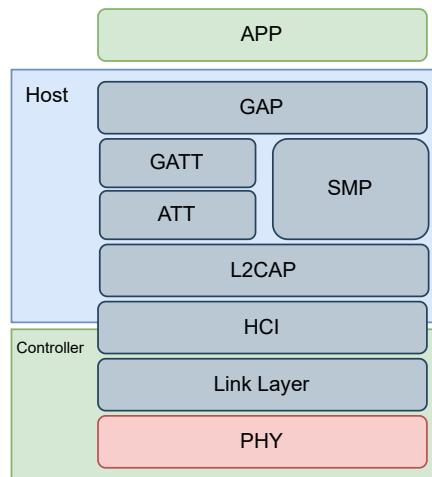


Figura 7: Pilha operacional do BLE [52].

A camada *Link Layer* e as demais camadas superiores, descritas na Figura 7, não serão implementadas neste projeto uma vez que serão fornecidas pela empresa Ensilica, conforme Figura 2. Além disso, existem implementações disponíveis open source. A camada PHY é apresentada em detalhes a seguir.

6.5.2 Camada PHY

A camada PHY é implementada por Receptor, Transmissor e Gerador de Frequências apresentados na Figura 6, além da implementação digital do demodulador e da interface com a camada LL.

O receptor (RX) desenvolvido neste projeto será baseado em uma arquitetura de tempo discreto implementada pelo Pesquisador Sandro Binsfeld Ferreira durante o seu estágio Sanduíche na Universidade TU-Delft (Holanda), patenteada [53] e testada diversas vezes pelo grupo de pesquisa da UNISINOS [54, 55, 51]. O RX, destacado na Figura 8, é encarregado de receber os sinais obtidos a partir da antena na faixa de operação do BLE (2400 a 2483,5 MHz) e converter para uma frequência intermediária (fI) que é amostrada pelo conversor analógico-digital (ADC). Desta forma, o bloco é composto por amplificador de baixo ruido (LNTA - *Low Noise Tranconductance Amplifier*), demodulador ou mixer, e por uma sequência de amplificadores (gm) e filtros passa-faixas (BPF - *band-pass filter*) apresentados na figura.

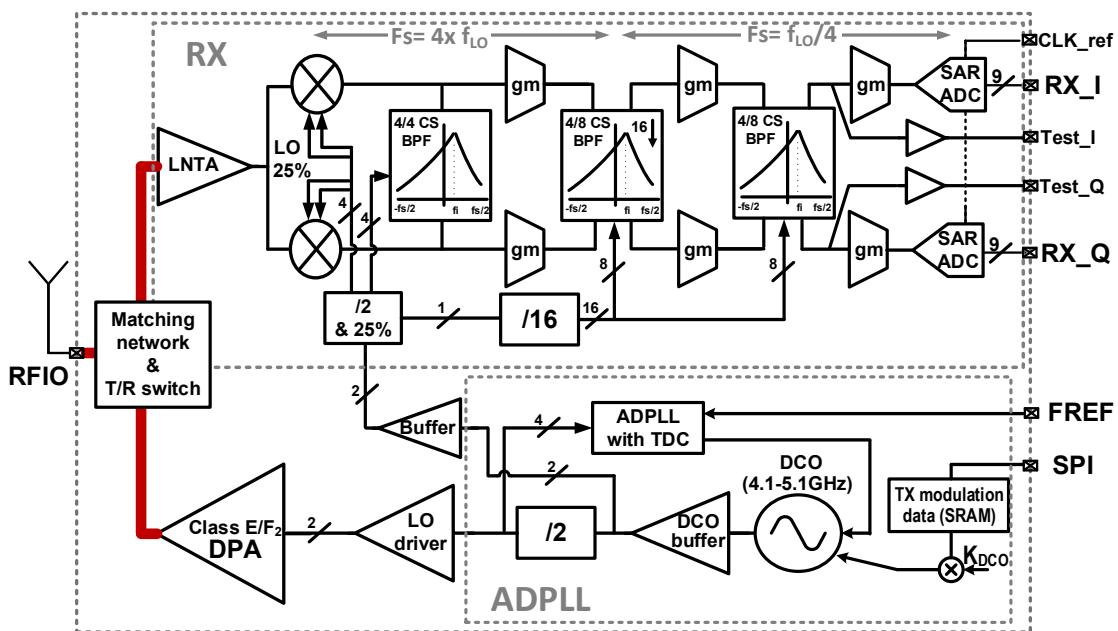


Figura 8: Diagrama de blocos de um transceptor “digital” para BLE [15].

O bloco gerador de frequências, apresentado na Figura 8 como ADPLL (*All-Digital Phase-Locked Loop*), é encarregado da geração de frequências para os canais de operação do BLE. Os canais de 0 a 39 são gerados com as frequências $2402 + k * 2$ MHz, onde k é o número do canal. A arquitetura escolhida para a implementação do Gerador de Frequências foi desenvolvida em 2005 por Staszewski [56] da UCD (University College Dublin), um dos principais colaboradores do Grupo de Pesquisa em Circuitos, Dispositivos e Sistemas para a Internet das Coisas - GPlot da UNISINOS. O ADPLL apresenta-se como uma das arquiteturas mais adequadas à implementação de circuitos para IoT devido a sua robustez e baixo consumo quando implementado em nós tecnológicos avançados.

Completando a parte analógica, o bloco transmissor (TX) também apresentado na Figura 8 é composto de amplificador de potências (DPA-*Digital Power Amplifier*) e ADPLL, em uma arquitetura adequada a modulação em frequência do sinal transmitido no BLE denominada GFSK (*Gaussian Frequency Shift Keying*).

A arquitetura do demodulador digital para GFSK é um tema de estudo antigo no GPIoT da UNISINOS, tendo dado origem a um Registro de Programa de Computador [57] e mais de uma topologia implementadas em Python [58]. A Figura 9 apresenta um demodulador digital baseado em discriminação de frequências. A arquitetura, de fácil implementação, é composta por um filtro limitador de amplitudes e por um discriminador de frequências e possibilita ao receptor funcionar com uma relação sinal/ruído simulada de 13 dB, adequada a uma operação de baixo consumo.

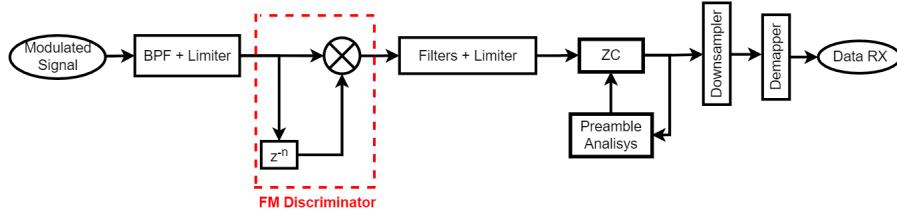


Figura 9: Demodulador baseado em discriminação de frequências [58].

6.6 System in a Package - SiP

O termo encapsulamento 3D (tri-dimensional) vem sendo acompanhado pelo conceito “more than Moore”^[59], indicando que uma das formas de continuar a evolução tecnológica em semicondutores é através do encapsulamento de múltiplos circuitos integrados ou componentes passivos em um chip ^[60].

A Figura 10 apresenta a evolução de encapsulamentos contendo múltiplos circuitos integrados. Iniciando-se pelo conceito MCM (Multi-Chip-Module) que corresponde a interligação de sistemas em uma placa de circuito (PCI) que pode ser utilizada em sistemas de maior complexidade. Passando-se ao encapsulamento SiP (System in a Package), onde módulos necessários a um sistema completo são integrados sobre um PCI em um único encapsulamento. E, finalmente, apresentando a integração heterogênea que pode ser 3D, quando os circuitos são colocados uns sobre os outros, aumentando a densidade de circuitos integrados por área, como é tipicamente feito no encapsulamento de memórias. Ou, com a implementação em duas dimensões (2D), onde barramentos de dados padrões interconectam sistemas completos, possibilitando um aumento da capacidade de processamento de dados, sem impacto excessivo na complexidade dos projetos.

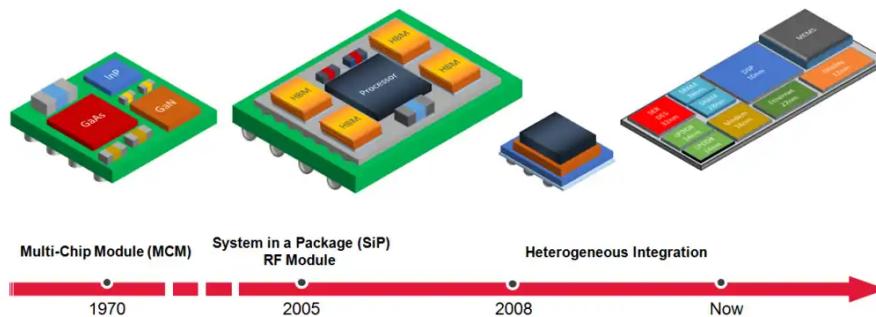


Figura 10: Evolução dos encapsulamentos baseados em SiP [60].

O encapsulamento SiP oferece diversas vantagens ao desenvolvimento do mercado de IoT pois possibilita integrar SoCs e componentes externos, tais como componentes passivos e reguladores de tensão essenciais ao funcionamento do sistema completo, em um mesmo encapsulamento. Dessa forma, além de permitir a customização dos sistemas, o custo de montagem do circuito final é reduzido significativamente. A HT-Micron, parceira no projeto, é a pioneira no desenvolvimento de SiP's para IoT no Brasil [9]. O Itt-Chip da UNISINOS possui os softwares de projeto e os equipamentos necessários ao desenvolvimento e teste destes encapsulamentos.

7 Metodologia e Estratégia de Ação

A metodologia adotada para o desenvolvimento do projeto **SoC-WiMed** segue uma abordagem estruturada e interdisciplinar, visando alcançar o nível de maturidade tecnológica **TRL 7**, com a demonstração funcional do protótipo do circuito integrado. A metodologia proposta assegura que o projeto **SoC-WiMed** seja conduzido de forma rigorosa e sistemática, levando a inovações significativas no projeto de circuitos integrados para o monitoramento de sinais vitais. A seguir, detalhamos os componentes metodológicos principais.

7.1 Metodologia de Integração e Teste

Os blocos do **SoC-WiMed** serão integrados seguindo uma abordagem modular, permitindo testes incrementais e isolados de cada componente antes da integração final. A estratégia de verificação e testes incluirá simulações em nível de sistema, testes de bancada e validação em campo, assegurando que o sistema atenda a todos os requisitos funcionais e de desempenho.

O projeto será executado através da metodologia bottom-up, nos quais cada módulo será desenvolvido separadamente, validado, e posteriormente integrado no sistema completo. Para isso, será preciso especificar as características de entrada e saída de cada módulo. O sistema é dividido em três partes representando diferentes domínios: a parte do front-end analógico (AFE), no qual técnicas de projeto de circuitos de sinais mistos são aplicadas para condicionamento dos sinais analógicos provenientes dos sensores e conversão para o domínio digital; a parte digital, responsável pelo processamento das informações; e a parte de rádio-frequência, que fará a transmissão dos dados processados através do protocolo Bluetooth. Cada parte possui estratégias de projeto diferentes, tanto no uso de ferramentas de CAD quanto na verificação e teste.

Para o projeto serão utilizadas as ferramentas de CAD da Cadence, as mesmas adotadas por grandes design houses em projetos complexos e de alto desempenho. As licenças acadêmicas das ferramentas Cadence estão disponíveis nas 3 instituições executoras deste projeto (PUCRS, UNISINOS e UNIPAMPA) através do programa APCI da Sociedade Brasileira de Microeletrônica.

A tecnologia-alvo de fabricação será definida nos primeiros meses de projeto, tendo como alvo tecnologia de 28 nm. O projeto prevê ao menos três rodadas de fabricação (*tapeouts*). A primeira conterá os blocos principais com módulos que permitam o teste dos mesmos de forma isolada ou integrada. Este primeiro *tapeout* terá por principal objetivo validar os módulos, detectando falhas a serem ajustadas em fases posteriores do projeto. O segundo *tapeout* será realizado com os módulos interligados entre si, realizando a aquisição dos dados, processamento e transmissão. Já na terceira rodada, a qual deverá ser a de demonstração do SoC, será realizada a otimização dos módulos, ajustes e inclusão de novas funcionalidades. Após cada *tapeout* os CLs fabricados serão testados em bancada nos laboratórios das instituições proponentes. Para isso será preciso o desenvolvimento de placas de circuito impresso para conexão dos circuitos de polarização do CL, dos sensores e das interfaces de entrada e saída para caracterização. Diferentes testbenches serão necessários, dependendo do módulo que se deseja testar.

7.2 Validação do SoC em Ambiente Operacional

Para validação dos sinais buscamos a implementação de experimentos que consideram a comparação com sinais biológicos adquiridos em seres humanos. Esses sinais envolverão medidas de batimentos cardíacos (usando eletromiografia), medidas de temperatura da pele (usando termografia) e sinais de força (usando células de carga uniaxiais), entre outros. **Para os experimentos de validação serão considerados sinais emulados de sensores de bases de dados abertas, como as disponíveis em <https://physionet.org>.**

Também serão utilizados equipamentos simuladores de sinais biomédicos, os quais permitem gerar sinais elétricos que emulam dados fisiológicos. Com isto será possível caracterizar os circuitos de front-end sem a necessidade de intervenção em seres humanos.

Como alternativa futura, os experimentos de validação também poderão ser realizados através de testes em seres humanos, porém esta etapa precisa ser aprovada em Comitê de Ética em Pesquisa. Neste caso, as medidas serão feita em situações de repouso e também durante a realização de exercícios físicos, com o objetivo de gerar variabilidade suficiente em características como amplitude e frequência dos sinais para testagem do ambiente. Em caso de inviabilidade desta etapa, o projeto não sofre perdas, pois a validação elétrica dos módulos gerados a partir das especificações dos sensores garante a sua funcionalidade.

7.3 Nível de Maturidade Tecnológica (TRL 7)

O projeto visa alcançar o nível TRL 7, o que implica na demonstração de um protótipo do sistema **SoC-WiMed** em um ambiente operacional. Isso envolverá a validação do protótipo em condições reais, demonstrando sua eficácia, segurança e eficiência energética.

8 Equipe e Infraestrutura

O projeto contará com pesquisadores e estudantes de graduação, mestrado e doutorado da PUCRS, UNISINOS e UNIPAMPA. Estas instituições estão distribuídas geograficamente no estado do Rio Grande do Sul nas cidades de Porto Alegre, São Leopoldo, Alegrete e Uruguaiana, o que demonstra a representatividade regional da proposta.

8.1 Equipe

A Tabela 2 apresenta a composição da equipe responsável pelo Projeto **SoC-WiMed**, destacando a abordagem intergeracional adotada na seleção dos membros.

Tabela 2: Equipe do Projeto **SoC-WiMed**.

Nome e Link para CV Lattes	Formação	Função	Área de atuação
Equipe PUCRS			
Fernando Gehm Moraes	Dt	Coord. Geral	Engenharia Elétrica / Dt. Microeletrônica
César Augusto Missio Marcon	Dt	Pesquisador	Engenharia Elétrica
Sergio Johann Filho	Dt	Pesquisador	Ciência da Computação
Marcos Luiggi Lemos Sartori	Dt	Pesquisador	Engenharia de Computação
Rafael Follmann Faccenda	Mst	Pesquisador	Engenharia de Computação
Iaçanã Ianiiski Weber	Mst	Pesquisador	Engenharia de Computação
Angelo Elias Dal Zotto	Mst	Pesquisador	Engenharia de Computação
Carlos Gabruek de Araujo Gewehr	Grad	Pesquisador	Engenharia de Computação
Willian Analdo Nunes	Grad	Pesquisador	Engenharia de Computação
Equipe UNISINOS			
Sandro Binsfeld Ferreira	Dt	Coord. Local	Microeletrônica / Telecomunicações
Rodrigo Marques de Figueiredo	Dt	Pesquisador	Engenharia Eletrônica/ Computação
Lúcio Renê Prade	Dt	Pesquisador	Engenharia de Computação
César David Paredes Crovato	Dt	Pesquisador	Engenharia Eletrônica
Jean Schmith	Mst	Pesquisador	Engenharia Eletrônica
Lucas Gasparin Rieck	Grad	Pesquisador	Engenharia Eletrônica
Equipe UNIPAMPA			
Alessandro Gonçalves Girardi	Dt	Coord. Local	Engenharia Elétrica / Microeletrônica
Paulo César Comassetto de Aguirre	Dt	Pesquisador	Eng. de Telecomunicações
Sidínei Ghissoni	Dt	Pesquisador	Engenharia Elétrica
Crístian Müller	Dt	Pesquisador	Engenharia de Computação
Felipe Pivetta Carpes	Dt	Pesquisador	Ciências Fisiológicas
Marcos Roberto Kunzler	Dt	Pesquisador	Ciências Fisiológicas

A equipe reúne profissionais seniores com expertise em circuitos integrados e jovens talentos das áreas de engenharia, ciência da computação e ciências fisiológicas. Essa estrutura foi definida para fomentar

um ambiente de mentoria e colaboração, onde o conhecimento técnico é transferido e as novas ideias são valorizadas e integradas. A diversidade geracional da equipe não apenas enriquece o processo de pesquisa e desenvolvimento, mas também assegura a sustentabilidade do conhecimento técnico e a continuidade da inovação no projeto a longo prazo.

8.2 Infraestrutura Laboratorial

As atividades do projeto na **PUCRS** serão desenvolvidas junto ao Grupo de Apoio ao Projeto de Hardware (GAPH). O objetivo geral do grupo GAPH é a pesquisa e desenvolvimento de métodos e ferramentas de projeto e verificação de sistemas computacionais, e a implementação de aplicações com emprego destes recursos. Destacam-se algumas áreas de pesquisa e desenvolvimento: (1) métodos de projeto para sistemas integrados em um único circuito integrado (SoC); (2) comunicação intra-chip (NoCs); (3) prototipação de sistemas digitais via dispositivos tais como FPGAs; (4) estratégias de verificação e teste de sistemas computacionais complexos; (5) segurança em sistemas many-core. Atuam neste grupo de pesquisa 4 docentes/pesquisadores doutores, 2 docentes mestres, 8 alunos de mestrado, 9 alunos de doutorado, e 10 alunos de iniciação científica dos cursos de Pós-Graduação em Ciência da Computação (PPGCC-PUCRS), graduação em Engenharia de Computação e Ciência da Computação. A infraestrutura disponível no grupo GAPH compreende:

- diversas estações de trabalho para uso em projeto de circuitos integrados (até 64GB RAM e 28 núcleos);
- 4 Osciloscópios TektronixTDS 2024B de 4 canais, 200MHz;
- 1 Osciloscópio Agilent DS80000B de 4 canais, 4GHz;
- 1 Analisador Lógico Agilent 1672G de 68 ponteiras;
- 1 Analisador Lógico HP 1663E de 34 ponteiras;
- 18 plataformas de prototipação de hardware reconfiguráveis, contendo FPGAs Xilinx das famílias Virtex7 e Kintex.

As atividades do projeto na **UNIPAMPA** serão desenvolvidas junto ao Grupo de Arquitetura de Computadores e Microeletrônica (GAMA), localizado no campus Alegrete. Atuam neste grupo de pesquisa 4 docentes/pesquisadores doutores, 12 alunos de iniciação científica dos cursos de Engenharia Elétrica e Engenharia de Telecomunicações, além de 10 alunos de Mestrado em Engenharia Elétrica (PPGEE-UNIPAMPA). O grupo de pesquisa GAMA dispõe de um laboratório de caracterização, o qual possibilita a medida dos circuitos fabricados, principalmente os blocos de AFE. Considerando os níveis de amplitude, frequência, e consumo de energia atrelados a este projeto, destacamos alguns equipamentos disponíveis no grupo de pesquisa GAMA que serão utilizados: Fonte DC programável de baixo ruído Keysight E36312A, Multímetro de bancada digital Keysight 34465A com precisão de 6 ½ dígitos, Osciloscópio Yokogawa DLM2054 2.5GS/S 500 MHz, Analisador Lógico Agilent 16803A, Analisador de Semicondutores B1500A e uma estação com micro ponteiras para medição intra-die. Os geradores de sinais de baixa frequência e alta frequência, além dos analisadores de espectro e de rede disponíveis na UNIPAMPA que serão utilizados no projeto são: Tektronix AFG 3000 series e Rhode&Schwartz SMB100A. Ainda na UNIPAMPA, mas no seu campus de Uruguaiana, outro laboratório parceiro deste projeto e em que parte das atividades serão desenvolvidas é o Laboratório de Neuromecânica. Neste laboratório, considerado um dos mais produtivos da instituição, trabalha uma equipe composta por 2 pesquisadores doutores (1 pesquisador PQ CNPq nível 2), 3 estudantes de doutorado em ciências fisiológicas, 4 estudantes de mestrado, 15 alunos de iniciação científica e 1 bolsista de iniciação científica do ensino médio. A equipe desenvolve estudos que buscam desenvolver um conhecimento básico sobre a produção e regulação de movimentos em condições de perturbações internas

e externas, com estudos em humanos e outros modelos pré-clínicos, aplicando esse conhecimento ao treinamento e reabilitação. Além disso, o grupo também atua no desenvolvimento de ferramentas de captura 3D do movimento sem marcadores (markerless), uma das tecnologias mais recentes na área. O laboratório conta com uma infraestrutura de ponta, com destaque para um sistema de captura 3D de movimentos com 17 câmeras com interface para aquisição de diferentes sinais biológicos simultaneamente. Com isso, o laboratório é um ambiente propício para promover interação entre os membros do projeto e fomentar colaborações de longo prazo.

As atividades de projeto na **UNISINOS** serão desenvolvidas no ITT-Chip e no Programa de Pós Graduação em Engenharia Elétrica PPGEE, no Campus de São Leopoldo. A linha de pesquisa em Manufatura Eletrônica e Encapsulamentos do PPGEE-UNISINOS conta com 4 docentes/pesquisadores doutores que atuam nas áreas de projeto de circuitos integrados, sensores, comunicações e internet das coisas, além de 5 mestrandos nestas áreas de atuação. Ainda contando com a participação de alunos do curso de Graduação em Engenharia Eletrônica que já atuam em projeto de circuitos para Bluetooth Low Energy junto ao grupo de pesquisas. Cabe ressaltar que em 2018, foi criado em colaboração entre ITT-Chip e a Empresa HT-Micron, um Design Center para projeto de encapsulamentos avançados. O primeiro produto obtido através desta colaboração foi o desenvolvimento do primeiro SiP (System In Package) para a Internet das Coisas, que entrou para o portfólio de produtos da Empresa. No Design Center, encontram-se em desenvolvimento produtos para as tecnologias LoRA e Bluetooth Low Energy, além de outros produtos. Ao longo desta cooperação, a empresa já custeou o mestrado de mais de 20 alunos na Unisinos. Atualmente, a empresa HT-Micron patrocina cinco mestrandos na Unisinos com trabalhos em desenvolvimento relacionados às áreas de interesse da empresa, de acordo com o Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores – PADIS. Além do Design Center itt-Chip/HT-Micron, o instituto conta com laboratórios de medidas e encapsulamentos em Sala Limpa que serão usados no projeto:

- ModeLab - equipado com computadores de alto desempenho empregados para projetos e simulações de circuitos integrados, placas de circuito impresso, simulações multifísicas de sensores e dispositivos, e simulações eletromagnéticas. Entre os softwares, destacam-se o Solidworks, o Altium Designer, o pacote completo do Ansys Electromagnetics e o COMSOL Multiphysics. Neste laboratório, podem ser realizadas todas as etapas de projeto e avaliação por simulação de circuitos integrados, microdispositivos, sensores e encapsulamentos.
- Laboratório de SMT - conta com uma linha completa de equipamentos para a confecção e montagem de placas de circuito impresso incluindo prototipadora de placas da LPKF D104 com ferramentas de fresa e laser para pequenas dimensões, metalizadora de furos, aplicadora de pasta de solda, posicionadora de componentes Pick and Place TWS-EVO e forno de refusão de 5 zonas.
- Laboratório de encapsulamentos - com equipamentos essenciais para a prototipagem do encapsulamento de dispositivos e sensores como: soldadora de fios TPT HB16, dispensadora de adesivos e encapsulantes da Nordson EV-Series, Plasma Etcher de 600W PE-200 da Plasmaetch, soldadora DC Sunstone WH2125A e microscópio estéreo da Zeiss Stemi 508. Neste laboratório serão realizados os encapsulamentos para a caracterização dos circuitos analógicos e de radiofrequência do projeto.
- Laboratório de Medidas e Laboratório de Caracterização Elétrica - com instrumentos de medida necessários a caracterização completa de circuitos integrados para RF, tais como: Osciloscópio Mixed Signal 13GHz / Infiniium MSO-X 91304A (Agilent), Plataforma de Testes PXIe-1095 contendo SMUs, gerador de sinais, analisador de espectros (National Instruments), Microscópio Estéreo Trinocular com Câmera e Braço Articulado / S9i (Leica), Estação de Retrabalho ESD / HK-939 Pro (Hikari),

Câmara Térmica de Bancada -60°C a +150°C SU-662 (ESPEC), Spectrum Analyzer FPL1007 - 5 kHz a 7.5 GHz (Rohde&Schwarz), Vector Network Analizer ZNL6 - 5 KHz a 6 GHz (Rohde&Schwarz), Vector Signal Generator SMBV100B - 8 kHz a 6 GHz (Rohde&Schwarz), RF Shield Box CMWZ10 (Rohde&Schwarz), microprovadora e parameter analyser Keithley 4200 localizados em sala limpa.

8.3 Experiência Prévia da Equipe em Projeto de CIs

A equipe de projeto possui experiência no projeto de Circuitos Integrados (CIs), com membros que têm histórico comprovado em projetos anteriores de sucesso. Esta experiência será capitalizada para enfrentar os desafios técnicos do projeto e garantir a aplicação das melhores práticas e padrões da indústria.

Em [61] apresenta-se o projeto de um processador para IoT na PUCRS, em tecnologia 180 nm. O protótipo deste circuito integrado, com um processador (ISA semelhante ao RISC-V), módulo de criptografia (XTEA) e transmissão de dados (UART) foi testado com sucesso. A bancada de teste, com o CI controlado por um FPGA é apresentado na Figura 11.

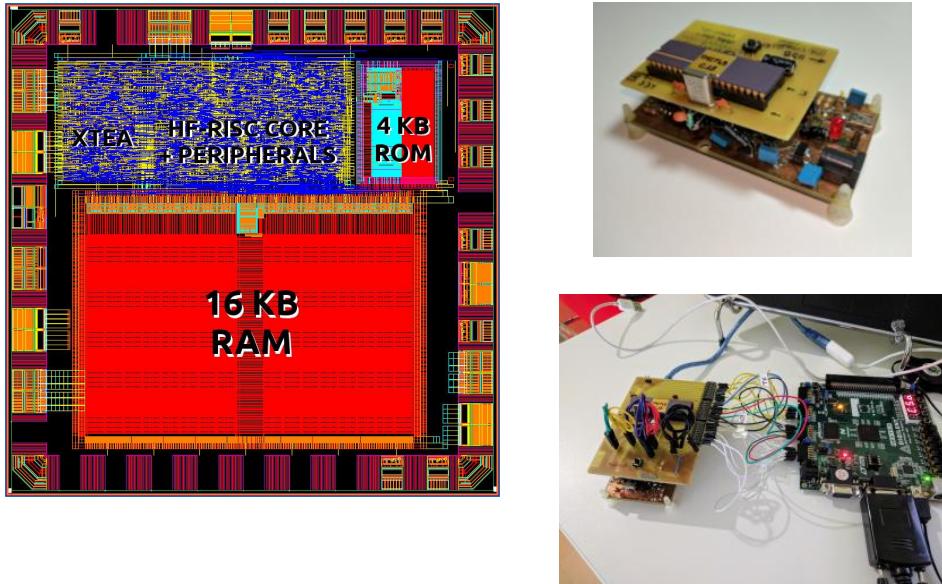


Figura 11: Circuito integrado desenvolvido na PUCRS, e placa de teste [61].

A equipe da UNIPAMPA possui ampla experiência no projeto de circuitos integrados de sinais mistos analógico/digitais, tendo fabricado e caracterizado ADCs [62, 63] e circuitos analógicos em geral [64]. Ainda, **desenvolveu trabalhos recentes focados em aplicações biomédicas** [65, 66]. A figura 12 apresenta um circuito integrado projeto pelo time da UNIPAMPA, em tecnologia 180 nm, na qual é destacado um Modulador Sigma-Delta para aplicações de baixa tensão e com filtro de anti-alias implícito ao modulador.

O ITT-Chip da Unisinos atua no desenvolvimento de circuitos integrados e encapsulamentos para radiofrequência com ênfase em IoT desde 2016. O transceptor completo para Bluetooth Low Energy apresentado na Figura 13a foi desenvolvido em colaboração com a Universidade TU-Delft e com a Empresa TSMC de Taiwan em tecnologia 28nm CMOS, sendo apresentado em 2017 [15, 54]. Uma nova versão do receptor em 2018 atingiu baixo consumo recorde de 1 mW, operando com tensão de alimentação de 0,275V [55]. O receptor apresentado na Figura 13b foi desenvolvido em colaboração com a Universidade de Dublin (UCD) em tecnologia 28nm CMOS, sendo encapsulado e medido nos laboratórios do ITT-Chip da Unisinos. É importante ressaltar ainda a colaboração do ITT-Chip com a empresa HT-Micron, que deu origem ao primeiro chip para o padrão SIGFOX desenvolvido no Brasil [9], além de projetos recentes

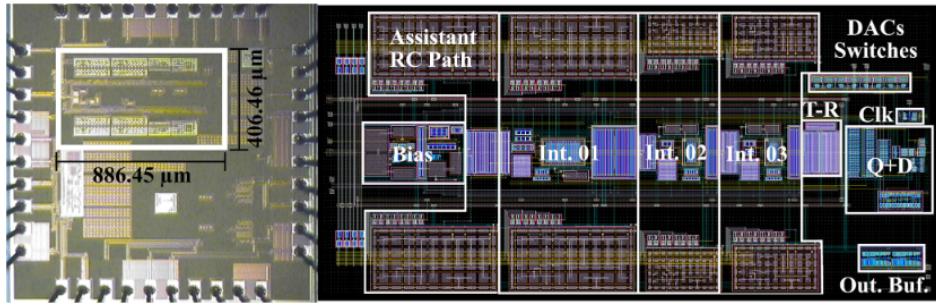


Figura 12: Circuito integrado de um conversor analógico-digital desenvolvido na UNIPAMPA [63].

envolvendo LORA e BLE [67], e NB-IoT [68]. Todos estes projetos foram desenvolvidos e caracterizados nos laboratórios do ITT-Chip, onde está incubada a área de Projeto e Desenvolvimento em Encapsulamentos Avançados da HT-Micron.

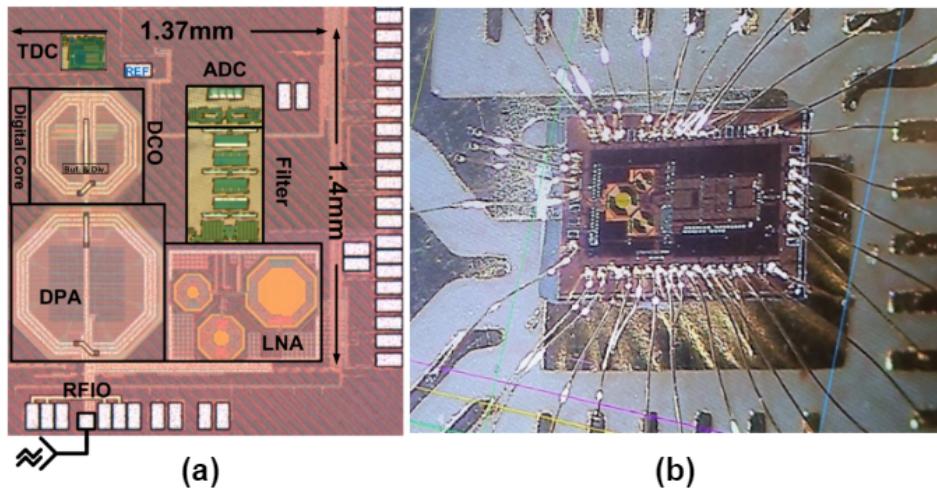


Figura 13: (a) Transceiver para BLE UNISINOS/UFRGS/TU-Delft/TSMC [15]. (b) Receptor UNISINOS/UFRGS/UCD (2021).

8.4 Inserção Internacional

Diversos membros da equipe deste projeto possuem experiência de colaboração internacional em pesquisa com instituições de várias partes do mundo.

O Professor Fernando Gehm Moraes (PUCRS) possui cooperações com as Universidades de Montpellier na França, onde já atuou como professor convidado, com Loughborough e York Universities no Reino Unido e com a TU Wien, no domínio de pesquisa de circuitos manycore baseados em redes intrachip. Hoje é coordenador da uma Rede CAPES-BRAFITEC (88887.716992/2022-00), cujo título é RAISON (Rede para Formação Avançada em Sistemas Inteligentes, Seguros e Onipresentes). A rede inclui as universidades francesas École Polytechnique de l'Université de Montpellier, École Polytechnique de l'Université de Marseille e Université Grenoble Alpes (UGA); e as universidades brasileiras PUCRS, UFRGS, e UFSC.

O Professor Sandro Binsfeld Ferreira (Unisinos) possui colaboração com a University College Dublin (UCD), na área de projetos de circuitos integrados de radiofrequência para a IoT e com a Université Paris-Saclay, Centrale Supélec e busca alternativas de ampliação da rede de internet das coisas usando redes satelitais. Através da colaboração com a UCD foram fabricados dois circuitos integrados para Bluetooth Low Energy em tecnologia de 28nm em 2019 e 2020.

O Professor Alessandro Girardi (UNIPAMPA) possui colaboração com a Technical University of Munich

(TUM), Alemanha, onde atuou como pesquisador visitante no projeto de um sistema de detecção de ataques invasivos em circuitos integrados visando a segurança da informação.

O Professor Paulo César Comassetto de Aguirre (UNIPAMPA) efetuou doutorado sanduíche na Università degli studi di Pavia (UNIPV), Itália, e possui vínculo de pesquisa com docentes do Integrated Microsystems Laboratory, tendo elaborado recentemente um projeto de cooperação internacional entre UNIPAMPA e a UNIPV na área de ADCs de alta resolução.

O Professor Felipe P. Carpes (UNIPAMPA) é presidente eleito da International Society of Biomechanics, professor convidado na Universitat de València (Espanha) e professor convidado na Technische Universität Chemnitz (Alemanha). Ao longo dos anos junto a estas instituições, vem atuando em disciplinas e projetos de pesquisa que tem interesse direto nas tecnologias desenvolvidas neste projeto, como o desenvolvimento e aprimoramento de sistemas de medição do movimento e de captura de sinais biológicos (exemplo, sistemas de medição de temperatura da pele e sistemas de medição da atividade elétrica muscular e de órgãos mecanorreceptores). Possui forte inserção e colaboração internacional com grupos de mais de 10 países em diferentes áreas do conhecimento, com potencial de auxiliar na expansão dos contatos da equipe executora e geração de novos projetos com perfil interdisciplinar.

Especificamente relacionado a este projeto, a inserção internacional se dará através da interação com a equipe da sede mundial da empresa EnSilica, localizada em Oxford, Reino Unido, além dos seus centros de desenvolvimento nos EUA e na Índia.

8.5 Interdisciplinaridade

O projeto será conduzido por uma equipe interdisciplinar, composta por especialistas em projeto de circuitos integrados, criptografia, aprendizado de máquina e engenharia biomédica. A colaboração interdisciplinar é essencial para o desenvolvimento de soluções inovadoras que abordem tanto os aspectos técnicos quanto os clínicos do monitoramento de sinais biomédicos. Como pode ser observado na Tabela 2, os pesquisadores que compõem a equipe do projeto atuam nas áreas de Engenharia Elétrica, Engenharia de Computação, Engenharia Eletrônica, Ciência da Computação e Ciências Fisiológicas. Isto garante que todas as fases do projeto serão conduzidas por especialistas.

A interação entre os pesquisadores das diferentes áreas deve ser garantida através das fases de integração do projeto, além de troca constante de conhecimento através de reuniões e discussões sobre o andamento do projeto.

Nesse sentido, um dos membros da equipe do projeto tem ampla experiência em desenvolver estudos que combinem desenvolvimento tecnológico, inovação, e atuação em temas de ciências da saúde. O prof. Felipe Carpes e sua equipe, como se nota em seu currículo, vem desenvolvendo estudos que consideram, por exemplo, o uso de ferramentas para aquisição de sinais de eletromiografia de alta densidade, usando matrizes de eletrodos para adquirir e analisar sinais de amplas regiões musculares. Um exemplo disso é um dos seus estudos recentes demonstrando que pacientes que tiveram uma ruptura do tendão de Aquiles recrutam diferente regiões do músculo tríceps sural (músculos conectados ao tendão de Aquiles) de maneira diferente do que recrutam na perna sem lesão. Esse tipo de avaliação exige um grande poder de hardware para realização das análises. Ainda nesse sentido, o emprego de algoritmos de inteligência artificial para detecção de padrões, identificação de fatores de risco para lesões em atletas, captura de movimento 3D sem marcadores e uso de machine learning e inteligência artificial na reabilitação são temas comuns no trabalho do grupo que lidera.

A equipe formada no presente edital cria um núcleo capaz de discutir os objetivos centrais deste projeto desde a sua concepção básica, centrada no desenvolvimento tecnológico, até o ponto de uma visão mais

ampla, de aplicação prática e voltada, principalmente, à saúde das pessoas. Além disso, a diversidade de saberes e experiências na equipe desempenha um papel fundamental para que problemas e barreiras no desenvolvimento do projeto possam ser identificadas de maneira adianta, facilitando o planejamento e a devida solução.

8.6 Gerência da Equipe

A organização de uma rede de pesquisadores de diferentes instituições distribuídas geograficamente no Rio Grande do Sul é inerente a este projeto. Os grupos de pesquisa participantes possuem diferentes expertises que se complementam e se combinam para que todo o know-how necessário para a implementação do **SoC-WiMed** esteja disponível.

A gerência da equipe será estruturada através de um Comitê Gestor composto por 3 líderes de projeto para cada área chave: (i) PUCRS: Fernando Gehm Moraes; (ii) UNISINOS: Sandro Binsfeld Ferreira; (iii) UNIPAMPA: Alessandro Girardi. Serão estabelecidos marcos claros e indicadores de desempenho, com revisões periódicas para assegurar que o projeto esteja progredindo conforme planejado. Os indicadores de desempenho serão acompanhados pelos gestores locais quinzenalmente.

A integração entre as diferentes equipes será facilitada por meio de ferramentas de gestão de projetos e comunicação eficaz. Reuniões regulares e revisões de progresso serão realizadas para garantir alinhamento e sincronização entre todos os membros do projeto. As reuniões para sincronização do projeto ocorrerão ao final das macro-etapas definidas na Tabela 4, com um periodicidade máxima de 2 meses. Ao final de cada *tapeout* será realizado um workshop interno para a apresentação e discussão dos resultados parciais entre os membros da equipe. Os workshops contarão com a participação das empresas parceiras EnSilica e HT-Micron.

8.7 Histórico de Produção de Pesquisa Científica e Tecnológica do Comitê Gestor

Seções anteriores evidenciaram a experiência prévia da equipe em projeto de Cls (Seção 8.3) e a internacionalização (Seção 8.4). A Tabela 3 apresenta um resumo quantitativo da produção acadêmica dos membros do Comitê Gestor do projeto para o período de **2018 a 2023** (conforme item 11.1.1.B do edital), com dados extraídos das plataformas Lattes.

Tabela 3: Produção Acadêmica do Comitê Gestor no período 2018-2023 (fonte: Lattes CNPq).

Produção	Fernando Gehm Moraes	Sandro Binsfeld Ferreira	Alessandro Gonçalves Girardi
Artigos em Periódicos	21	5	13
Artigos completos em anais	46	20	54
Patentes	-	2	-
Mestres formados	5	7	6
Doutores formados	8	-	-
Pós-doutorandos formados	1	-	-
Bolsa PQ/DT CNPq	PQ-1B	DT2	-

A Tabela 3 inclui artigos em periódicos, artigos completos em anais de eventos, patentes registradas, além do número de mestres e doutores formados, pós-doutorandos formados e a categoria de bolsa PQ/DT do CNPq que cada membro possui. Esta tabela fornece uma visão quantitativa da contribuição de cada membro para a produção científica, e para maiores detalhes os nomes possuem os links para o currículo

Lattes. Os dados apresentados na tabela evidenciam a qualificação dos membros do Comitê Gestor do projeto, refletindo um alto nível de produtividade e comprometimento com a pesquisa acadêmica.

Em termos de experiência do cooperação com a indústria, o Prof. **Fernando Gehm Moraes** mantém parceria constante com a empresa gaúcha DATACOM (<https://www.datacom.com.br>), tendo coordenado os seguintes projetos:

- 2023 - Atual: SIGMARR - Solução Integrada de Gerenciamento e Monitoramento de Redes Residenciais
- 2021 - 2023: SecCom - Segurança de Software em Sistemas de Telecomunicações - Vulnerabilidades e Contramedidas
- 2019 - 2021: Prototipação de Funcionalidades de Data Center em Kernel Linux utilizando Virtualização
- 2017 - 2020: Testador Para Tráfego Ethernet 40GbE
- 2015 - 2016: X10GIGA - Transponder OTN 10.7Gbps (com financiamento da FINEP)

Também se destaca a parceria com a empresa Parks Comunicações Digitais entre 2008-2012.

Em termos de inserção nacional em órgão de fomento, o Prof. Fernando Gehm Moraes participou no Comitê Assessor (CA) de Microeletrônica no CNPq (2018-2020), e coordenou o CA de Computação na FAPERGS (2017-2019). Dentre as atividades de gestão acadêmica do Prof. Fernando Gehm Moraes destaca-se: (i) Coordenador do Curso de Engenharia de Computação (2001 - 2007); (ii) Coordenador do Programa de Pós-Graduação em Ciência da Computação da PUCRS – PPGCC (2011-2013).

O Professor **Sandro Binsfeld Ferreira** participa ativamente de projetos de cooperação com a indústria, Itt-Chip Unisinos/HT-Micron, destacando-se os seguintes projetos:

- Intelligent Factory: Otimização do Custo Operacional de Fábricas para Microeletrônica via Internet das Coisas (IoT) [69].
- Desenvolvimento de Produto SiP IoT: Coordenador do projeto pela Unisinos com participação ativa desde a criação do P&D em Encapsulamento Avançado da HT-Micron. Como principais resultados do projeto, podemos destacar o desenvolvimento do primeiro SiP para IoT desenvolvido no Brasil, iMCP HT32SX, para Sigfox [9], o chip iMCP HTLRBL32L para LoraWan e BLE [67], eo novo chip para NB-IoT [68].
- Desenvolvimento de um sistema de monitoramento de temperatura para a cadeia do frio: com financiamento PQG/FAPERGS (TO 21/2551-0002176-4) e DT/CNPQ (308753/2020-8).

O Prof. **Alessandro Girardi** possui experiência em coordenação de projetos de inovação tecnológica, com destaque para as seguintes atuações:

- Coordenador do projeto "Centro de Agrotecnologia e Inovação do Pampa", aprovado no edital 02/2022 - Inova Clusters Tecnológicos da FAPERGS - TO 22/2551-0000841-0 (2022 até hoje).
- Sub-coordenador do projeto de P&D "Pesquisa e Desenvolvimento de Conversores Analógico-Digitais de Alta Resolução em Tecnologia CMOS", financiado pela empresa Chipus Microeletrônica junto ao grupo de pesquisa GAMA da UNIPAMPA (2022 até hoje).
- Coordenador do projeto "P-Glove - Luva Inteligente para Detecção de Gestos", em parceria com a empresa Muv Tecnologia, financiado pela FAPERGS através do edital 07/2019 - Programa Centelha (2020-2022).

Entre as atividades de gestão acadêmica, o prof. Alessandro Girardi atuou como Diretor do campus Alegrete da UNIPAMPA (2011-2015), Pró-Reitor de Pesquisa, Pós-Graduação e Inovação da UNIPAMPA (2015-2017) e desde 2020 é coordenador do Programa de Pós-Graduação em Engenharia Elétrica da UNIPAMPA.

9 Resultados e Impactos Esperados

O principal resultado deste projeto é o desenvolvimento e validação de um IP-core do System-on-Chip **SoC-WiMed** para aplicações biomédicas. Este IP-core pode ser transferido para a indústria para que seja adicionado a um produto final ou licenciado a outras empresas. Esta tecnologia é habilitadora para o desenvolvimento de novos produtos inovadores, como aparelhos vestíveis para detecção de sinais biométricos, **contribuindo para o aumento da eficiência e capacidade de inovação do estado.**

Porém, outros resultados também são esperados para o projeto, os quais são apresentados a seguir juntamente com seus indicadores:

- Desenvolvimento de propriedade intelectual (IPs) dos módulos envolvidos no projeto: ADCs, DACs, Amplificador de instrumentação, transceptor para Bluetooth Low Energy, Sistema de Segurança e Comunicação, com aplicação de no mínimo 2 patentes. Estes IPs podem ser transferidos para a indústrias individualmente para inserção em projetos diversos de circuitos integrados.

Indicador de Resultado: 2 patentes submetidas durante o projeto.

- Possibilidade de adição do **SoC-WiMed** no portfolio de SoCs da empresa Ensilica, que participa conjuntamente do projeto. Possibilidade de adição do **SoC-WiMed** no portfólio de chips com tecnologia SiP (System in Package) para IoT encapsulados pela empresa HT-Micron.

Indicador de Resultado: 1 transferência de tecnologia para empresa.

- Criação e ou consolidação de empresas de alto conteúdo tecnológico. Por exemplo, a Empresa Cold-Tag Tecnologia da Informação S.A., sediada em Canoas, atua no desenvolvimento de sistemas para coleta de dados para monitoração da conservação de alimentos e medicamentos na cadeia de distribuição. A empresa possui aplicação para os circuitos integrados desenvolvidos para o tracking de temperatura usando IoT. Outro exemplo é a empresa Muv Tecnologia Ltda, spin-off do grupo de pesquisa GAMA da UNIPAMPA instalada junto ao Parque Científico e Tecnológico do Pampa (PampaTec) em Alegrete, a qual desenvolve soluções de sistemas eletrônicos para captura e modelagem de movimentos. Esta empresa pode se beneficiar de parte do projeto desenvolvido, principalmente dos circuitos de AFE para leitura de dados de sensores de movimento, como acelerômetros.

Indicador de Resultado: criação ou consolidação de 1 empresa de base tecnológica (*startup*).

- Publicação de artigos científicos em, no mínimo, 6 periódicos de alto impacto por ano de projeto, em periódicos nacionais e internacionais de relevância nas áreas de microeletrônica e de rádio frequência, tais como: IEEE Journal of Solid-State Circuits (JSSC) - IF: 5.173, IEEE Transactions on Microwave Theory and Techniques (TMTT) - IF: 3.413, IEEE Transactions on Circuits and Systems I (TCAS I) - IF: 3.318, IEEE Microwave and Wireless Components Letters (MWCL) - IF: 1.887, IEEE Transactions on Biomedical Circuits and Systems (TBioCAS) - IF: 5.234, Electronics Letters - IF: 2.31, e Springer Analog Integrated Circuits and Signal Processing (ALOG) - IF: 0.925. Dentre as publicações previstas serão publicados pelo menos 5 publicações em formato Open Access durante o projeto, como JICS (Journal of Integrated Circuits and Systems).

Indicador de Resultado: 18 periódicos de alto impacto, sendo 5 em formato Open Access.

- Publicação e apresentação de artigos científicos em conferências regionais, nacionais e internacionais, como Symposium on Integrated Circuits and Systems Design (SBCCI), IEEE Latin America Circuits and Systems Conference (LASCAS), IEEE International Symposium on Circuits and Systems (IS-CAS), IEEE Biomedical Circuits and Systems Conference (BioCAS), IEEE Interregional NEWCAS

Conference (NEWCAS), entre outras, totalizando 18 artigos publicados ao longo do projeto.

Indicador de Resultado: 18 artigos apresentados e publicados em conferências regionais, nacionais e internacionais.

- Formação de recursos humanos na área de microeletrônica através dos programas de graduação e pós-graduação da PUCRS, UNISINOS e UNIPAMPA. No mínimo 10 mestres e 2 doutores formados na área de circuitos integrados no período do projeto. Além disso, o projeto contará com a inserção de alunos de Iniciação Científica (IC) em todas as fases do projeto, de forma a criar a cultura de pesquisa e desenvolvimento desde a graduação. As bolsas de IC serão captadas a partir de órgãos de fomento tais como FAPERGS e CNPQ, além de incentivos das próprias universidades. É prevista a contratação de pelo menos 8 bolsistas de IC por ano.

Indicador de Resultado: 10 mestres e dois doutores formados nos PPGs da rede.

Indicador de Resultado: 24 bolsas de Iniciação Científica durante o projeto.

- Realização de workshops ou sessões em workshops regionais com periodicidade anual para a demonstração dos resultados do projeto.

Indicador de Resultado: 3 workshops ou sessões em workshops regionais.

9.1 Impactos Esperados

1. **Formação de Recursos Humanos e Colaboração Intergeracional.** O projeto oferece uma plataforma para a formação prática de estudantes e pesquisadores emergentes, promovendo a colaboração intergeracional e contribuindo para a formação de uma nova geração de engenheiros e pesquisadores. Além disso, a interface com um equipe diversa e conectada a estudantes e pesquisadores das áreas de engenharia, computação e ciências da saúde também abre um leque de oportunidades para uma formação mais ampla e apta a ouvir e compreender as demandas de áreas aplicadas para o uso das tecnologias em desenvolvimento neste projeto.
2. **Publicações e Patentes.** Os resultados do projeto devem gerar publicações em periódicos de alto impacto e conferências internacionais, além de potenciais patentes.
3. **Colaboração Industrial.** A colaboração com parceiros industriais para a validação e implementação do SoC pode levar a novas parcerias estratégicas e oportunidades de transferência de tecnologia.
4. **Rede de Pesquisa em IoT.** A colaboração entre as universidades participantes PUC-RS, UNIPAMPA e UNISINOS, que já possuem Grupos de Pesquisa consolidados fortalece o desenvolvimento de uma rede para inovação e geração de recursos humanos nas áreas de projeto de circuitos integrados para a Internet das Coisas.
5. **Avanço Tecnológico:** A conclusão bem sucedida deste projeto pode estabelecer novos *benchmarks* para o projeto de SoCs, auxiliando a indústria de semicondutores a adotar as inovações desenvolvidas.
6. **Inovação em Aplicações Médicas.** A confiabilidade e precisão do SoC têm o potencial de avançar o estado-da-arte relativo ao projeto de dispositivos médicos portáteis, permitindo monitoramento contínuo e em tempo real de pacientes com maior precisão e menor consumo de energia. Para além disso, o trabalho em conjunto com cientistas da área da saúde vai gerar um ambiente profícuo para a busca por soluções não apenas inovadoras, mas também que considerem um espectro mais amplo de alcance, como por exemplo, a possibilidade de gerar inovação não apenas para a forma como sinais são adquiridos, mas que tipos de sinais e em que condições fisiológicas essas aquisições são feitas.

7. **Segurança Aprimorada.** A melhoria na segurança dos dados pode ter um impacto significativo na confiança do consumidor em dispositivos IoT, essencial em uma era onde a privacidade e a segurança de dados são de extrema importância.
8. **Impacto Ambiental.** A redução no consumo de energia dos SoCs contribuirá para a sustentabilidade ambiental, especialmente relevante no contexto de dispositivos IoT, que são operados em grande escala e frequentemente alimentados por baterias.

9.2 Divulgação dos Resultados

Os resultados gerados neste projeto serão divulgados através de publicações em periódicos científicos, conferências e seminários nacionais e internacionais, bem como por meio de patentes, quando aplicável. A divulgação tem o objetivo de compartilhar conhecimento com a comunidade científica e com potenciais parceiros industriais.

Em nível regional, a divulgação dos resultados técnicos e científicos do projeto serão realizadas através de cursos, palestras e treinamentos junto a eventos tradicionais na área, como Escola de Microeletrônica (EMICRO) e IEEE CASS RS Workshop (CASSW-RS), organizados anualmente na região Sul do Brasil. Em nível nacional, os resultados serão divulgados no principal evento brasileiro da área, o Symposium on Integrated Circuits and Systems Design (SBCCI).

Destaca-se nesse campo, também, que o Laboratório de Neuromecânica da UNIPAMPA, parceiro neste projeto, organiza anualmente um evento nacional na área de ciências da saúde, além de termos o prof. Felipe Carpes sendo o atual presidente da International Society of Biomechanics. Sabendo da forte interface que a biomecânica tem com tecnologias e a alta demanda que a área tem para ferramentas de aquisição, armazenamento, manejo e análise de sinais, não se descarta a possibilidade também de termos espaço para divulgar os avanços deste projeto não apenas entre pares das áreas de tecnologias, mas também entre pares de uma área voltada a aplicação de tecnologias para a saúde das pessoas e em que a indústria tem forte interesse. Considerando essa possibilidade de divulgação um forte potencial do projeto, assim como consideramos que a divulgação científica nos temas deste projeto, é também um aspecto positivo para que a comunidade em geral entenda mais sobre tecnologias e como o projeto em tela pode beneficiar a sociedade. Contamos também para isso com a expertise da equipe para participar não apenas em eventos, mas também em ações de divulgação como vídeos e podcasts educacionais, nos quais o grupo parceiro do Laboratório de Neuromecânica tem reconhecida experiência.

10 Cronograma, Riscos e Dificuldades

10.1 Descrição das Atividades e Resultados por Fase do Projeto

Fase D1 (Digital 1): Processador com Suporte à Criptografia e Comunicação com IPs

O objetivo desta fase é prototipar um circuito integrado (CI) que contenha os módulos IPs básicos da parte digital: (i) processador com instruções especializadas para criptografia; (ii) barramento AXI lite; (iii) comunicação serial, como SPI; (iv) módulos de interface com os ADCs; (v) módulos de interface com o módulo Bluetooth.

Atividades planejadas

- D1.1 Definição da arquitetura RISC-V adequada ao projeto, ou seja, processador com baixo consumo e baixa área de silício. Inclusão das extensões para criptografia no processador - Zbkb, Zkne, and Xascon [70]. Após a extensão, deve-se validar os algoritmos de criptografia AES e ASCON no nível RTL.
- D1.2 B_{AXI} – desenvolvimento, teste, e validação de um barramento AXI Lite conectado ao processador
- D1.3 SPI – desenvolvimento, teste, e validação de um IP de comunicação serial (como SPI) conectado ao barramento
- D1.4 IP_{ADC} e IP_{Blue} – desenvolvimento, teste, e validação de dois IPs: (1) comunicação com os ADC (IP_{ADC}) - o objetivo deste IP é receber do mundo externo os sinais gerados pelos ADCs para validar e ajustar o protocolo de comunicação oriundo dos sensores analógicos; (2) item IP_{Blue} comunicação com o módulo Bluetooth (IP_{Blue}) - o objetivo deste IP é enviar ao mundo externo sinais para o módulo Bluetooth para para validar e ajustar o protocolo de comunicação com o Bluetooth.
- D1.5 Geração dos módulos de memória RAM e ROM com o *design kit* escolhido para o projeto.
- D1.6 Integração dos módulos processador, B_{AXI} , SPI , IP_{ADC} , IP_{Blue} , RAM e ROM. Teste de funcionalidade. Simulação de recepção de dados oriundos do módulo IP_{ADC} , encriptação do mesmo pelo processador, e transmissão para os módulos SPI e IP_{Blue} . Este macro-módulo digital será denominado no projeto pelo acrônimo: **SISC - Sistema Integrado de Segurança e Comunicação**.
- D1.7 Síntese lógica, síntese física e validação pós-síntese do **SISC**.

Resultados Esperados: prototipagem de um CI que incorpore módulos IPs digitais essenciais. Estes abrangem: (i) um processador especializado em operações criptográficas; (ii) um barramento AXI Lite; (iii) protocolos de comunicação serial como SPI; (iv) módulos de interface com ADCs; e (v) módulos de interface com Bluetooth. As atividades programadas envolvem a seleção de uma arquitetura RISC-V de baixo consumo e área de silício reduzida, integração de extensões para criptografia e desenvolvimento e validação de IPs para comunicação serial, ADCs e Bluetooth. Também estão previstos testes de funcionalidade, síntese lógica e física, além da avaliação de conformidade com os protocolos estabelecidos.

Fase A1 (Analógico 1): Amplificador de Instrumentação

O objetivo desta etapa do projeto é o projeto de um amplificador de instrumentação de alta impedância e baixo ruído referido à entrada para amplificação dos sinais biomédicos proveniente dos sensores.

Atividades planejadas

- A1.1 Definição das características dos sinais de entrada: Cada tipo de sensor possui uma característica diferente, dependendo do tipo de sinal que está medindo. Isto exige uma modelagem detalhada para a determinação dos seus níveis de impedância, amplitude e frequência.
- A1.2 Revisão do estado da arte e definição da topologia base a ser projetada e analisada: A topologia do amplificador de instrumentação deve ser adequada para lidar com as características do sinal de entrada, além de demandar pequeno consumo de energia.
- A1.3 Projeto em esquemático do amplificador usando chopper: Projeto elétrico do amplificador para determinação do dimensionamento dos dispositivos (transistores, resistores e capacitores) e caracterização do seu desempenho em nível elétrico através de simulação.
- A1.4 Leiaute do amplificador: implementação física do amplificador projetado e análise completa considerando extração de parasitas.

Resultados Esperados: Ao término desta fase espera-se a obtenção de um amplificador de instrumentação com ruído referido à entrada inferior a $2 \mu V$ e baixo consumo de potência. Este amplificador deve ser capaz de amplificar os sinais biomédicas adquiridos sem gerar distorção do sinal.

Fase A2 (Analógico 2): Projeto de um PGA

O objetivo desta etapa do projeto de um amplificador de ganho programável (PGA) responsável por manter o nível de sinal de entrada do ADC próximo ao fundo de escala para garantir maior relação sinal-ruído-e-distorção durante a digitalização dos sinais.

Atividades planejadas

- A2.1 Projeto em nível de esquemático elétrico de um amplificador de transcondutância.
- A2.2 Projeto do PGA considerando chaves e componentes passivos reais.
- A2.3 Leiaute do PGA projetado e análise completa considerando extração de parasitas.

Resultados Esperados: Ao término desta etapa espera-se obter um PGA para amplificar os sinais que precedem o ADC. O ganho configurável irá compensar os sinais de entrada de diferentes amplitudes que serão processados pelo ADC.

Fase A3 (Analógico 3): Projeto de um ADC de alta resolução

O objetivo desta etapa do projeto de um ADC de alta resolução para aplicações biomédicas visando a obtenção de um ENOB acima de 14,5 bits.

Atividades planejadas

- A3.1 Definição da topologia e modelagem em alto nível do ADC.
- A3.2 Projeto em nível de esquemático elétrico do ADC.
- A3.3 Otimização visando redução do consumo de potência.
- A3.4 Leiaute do ADC projetado e análise completa considerando extração de parasitas.

Resultados Esperados: Ao término desta etapa será possível efetuar a digitalização dos sinais adquiridos pelos sensores. Os dados do ADC serão fornecidos ao processador através de uma interface digital que fará a compatibilização entre a saída do ADC e o barramento do SoC.

Fase B1 (Bluetooth 1): Projeto de um Transceiver para BLE

O objetivo desta etapa do projeto é o projeto de um transceptor para BLE em tecnologia CMOS, composto pelos sub-blocos: transmissor, receptor e sintetizador de frequências, partindo das especificações definidas pelo padrão BLE v5.4 até a implementação física.

Atividades planejadas

- B1.1 Projeto sistêmico do receptor (RX) para BLE de acordo com a versão 5.4 do padrão [71].
- B1.2 Projeto em Esquemático do RX para BLE em tecnologia CMOS.
- B1.3 Implementação física do RX BLE em tecnologia CMOS.
- B1.4 Projeto sistêmico do transmissor (TX) para BLE de acordo com a versão 5.4 do padrão [71].
- B1.5 Projeto em Esquemático do TX para BLE em tecnologia CMOS.
- B1.6 Implementação física do transmissor BLE em tecnologia CMOS.
- B1.7 Projeto sistêmico do sintetizador de frequências (PLL - *Phase Locked Loop* para BLE de acordo com a versão 5.4 do padrão [71].
- B1.8 Projeto em Esquemático do PLL para BLE em tecnologia CMOS.
- B1.9 Implementação física do PLL BLE em tecnologia CMOS.

Resultados Esperados: Ao final da fase, teremos os resultados de projeto sistêmico, projeto esquemático, e projeto em leiaute do transceptor completo entregues pela equipe:

- documento com os resultados do projeto sistêmico para TX, RX, PLL e sub-blocos,
- esquemático dos blocos TX, RX, PLL e sub-blocos projetados,
- testbenches e resultados de simulação para os blocos TX, RX, PLL e sub-blocos,
- layout dos blocos projetados: TX, RX e PLL, em formato de projeto GDSII integrados.

Fase I1 (Integração 1): Tapeout integrando os módulos desenvolvidos

Na Fase I1, as três universidades colaborarão intensivamente para realizar o *tapeout* da primeira versão do **SoC-WiMed**. Esta etapa crucial sintetiza o trabalho conjunto anterior, onde a interoperabilidade dos módulos foi uma preocupação constante, e agora demanda uma colaboração ainda mais estreita e coordenada entre todas as equipes. O objetivo é integrar os módulos desenvolvidos em um SoC funcional e otimizado para aplicações médicas sem fio.

Atividades planejadas

- I1.1 Integração dos Módulos. Realização da integração dos módulos analógicos, digitais e de comunicação Bluetooth, assegurando a compatibilidade e a funcionalidade conjunta dentro do SoC.
- I1.2 Preparação para Fabricação. Execução das etapas finais de design, incluindo a inserção de pads, a realização do *signoff* e o subsequente envio das máscaras para o processo de *tapeout*.
- I1.3 Testes de Validação. Após a recepção do circuito integrado fabricado, serão conduzidos testes para verificar a conformidade com os protocolos especificados pelos conversores analógico-digitais (ADCs) e pelo módulo Bluetooth, em conjunto com a parte digital. Os testes serão realizados por bloco - validação individual, e também de forma conjunta.

Resultados Esperados: Ao concluir esta fase, esperamos obter a primeira iteração do **SoC-WiMed** testada. A avaliação de desempenho dos módulos integrados permitirá verificar a precisão, eficiência e interoperabilidade do sistema. A expectativa é que os módulos analógicos e digitais operam dentro das especificações técnicas e que a comunicação Bluetooth cumpra os padrões estabelecidos para aplicações médicas sem fio. Este *tapeout* inicial servirá como uma prova de conceito para as fases subsequentes de refinamento e otimização do projeto.

Fase D2 (Digital 2): Aceleração de Hardware para Aprendizado de Máquina

O objetivo desta etapa do projeto é adicionar no **SISC** (Sistema Integrado de Segurança e Comunicação) a capacidade de executar a fase de inferência de redes neurais convolucionais (CNN). A arquitetura da CNN será projetada com base nos dados adquiridos dos sensores. Ressalta-se que o processador será configurado para processar exclusivamente números inteiros, evitando a utilização de ponto flutuante, para simplificar a arquitetura do processador.

Atividades planejadas

- D2.1 Definição do modelo de CNN: O modelo será estabelecido utilizando frameworks como Pytorch [72] ou TensorFlow [73], que permitem o treinamento e a validação do modelo.
- D2.2 Extensão do processador RISC-V para suporte a instruções vetoriais: A implementação de instruções do tipo SIMD (Single Instruction, Multiple Data) visa acelerar operações de convolução na fase de inferência. A aceleração é configurável via software, permitindo flexibilidade no processamento de diferentes CNNs. Será conduzida uma avaliação PPA (Power, Performance, Area) para o processador estendido.
- D2.3 Integração de um acelerador especializado para CNNs: O acelerador incorporará configurações fixas de tamanho de filtro (3x3), stride e função de ativação (RELU), como apresentado na Figura 3 [34, 35], para otimizar o desempenho e eficiência energética durante a fase de inferência.
- D2.4 Otimização do modelo de CNN para redução dos requisitos de memória: Empregar-se-á técnicas de quantização e poda (pruning) dos pesos e bias para diminuir a demanda por recursos de armazenamento.

Resultados Esperados: Ao término desta fase, o SISC possuirá capacidade de processamento de inferência para CNNs, otimizado para operar com consumo reduzido de energia. Espera-se que o processador RISC-V estendido exiba uma melhoria significativa no desempenho das operações de inferência. O acelerador especializado deverá demonstrar ganhos na velocidade de processamento, comparado à execução em software, com uma utilização mais eficiente da memória devido às técnicas de otimização aplicadas. Este bloco com capacidade de processamento de CNNs é denominado: **SISC-ML**, e substituirá o SISC do primeiro *tapeout*.

Fase A4 (Analógico 4): Integração do AFE

O objetivo desta etapa é a integração de todos os blocos que compõe o circuito de AFE: Amplificador de instrumentação, PGA e ADC. Ainda serão projetados outros circuitos auxiliares, como multiplexadores.

Atividades planejadas

- A4.1 Integração do Amplificador de Instrumentação e PGA

A4.2 Projeto de um MUX 8:1 e integração com o ADC.

A4.3 Integração e otimização do circuito de AFE completo.

A4.4 Leiaute do circuito de AFE e análise completa considerando extração de parasitas.

Resultados Esperados: Ao término desta etapa será possível efetuar a digitalização dos sinais adquiridos pelos sensores. Os dados do ADC serão fornecidos ao processador através de uma interface digital que fará a compatibilização entre a saída do ADC e o barramento do SoC.

Fase B2 (Bluetooth 2): Projeto da interface física (PHY) para BLE

O objetivo desta etapa do projeto é o projeto da interface física (PHY) para BLE em tecnologia CMOS, partindo das especificações definidas pelo padrão BLE v5.4 até a implementação física.

Atividades planejadas

B2.1 Projeto sistêmico da interface física (PHY) para BLE de acordo com a versão 5.4 do padrão [71].

B2.2 Modelagem do demodulador em linguagem de alto nível.

B2.3 Codificação do demodulador em linguagem de descrição de hardware (Verilog).

B2.4 Implementação da máquina de estados da interface PHY em linguagem de descrição de hardware.

B2.5 Implementação física da PHY completa (modulador, demodulador e controlador) em tecnologia CMOS.

Resultados Esperados: Ao final desta fase, teremos uma interface digital PHY implementada em software e em hardware, pronta para a fabricação. A interface será validada inicialmente em software e em FPGA (*Field Programmable Gate Array*) antes de ser prototipada em circuito integrado.

Fase I2 (Integração 2): Refinamento do Tapeout 1

A fase I1 gerou uma primeira versão com os macro-blocos podendo ser testados individualmente ou em conjunto. Esta fase corrigirá os erros observados na etapa de teste (I1.3), removerá parte das estruturas de teste individual, e gerará um SoC de demonstração com as funcionalidades básicas definidas no primeiro ano de projeto.

Atividades planejadas

I2.1 Correção de eventuais problemas, tanto por módulos quanto de integração, e minimização das estruturas de teste.

I2.2 Preparação para fabricação e envio das máscaras para o processo de *tapeout*.

I2.3 Testes de Validação. Os testes serão agora realizado de forma integrada, incluindo a aquisição dos sinais biomédicos, processamento e transmissão dos dados. A expectativa é de que esses testes possam ser feitos considerando principalmente sinais biológicos advindos de experimentos com humanos empregando eletromiografia, usando para isso um sistema comercial validado (Delsys Trigno) e que entrega ao investigador os sinais tanto em seu formato bruto, como como pré-processamentos. Espera-se que o sistema desenvolvido tenha desempenho similar ao sistema comercial.

Resultados Esperados: Ao concluir esta fase, esperamos obter um demonstrador do **SoC-WiMed** funcional e testado.

Fase I3 (Integração 3): Tapeout 3

Esta fase tem por objetivo integrar todas as funcionalidades desenvolvidas, incluindo o AFE completo, suporte ao aprendizado de máquina e a demodulação para BLE.

Atividades planejadas

I3.1 Integração das novas funcionalidades no **SoC-WiMed** e projeto do encapsulamento do tipo SiP.

I3.2 Preparação para fabricação e envio das máscaras para o processo de *tapeout*.

I3.3 Testes de Validação.

Resultados Esperados: Ao concluir esta fase, esperamos obter um demonstrador do **SoC-WiMed** funcional e testado. A integração bem-sucedida das funcionalidades desenvolvidas, incluindo o Front-End Analógico (AFE) completo, suporte ao aprendizado de máquina e a demodulação para BLE, resultará em SoC funcional. Este SoC será capaz de realizar as tarefas de monitoramento de sinais biomédicos sem fio com a eficiência e confiabilidade necessárias. O SoC será testado de duas maneiras: (1) montado em placa de circuito impresso (PCI) e (2) montado em placa de circuito impresso com o encapsulamento SiP projetado, com a colaboração do P&D da Empresa HT-Micron. Com o SoC testado e validado, o projeto estará em uma posição favorável para iniciar a transferência tecnológica para a indústria.

10.2 Cronograma

A Tabela 4 detalha o cronograma de atividades para os 36 meses de projeto. Previmos o início do projeto em janeiro de 2024. Porém, em caso de postergação desta data, todas as demais deverão ser postergadas na mesma proporção.

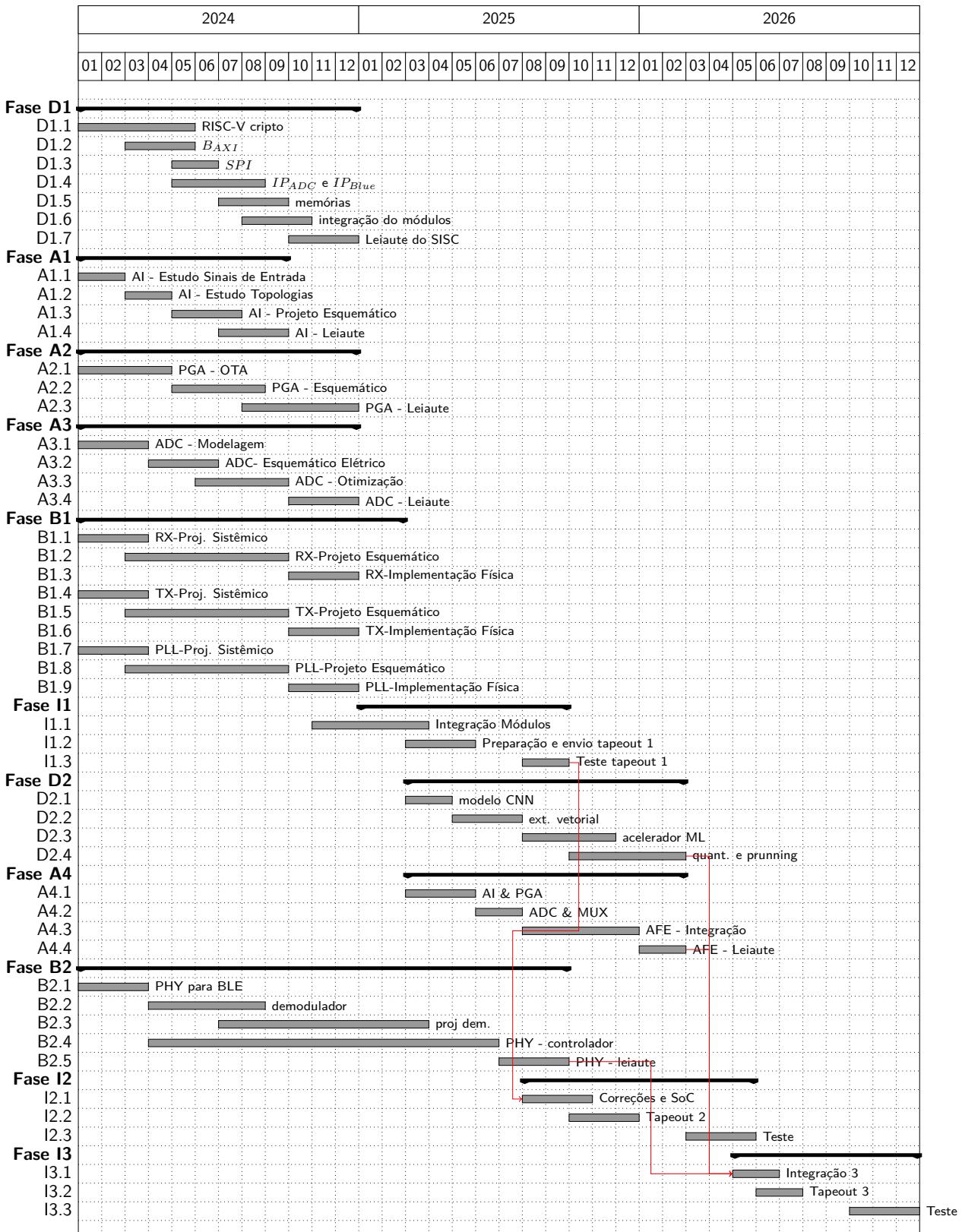
10.3 Riscos e Dificuldades

O desenvolvimento de tecnologias com aplicação biomédica, dentre outras, como a presente proposta objetiva tem diversos riscos e dificuldades. Existem inerentes desafios técnicos, como a miniaturização de componentes, integração de sensores, gerenciamento de dados em tempo real e garantia de precisão nas medições. Para estes, as diferentes fases propostas preveem um avanço gradual no desenvolvimento, de forma a permitir que correções e ajustes possam ser feitos. A colaboração com a Empresa Ensilica que é uma empresa consolidada no desenvolvimento de CIs e IPs dedicados, e que acompanhará o andamento do projeto e participará dos workshops de resultados, fornecendo ainda especificações preliminares para os blocos, ajuda a mitigar estes riscos.

Para a implementação do SoC proposto, todos os blocos básicos precisam estar operando adequadamente, desde a leitura dos sinais dos sensores até a digitalização, processamento e transmissão das informações. Caso algum bloco dentro do caminho crítico não atinja as especificações adequadas, o sistema completo estará comprometido. Para mitigar esta possibilidade, três rodadas de prototipação (*tapeouts*) serão realizadas, com a estratégia de integração incremental dos blocos. Ou seja, no primeiro *tapeout* os blocos serão caracterizados e validados individualmente. No segundo *tapeout* os erros serão corrigidos e os blocos serão conectados entre si, permitindo o fluxo das informações. No terceiro *tapeout*, que será o de demonstração, haverá ainda mais uma possibilidade de corrigir possíveis erros ou de otimizar algum módulo, minimizando as chances de falha do projeto final.

Além disso, a tecnologia precisa ser de fato útil. Portanto, conhecer as necessidades reais é fundamental. Por este motivo, além de incluir na equipe membros com experiência em diferentes áreas, nosso projeto

Tabela 4: Cronograma de Atividades.



prevê também uma fase de validação, prevendo medidas que serão feitas mimetizando as características dos sinais biológicos como se fossem em humanos (por exemplo, usando medidas iniciais de objetos em movimento), auxiliando a identificação de limitações para aplicações futuras em estudos com humanos.

Consideramos que essa fase experimental é um diferencial em nosso projeto, pois a aquisição de sinais biológicos é desafiadora, por questões, por exemplo, como alto nível de ruído e variabilidade. Além disso, a tecnologia desenvolvida precisa ser compatível com ferramentas já existentes, e também por isso fases de validação e testes com sistemas comerciais também são desafiadoras, mas necessárias.

Outro risco inerente a este tipo de projeto é a falta de interdisciplinaridade nas equipes de desenvolvimento, o que foi especificamente combatido em nossa proposta com a formação de um time com diferentes backgrounds e expertises, além da possibilidade de incorporar membros futuros com perfis específicos para atender demandas de conhecimento básico e aplicado relativos ao contexto do projeto.

11 Orçamento detalhado

A Tabela 5 detalha o orçamento do projeto. Na sequência, apresenta-se a justificativa para as despesas.

Tabela 5: Orcamento do projeto **SoC-WiMed** – PJ: Serviços de Terceiros Pessoa Jurídica.

Tipo da bolsa (Valor R\$)	Meses	Qtdade	Valor R\$
PDTI 2 (doutor) – R\$ 5.200,00	20	1	104.000,00
PDTI 3 (mestre) – R\$ 3.100,00	30	3	279.000,00
PDTI 4 (graduado) – R\$ 2.100,00	30	3	189.000,00
PDTI 5 (aluno cursando graduação) – R\$ 1.000,00	28	1	28.000,00
Total (20,0% do orçamento):			600.000,00
Despesa Material Permanente	Valor R\$	Quantidade	Valor R\$
Servidor (por exemplo: Dell PowerEdge T560)	55.000,00	6	330.000,00
Estação de trabalho de alto desempenho (exemplo: DELL Precision-5860-workstation)	20.000,00	12	240.000,00
Laptop (e.g. XPS13, Mac Book Air ou similar)	18.000,00	6	108.000,00
Monitor de Alta Resolução (exemplo: Monitor Dell UltraSharp de 32"4K Hub USB-C U3223QE)	6.000,00	12	72.000,00
Placa FPGA de alta densidade de integração (exemplo: AMD Kintex UltraScale FPGA KCU105 Evaluation Kit - U\$3,882,00)	22.000,00	4	88.000,00
Tapeout TSMC28 (EUR 10.541 (1mm ²) + 915 por 0.1mm ²) – Fonte: https://europactice-ic.com/schedules-prices-2024/	150.000,00	3	450.000,00
Gerador de funções de baixa distorção (modelo ref DS360 SR)	30.000,00	1	30.000,00
Ponteira de teste passiva 400MHz para altas temperaturas (Ref: modelo Keysight N7007A)	4.000,00	4	16.000,00
Ponteira de teste diferencial - 1.5 GHz (Ref: modelo Keysight N2750A)	25.000,00	2	50.000,00
Osciloscópio de bancada 1 GHz, 20 GS/s, 4 Channel (Ref. modelo Keysight 6004A)	125.000,00	1	125.000,00
Gerador AWG PCI (Spectrum M2p.65xx)	20.000,00	1	20.000,00
Fonte DC Programável 2 saídas (modelo referência Keysight 36312A)	15.000,00	1	15.000,00
Multímetro de bancada 6,1/2 dígitos	15.000,00	1	15.000,00
Eletromiógrafo Trigno Delsys de 16 canais	170.000,00	1	170.000,00
Nobreaks 3 kVA	5.000,00	2	10.000,00
Forno para solda de PCBs com componentes SMD (ref ZB2520HL)	5.000,00	1	5.000,00
Camera Group Hd Video Conferencia	12.000,00	3	36.000,00
Fonte de Ruido - 346A Noise Source, 10 MHz to 18 GHz, nominal ENR 6 dB	20.000,00	1	20.000,00
Total (60% do orçamento):			1.800.000,00
Despesas de Custeio	Valor R\$	Quantidade	Valor R\$
Diária Internacional	900,00	63	56.700,00
Diária Nacional	320,00	63	20.160,00
Passagem Internacional	9.000,00	9	81.000,00
Passagem Nacional	2.000,00	9	18.000,00
(PJ) Inscrição em Evento Internacional	4.300,00	9	38.700,00
(PJ)Inscrição em Evento Nacional	600,00	9	5.400,00
(PJ)Taxa de periódico open access (U\$1500)	7.528,00	5	37.640,00
(PJ)Taxes de Importação	204.400,00	1	204.400,00
(PJ)Confecção de Placas de Cls	6.000,00	6	36.000,00
(PJ) Serviço de encapsulamento de circuitos integrados	4.000,00	3	12.000,00
Material de Consumo (nacional) - componentes eletrônicos, cabos, baterias, ferramentas, acessórios, material de escritório	30.000,00	3	90.000,00
Total (20,0% do orçamento):			600.000,00
Total Geral do Projeto:			3.000.000,00

11.1 Justificativa para Bolsas (20% do orçamento)

A solicitação de bolsas é essencial para viabilizar um projeto de pesquisa que vise contribuir na integração de tecnologias avançadas em SoCs. A complexidade e a natureza interdisciplinar do projeto demandam a formação de uma equipe de pesquisa especializada, composta por profissionais com diferentes níveis de formação e especializações complementares. Estruturamos a solicitação de bolsas da seguinte maneira:

1. **Bolsista com nível de doutorado – 1 bolsa.** Este bolsista atuará como líder científico do projeto, coordenando a integração das diversas subequipes e garantindo a coesão e a sinergia entre as frentes de pesquisa em analógico, digital e Bluetooth.
2. **Bolsistas com nível de Mestrado – 3 bolsas.** Cada bolsista será responsável por liderar uma das principais áreas técnicas do projeto: projeto analógico, projeto digital e integração de Bluetooth.
3. **Bolsistas com nível de Graduação – 3 bolsas.** Estes bolsistas trabalharão em colaboração com os bolsistas com nível de Mestrado, oferecendo suporte técnico e participando ativamente no desenvolvimento e na implementação das soluções propostas.
4. **Bolsista cursando graduação – 1 bolsa.** Este bolsista irá apoiar o projeto no auxílio à implementação das soluções.

A restrição orçamentária do edital, que limita a 20% a destinação de recursos para bolsas, implica que o financiamento direto não pode cobrir a totalidade dos 36 meses de duração do projeto. Portanto, é necessário um planejamento para a alocação intercalada das bolsas, de modo a assegurar a continuidade do trabalho de pesquisa ao longo do período do projeto.

A concessão dessas bolsas é crucial não apenas para a execução técnica do projeto, mas também para a formação de recursos humanos altamente qualificados, que contribuirão para o fortalecimento da pesquisa científica e tecnológica.

11.2 Justificativa para Material Permanente (60% do orçamento)

Os materiais permanentes visam complementar a infraestrutura já existente nas universidades proponentes e garantir o poder computacional adequado para o desenvolvimento e simulação dos circuitos propostos neste projeto. Neste sentido, foram solicitados computadores de trabalho de alto desempenho, notebooks e workstations.

A análise experimental dos circuitos integrados fabricados também é essencial, e a aquisição de equipamentos adequados e precisos se faz necessário para garantir a correta (e precisa) análise dos circuitos integrados fabricados.

Salienta-se que após a aquisição destes materiais permanentes os laboratórios estarão bem equipados para a execução deste projeto e de outros ao longo dos próximos anos.

11.3 Justificativa para Despesas em Custeio (20% do orçamento)

A mobilidade acadêmica é fundamental para a integração entre as equipes de pesquisa, através de missões de trabalho internacionais e ou missões interinstitucionais. Além disto, a participação em eventos científicos permite a difusão da pesquisa, e o estabelecimento de novas parcerias. Ressalta-se que um projeto em rede requer um número expressivo de deslocamento de docentes/alunos entre as instituições parceiras afim de realizar a transferência da pesquisa realizada. Em termos de diárias e passagens aéreas o projeto tem a seguinte previsão, correspondendo a **5,9%** do orçamento total:

- 3 deslocamentos de 7 dias por ano - 21 diárias/ano, totalizando 63 diárias internacionais ao longo do projeto;
- 3 deslocamentos de 7 dias por ano - 21 diárias/ano, totalizando 63 diárias nacionais ao longo do projeto;
- 3 passagens aéreas internacionais por ano, totalizando 9 passagens internacionais ao longo do projeto;
- 3 passagens aéreas nacionais por ano, totalizando 9 passagens nacionais ao longo do projeto.

Outra despesa relevante para o projeto é o pagamento de inscrições em eventos e pagamento de periódicos *open access*. A alocação de recursos para inscrição em eventos científicos e publicações em periódicos de acesso aberto (*open access*) é fundamental para assegurar a disseminação e o impacto da pesquisa. Eventos científicos promovem a troca de conhecimento, o networking profissional e a atualização contínua em avanços tecnológicos, enquanto que a publicação em acesso aberto maximiza a visibilidade e acessibilidade dos resultados do projeto. Prevê-se no projeto as seguintes despesas, correspondendo a **2,7%** do orçamento total:

- 3 inscrições em eventos internacionais por ano, totalizando 9 inscrições ao longo do projeto;
- 3 inscrições em eventos nacionais por ano, totalizando 9 inscrições ao longo do projeto;
- 5 publicações *open access* ao longo do projeto.

As taxas de importação são essenciais no orçamento do projeto para assegurar o pagamento das taxas relativas à importação dos circuitos integrados que serão projetados ao longo do projeto (ao menos 3 *tapeouts*), e placas de prototipação de alta densidade de integração para validar a parte digital do **SoC-WiMed**. A previsão das taxas de importação é estimada em 40% do valor dos bens, correspondendo **6,8%** do orçamento total.

Finalmente temos os “serviços de terceiros - pessoa jurídica”, correspondendo aos serviços de confecção de placas de circuitos integrados (PCBs) para o teste dos Cls, serviço de encapsulamento de circuitos integrados e componentes eletrônicos diversos para a realização das placas de teste. Além disto, é também previsto material de reposição nos laboratórios, como reposição de peças de computadores (HDs, memórias), componentes eletrônicos diversos, insumos, cabos, conectores e adaptadores. A previsão nesta rubrica corresponde a **4,6%** do orçamento total.

Referências

- [1] M. Zeng, L. T. Nguyen, B. Yu, O. J. Mengshoel, J. Zhu, P. Wu, and J. Zhang, "Convolutional Neural Networks for human activity recognition using mobile sensors," in *International Conference on Mobile Computing, Applications and Services (MobiCASE)*, 2014, pp. 197–205, <https://doi.org/10.4108/icst.mobicase.2014.257786>.
- [2] Y. C. Monteiro, M. A. Vieira, P. V. Vitorino, S. J. Queiroz, G. M. Policena, and A. C. Souza, "Trend of fall-related mortality among the elderly," *Revista da Escola de Enfermagem da USP*, vol. 55, pp. 1–8, 2021, <https://doi.org/10.1590/1980-220x-reeusp-2020-0069>.
- [3] E. Palermo *et al.*, "A Digital Mental Health App Incorporating Wearable Biosensing for Teachers of Children on the Autism Spectrum to Support Emotion Regulation: Protocol for a Pilot Randomized Controlled Trial," *PubMed*, 2023, <https://doi.org/10.2196/45852>.
- [4] M. Alder *et al.*, "Feasibility of Actigraphy for Evaluating Sleep and Daytime Physical Activity in Children with Autism Spectrum Disorder," *J Autism Dev Disord*, vol. 53, no. 9, pp. 3670–3682, 2023, <https://doi.org/10.1007/s10803-022-05661-5>.
- [5] X. Liang *et al.*, "Age-Related Differences in Accelerometer-Assessed Physical Activity and Sleep Parameters Among Children and Adolescents With and Without Autism Spectrum Disorder: A Meta-Analysis," *JAMA Netw Open*, vol. 6, no. 10, 2023, <https://doi.org/10.1001/jamanetworkopen.2023.36129>.
- [6] Y. Li, C. C. Y. Poon, and Y.-T. Zhang, "Analog integrated circuits design for processing physiological signals," *IEEE Reviews in Biomedical Engineering*, vol. 3, pp. 93–105, 2010.
- [7] sales@ensilica.com, "ENSILICA ENS62020," 2022, <https://www.electronics-lab.com/ensilica-ens62020-ultra-low-power-vital-signs-sensor-interface-ic-for-wearable-healthcare-and-medical-device-market>.
- [8] EnSilica, "Wireless Medical Sensor Customisable ASIC Platform," 2022, <https://www.ensilica.com/wp-content/uploads/eSi-MediSense-SOC-Platform-Brief.pdf>.
- [9] ABINC, "Ht micron lançou o primeiro chip nacional para internet das coisas protocolado via sigfox durante evento em são paulo - abinc," 2019. [Online]. Available: <https://abinc.org.br/primeiro-chip-nacional-para-internet-das-coisas-nasce-com-protocolo-sigfox/>
- [10] N. Dua, S. N. Singh, V. B. Semwal, and S. K. Challa, "Inception inspired CNN-GRU hybrid network for human activity recognition," *Multimedia Tools and Applications*, vol. 82, no. 4, pp. 5369–5403, 2023, <https://doi.org/10.1007/s11042-021-11885-x>.
- [11] J. Ng, M. Hausknecht, S. Vijayanarasimhan, O. Vinyals, R. Monga, and G. Toderici, "Beyond short snippets: Deep networks for video classification," in *Computer Vision and Pattern Recognition (CVPR)*, 2015, pp. 4694–4702, <https://doi.org/10.1109/CVPR.2015.7299101>.
- [12] E. García, M. Villar, M. Fáñez, J. R. Villar, E. de la Cal, and S.-B. Cho, "Towards effective detection of elderly falls with CNN-LSTM neural networks," *Neurocomputing*, vol. 500, pp. 231–240, 2022, <https://doi.org/10.1016/j.neucom.2021.06.102>.

- [13] K. Yamamoto, "Learnable companding quantization for accurate low-bit neural networks," in *IEEE/CVF Conference on Computer Vision and Pattern Recognition (CVPR)*, 2021, pp. 5029–5038, <https://doi.org/10.1109/CVPR46437.2021.00499>.
- [14] C. Dobraunig, M. Eichlseder, F. Mendel, and M. Schläffer, "Ascon v1.2: Lightweight Authenticated Encryption and Hashing," *Journal of Cryptology*, vol. 34, no. 3, 2021, <https://doi.org/10.1007/s00145-021-09398-9>.
- [15] F.-W. Kuo, S. Binsfeld Ferreira, H.-N. R. Chen, L.-C. Cho, C.-P. Jou, F.-L. Hsueh, I. Madadi, M. Tohidian, M. Shahmohammadi, M. Babaie, and R. B. Staszewski, "A bluetooth low-energy transceiver with 3.7-mw all-digital transmitter, 2.75-mw high-if discrete-time receiver, and tx/rx switchable on-chip matching network," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 4, pp. 1144–1162, 2017, <https://doi.org/10.1109/JSSC.2017.2654322>.
- [16] RISC-V Foundation, "The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Document Version 20191213," December 2019. [Online]. Available: <https://riscv.org/technical/specifications>
- [17] ——, "RISC-V Cryptography Extensions Volume I: Scalar & Entropy Source Instructions, Document Version v1.0.1," February 2022. [Online]. Available: <https://github.com/riscv/riscv-crypto/releases/tag/v1.0.1-scalar>
- [18] lowRISC, "Ibex RISC-V Core," 2018. [Online]. Available: <https://github.com/lowRISC/ibex>
- [19] L. E. Kane, J. J. Chen, R. Thomas, V. Liu, and M. Mckague, "Security and Performance in IoT: A Balancing Act," *IEEE Access*, vol. 8, pp. 121 969–121 986, 2020.
- [20] V. A. Thakor, M. A. Razzaque, and M. R. A. Khandaker, "Lightweight Cryptography Algorithms for Resource-Constrained IoT Devices: A Review, Comparison and Research Opportunities," *IEEE Access*, vol. 9, pp. 28 177–28 193, 2021.
- [21] S. Kotel, F. Sbiaa, M. Zeghid, M. Machhout, A. Baganne, and R. Tourki, "Performance Evaluation and Design Considerations of Lightweight Block Cipher for Low-Cost Embedded Devices," in *IEEE/ACS International Conference of Computer Systems and Applications (AICCSA)*, 2016, pp. 1–7.
- [22] I. Elsadek, S. Aftabjahani, D. Gardner, E. MacLean, J. R. Wallrabenstein, and E. Y. Tawfik, "Hardware and Energy Efficiency Evaluation of NIST Lightweight Cryptography Standardization Finalists," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2022, pp. 133–137.
- [23] E. Tehrani, T. Graba, A. S. Merabet, and J.-L. Danger, "RISC-V Extension for Lightweight Cryptography," in *Euromicro Conference on Digital System Design (DSD)*, 2020, pp. 222–228, <https://doi.org/10.1109/DSD51259.2020.00045>.
- [24] P. Sud, S. Neisarian, and E. B. Kavun, "Evaluating Cryptographic Extensions On A RISC-V Simulation Environment," in *Euromicro Conference on Digital System Design (DSD)*, 2022, pp. 548–555, <https://doi.org/10.1109/DSD57027.2022.00079>.
- [25] H. Cheng, J. Großschädl, B. Marshall, D. Page, and T. Pham, "RISC-V Instruction Set Extensions for Lightweight Symmetric Cryptography," 2022, <https://tches.iacr.org/index.php/TCHES/article/view/9951>.

- [26] L. P. I. Ledwaba, G. P. Hancke, H. S. Venter, and S. J. Isaac, "Performance Costs of Software Cryptography in Securing New-Generation Internet of Energy Endpoint Devices," *IEEE Access*, vol. 6, pp. 9303–9323, 2018.
- [27] I. Elsadek, S. Aftabjahani, D. Gardner, E. MacLean, J. R. Wallrabenstein, and E. Y. Tawfik, "Energy Efficiency Enhancement of Parallelized Implementation of NIST Lightweight Cryptography Standardization Finalists," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2022, pp. 138–141.
- [28] NIST, "Lightweight Cryptography: Project Overview," 2022, <https://csrc.nist.gov/projects/lightweight-cryptography>.
- [29] K. Mohajerani, R. Haeussler, R. Nagpal, F. Farahmand, A. Abdulgadir, J.-P. Kaps, and K. Gaj, "Hardware Benchmarking of Round 2 Candidates in the NIST Lightweight Cryptography Standardization Process," in *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2021, pp. 164–169.
- [30] I. Goodfellow, Y. Bengio, and A. Courville, *Deep Learning*. MIT Press, 2016.
- [31] Google, "Google Assistant, your own personal Google," 2022. [Online]. Available: <https://assistant.google.com>
- [32] Tesla, "Autopilot," 2022. [Online]. Available: <https://www.tesla.com>
- [33] D. Moolchandani, A. Kumar, and S. R. Sarangi, "Accelerating CNN inference on ASICs: A survey," *Journal of Systems Architecture*, vol. 113, no. 1, pp. 1–26, 2021.
- [34] L. R. Juracy, M. T. Moreira, A. de Morais Amory, A. F. Hampel, and F. G. Moraes, "A High-Level Modeling Framework for Estimating Hardware Metrics of CNN Accelerators," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 11, pp. 4783–4795, 2021.
- [35] L. R. Juracy, A. de Morais Amory, and F. G. Moraes, "A Fast, Accurate, and Comprehensive PPA Estimation of Convolutional Hardware Accelerators," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 69, no. 12, pp. 5171–5184, 2022.
- [36] J. G. Webster, *Medical Instrumentation Application and Design*. New York: Wiley, 1998.
- [37] C.-J. Lee and J.-I. Song, "A chopper stabilized current-feedback instrumentation amplifier for eeg acquisition applications," *IEEE Access*, vol. 7, pp. 11 565–11 569, 2019.
- [38] Z. Hoseini, M. Nazari, K.-S. Lee, and H. Chung, "Current feedback instrumentation amplifier with built-in differential electrode offset cancellation loop for ecg/eeg sensing frontend," *IEEE Transactions on Instrumentation and Measurement*, vol. 70, pp. 1–11, 2021.
- [39] L. Fang and P. Gui, "A low-noise low-power chopper instrumentation amplifier with robust technique for mitigating chopping ripples," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 6, pp. 1800–1811, June 2022.
- [40] L. Kouhalvandi, L. Matekovits, and I. Peter, "Amplifiers in biomedical engineering: A review from application perspectives," *Sensors*, vol. 23, no. 4, 2023. [Online]. Available: <https://www.mdpi.com/1424-8220/23/4/2277>

- [41] C.-J. Lee and J.-I. Song, "A chopper stabilized current-feedback instrumentation amplifier for eeg acquisition applications," *IEEE Access*, vol. 7, pp. 11 565–11 569, 2019.
- [42] N. T. Tasneem, S. A. Pullano, C. D. Critello, A. S. Fiorillo, and I. Mahbub, "A low-power on-chip ecg monitoring system based on mwcnt/pdms dry electrodes," *IEEE Sensors Journal*, vol. 20, no. 21, pp. 12 799–12 806, 2020.
- [43] Z. Tan, C.-H. Chen, Y. Chae, and G. C. Temes, "Incremental delta-sigma adcs: A tutorial review," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 12, pp. 4161–4173, 2020.
- [44] P. Harpe, "Low-power sar adcs: Basic techniques and trends," *IEEE Open Journal of the Solid-State Circuits Society*, vol. 2, pp. 73–81, 2022.
- [45] J.-S. Huang, S.-C. Kuo, and C.-H. Chen, "A multistep multistage fifth-order incremental delta sigma analog-to-digital converter for sensor interfaces," *IEEE Journal of Solid-State Circuits*, vol. 58, no. 10, pp. 2733–2744, 2023.
- [46] Z. Lu, H. Ji, W. Qu, L. Ye, M. Zhao, and Z. Tan, "A 1 v 1.07 w 15-bit pseudo-pseudo-differential incremental zoom adc," *IEEE Journal of Solid-State Circuits*, vol. 58, no. 9, pp. 2575–2584, 2023.
- [47] J. Park, W. Kim, D. Kim, D. Lee, Y. Hong, S. Kim, and J. Rhee, "A 17.6-bit 800-sps energy-efficient read-out ic with input impedance boosting," *IEEE Sensors Journal*, vol. 23, no. 9, pp. 9430–9439, 2023.
- [48] M. Tamura, H. Takano, H. Nakahara, H. Fujita, N. Arisaka, S. Shinke, N. Suzuki, Y. Nakada, Y. Shinohe, S. Etou, T. Fujiwara, F. Kondo, K. Yamamoto, T. Matsumoto, and Y. Katayama, "A 0.5-v ble transceiver with a 1.9-mw rx achieving –96.4-dbm sensitivity and –27-dbm tolerance for intermodulation from interferers at 6- and 12-mhz offsets," *IEEE Journal of Solid-State Circuits*, vol. 55, no. 12, pp. 3376–3386, 2020.
- [49] F. Guo, N. Krzysztofowicz, A. Moreno, J. Ni, D. Lovell, Y. Chi, K. Ahmad, S. Afshar, J. Alexander, D. Brater, C. Cao, D. Fan, R. Lund, J. Paddock, G. Prechter, T. Sheldon, S. Sreedhara, A. Tsai, E. Wu, K. Yu, D. Fritchman, A. Pandey, A. Niknejad, K. Pister, and B. Nikolic, "A heterogeneous soc for bluetooth le in 28nm," in *2023 IEEE Hot Chips 35 Symposium (HCS)*, 2023, pp. 1–11.
- [50] Z. Chang, Q. Xiao, W. Wang, Y. Luo, and B. Zhao, "A passive bidirectional bletag demonstrating battery-free communication in tablet/smartphone-to-tag, tag-to-tablet/smartphone, and tag-to-tag modes," in *2023 IEEE International Solid-State Circuits Conference (ISSCC)*, 2023, pp. 468–470.
- [51] F. Ferreira, P. M. Ferreira, and S. Binsfeld Ferreira, "A flexible low-cost discrete-time wake-up receiver for lorawan applications," in *2021 19th IEEE International New Circuits and Systems Conference (NEWCAS)*, 2021, pp. 1–4.
- [52] J. Tosi, F. Taffoni, M. Santacatterina, R. Sannino, and D. Formica, "Performance evaluation of bluetooth low energy: A systematic review," *Sensors*, vol. 17, 2017.
- [53] F.-W. KUO, C.-P. JOU, H.-N. R. CHEN, L.-C. CHO, R. B. STASZEWSKI, and S. B. FERREIRA, "Ultra-low power receiver," 2 2019.
- [54] S. Binsfeld Ferreira, F.-W. Kuo, M. Babaie, S. Bampi, and R. B. Staszewski, "System design of a 2.75-mw discrete-time superheterodyne receiver for bluetooth low energy," *IEEE Transactions on*

Microwave Theory and Techniques, vol. 65, no. 5, pp. 1904–1913, 2017, <https://doi.org/10.1109/TMTT.2017.2668407>.

- [55] F.-W. Kuo, S. B. Ferreira, R. Chen, L.-C. Cho, C.-P. Jou, M. Chen, M. Babaie, and R. B. Staszewski, “Towards ultra-low-voltage and ultra-low-power discrete-time receivers for internet-of-things,” in *2018 IEEE/MTT-S International Microwave Symposium - IMS*, 2018, pp. 1211–1214.
- [56] R. Staszewski, J. Wallberg, S. Rezeq, C.-M. Hung, O. Eliezer, S. Vemulapalli, C. Fernando, K. Maggio, R. Staszewski, N. Barton, M.-C. Lee, P. Cruise, M. Entezari, K. Muhammad, and D. Leipold, “All-digital pll and transmitter for mobile phones,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2469–2482, 2005.
- [57] A. C. Morbach and S. B. Ferreira, “Modelo de um receptor para gfsk baseado em quadricorrelator e discriminador fm,” 7 2023.
- [58] A. C. Morbach, J. de Castro, and S. B. Ferreira, “Behavioral model comparison of two gfsk demodulator topologies for ble,” in *Proceedings of the Student Forum - SForum*, M. B. Society, Ed., 2021.
- [59] Intel, “Process and packaging: Intel 6 pillars of technology innovation.” [Online]. Available: <https://www.intel.com/content/www/us/en/silicon-innovations/6-pillars/process.html>
- [60] T. Dillinger, “Sip is the new soc @ 56thdac - semiwiki.” [Online]. Available: <https://semiwiki.com/eda/cadence/272958-sip-is-the-new-soc-56th-dac/>
- [61] S. F. Johann, M. T. Moreira, L. S. Heck, N. L. Calazans, and F. P. Hessel, “A processor for IoT Applications: An Assessment of Design Space and Trade-offs,” *Microprocessors and Microsystems*, vol. 42, pp. 156–164, 2016, <https://doi.org/10.1016/j.micpro.2016.02.002>.
- [62] P. C. C. de Aguirre, E. Bonizzoni, F. Maloberti, and A. A. Susin, “A 170.7-db fom-dr 0.45/0.6-v inverter-based continuous-time sigma–delta modulator,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 67, no. 8, pp. 1384–1388, 2020.
- [63] P. C. C. de Aguirre and A. A. Susin, “A 0.6-v, 74.2-db dr continuous-time sigma–delta modulator with inverter-based amplifiers,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 10, pp. 1310–1314, 2018.
- [64] S. M. R. Santos, T. C. de Oliveira, A. G. Girardi, P. C. C. de Aguirre, W. A. M. V. Noije, and L. Compassi-Severo, “A negative resistance-based ulv variable-gain ota for low-power applications,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp. 1–1, 2023.
- [65] M. C. Rodrigues, J. L. J. Brum, A. G. Girardi, L. C. Severo, and P. C. C. de Aguirre, “A 0.5-v 10-bit asynchronous sar adc with monotonic switching for biomedical applications,” in *2023 Argentine Conference on Electronics (CAE)*, 2023, pp. 107–111.
- [66] P. C. C. De Aguirre, F. D. Da Fonseca, and A. G. Girardi, “An 8-bit 4x4 segmented current-steering dac for bipolar biphasic stimulators,” in *2022 IEEE 65th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2022, pp. 1–4.
- [67] “Products - high value-added semiconductor solutions with advanced global technology and excellent quality.” 2022. [Online]. Available: <http://www.htmicron.com.br/en/>

- [68] "Ht micron lança módulo nb-iot - aiot brasil." [Online]. Available: <https://aiotbrasil.com.br/tecnologia/ht-micron-com-colaboracao-da-qualcomm-technologies-e-da-tim-lancam-o-modulo-nb-iot/>
- [69] G. d. N. Silveira, R. F. Viana, M. J. Lima, H. C. Kuhn, C. D. P. Crovato, S. B. Ferreira, G. Pesenti, E. Storck, and R. d. R. Righi, "I4.0 pilot project on a semiconductor industry: Implementation and lessons learned," *Sensors*, vol. 20, no. 20, 2020. [Online]. Available: <https://www.mdpi.com/1424-8220/20/20/5752>
- [70] H. Cheng, J. Großschädl, B. Marshall, D. Page, and T. Pham, "RISC-V Instruction Set Extensions for Lightweight Symmetric Cryptography," 2022, <https://tches.iacr.org/index.php/TCHES/article/view/9951>.
- [71] "Core specification | bluetooth® technology website." [Online]. Available: <https://www.bluetooth.com/specifications/specs/core-specification-5-4/>
- [72] A. Paszke *et al.*, "PyTorch: An Imperative Style, High-Performance Deep Learning Library," *CoRR*, vol. abs/1912.01703, pp. 1–12, 2019. [Online]. Available: <http://arxiv.org/abs/1912.01703>
- [73] TensorFlow, "TensorFlow," 2022, <https://www.tensorflow.org/>.

Anexo 1 - Cartas de Interesse da EnSilica



Porto Alegre, 08 de novembro de 2023.

À FAPERGS

Comissão de Avaliação do Edital FAPERGS 06/2023 - Programa **TECHFUTURO** Semicondutores

Assunto: Declaração de Interesse no Projeto SoC-WiMeD

Prezados Senhores e Senhoras,

Declaramos para os devidos fins que a **EnSilica do Brasil Ltda**, inscrita no CNPJ **42.934.252/0001-38**, tem plena concordância com a sua participação na FAPERGS 06/2023 - Programa TECHFUTURO Semicondutores como **empresa colaboradora** no projeto “SoC-WiMed: SoC Wireless para Monitoramento Médico de Sinais Vitais com Foco em Segurança e Baixo Consumo de Energia”, submetido pela rede de Universidades PUCRS, UNISINOS e UNIPAMPA.

A EnSilica, com seu histórico consolidado no desenvolvimento de soluções de semicondutores e sistemas integrados, reconhece a importância e o potencial do projeto SoC-WiMeD para o avanço da tecnologia em saúde e monitoramento médico. Estamos cientes de que o projeto almeja alcançar o nível de maturidade tecnológica TRL 7, o que representa um marco significativo na aplicação prática de sistemas integrados em ambientes operacionais reais. Nosso interesse no projeto é motivado pelas seguintes razões: (1) inovação tecnológica; (2) potencial para gerar novos módulos de Propriedades Intelectuais (IPs) que serão de interesse econômico significativo; (3) parceria estratégica com a academia.

Atenciosamente,

A handwritten signature in blue ink, appearing to read "Julio Leão da Silva Junior".

Julio Leão da Silva Junior
Diretor – EnSilica do Brasil Ltda

julio.leao@ensilica.com

Carta de Interesse da EnSilica - Inglaterra



EnSilica plc
100 Park Drive
Milton Park
Abingdon, Oxon
OX14 4RY
Tel: +44 (0)118 321 7310

Oxford, November 7th, 2023.

FAPERGS: Comissão de Avaliação do Edital FAPERGS 06/2023 - Programa TECHFUTURO Semicondutores

Declaration of Interest - SoC-WiMeD Project

To Whom It May Concern,

I am writing to express our interest and support in the SoC-WiMeD project. EnSilica plc a UK based company with a subsidiary in Brazil (EnSilica do Brasil Ltda). EnSilica is pleased to support the FAPERGS 06/2023 - Programa TECHFUTURO Semicondutores as a partner company to the project called "Wireless SoC for Medical Monitoring of Vital Signs focusing on Security and Low Power Consumption" ("SoC-WiMeD"). The SoC-WiMeD project is being submitted by a consortium of South Brazilian Universities: PUCRS, UNISINOS and UNIPAMPA.

EnSilica who has a track record in developing commercially successful semiconductor products, recognises the relevance and potential of the SoC-WiMeD project mentioned above. The project has the potential to advance wearable healthcare and medical monitoring technology. We are aware that the project aims to reach the TRL 7 technological maturity level, which represents a significant achievement. Our interest in the project is motivated by the following reasons: (1) technological innovation; (2) potential to generate new Intellectual Property (IP) modules with significant commercial value; (3) strategic academia partnership (4) Developing engineering talent with relevant experience in our locality.

Yours faithfully,



A handwritten signature of Ian Lankshear in black ink.



A circular stamp with the text "EnSilica plc" at the top, "COMPLIANT WITH" in the center, "04220106" in the middle, "ENREGISTREMENT" at the bottom, and "Fonded 2000" at the very bottom.

Ian Lankshear
CEO – EnSilica plc

Anexo 2 - Carta de Interesse da HT Micron Semicondutores



Porto Alegre, 7 de Novembro de 2023

À FAPERGS

Comissão de Avaliação do Edital FAPERGS 06/2023 - Programa **TECHFUTURO** Semicondutores

Assunto: Declaração de Interesse no Projeto SoC-WiMeD

Prezados Senhores e Senhoras,

Declaramos para os devidos fins que a **HT Micron Semicondutores S.A.**, inscrita no CNPJ **11.386.376/0001-00**, participará como **empresa colaboradora** no projeto “SoC-WiMed: SoC Wireless para Monitoramento Médico de Sinais Vitais com Foco em Segurança e Baixo Consumo de Energia”, submetido pela rede de Universidades PUCRS, UNISINOS e UNIPAMPA ao Edital FAPERGS 06/2023 - Programa **TECHFUTURO** Semicondutores.

A HT Micron, com seu histórico consolidado no desenvolvimento de soluções de semicondutores e encapsulamentos para IoT, reconhece a importância e o potencial do projeto SoC-WiMeD para o avanço da tecnologia em saúde e monitoramento médico. Estamos cientes de que o projeto almeja alcançar o nível de maturidade tecnológica TRL 7, o que representa um marco significativo na aplicação prática de sistemas integrados em ambientes operacionais reais. Nossa interesse no projeto é motivado pelas seguintes razões: (1) inovação tecnológica; (2) potencial para gerar novos módulos de Propriedades intelectuais (IPs) que serão de interesse econômico significativo; (3) parceria estratégica com a academia.

Atenciosamente,

A handwritten signature in blue ink, appearing to read "Willyan Hasenkamp".

Willyan Hasenkamp
Diretor de Tecnologia Avançada
HT Micron Semicondutores S.A.