

LABORATÓRIO 3 - SIMULAÇÃO DE PORTAS LÓGICAS NAND E NOR

Fernando Moraes
11/abril/2022

Objetivo deste Laboratório

Analisar a influência do número de transistores em série no atraso das portas lógicas e a posição do chaveamento (qual entrada está mudando de estado).

Fazer download do laboratório 3: <http://www.inf.pucrs.br/moraes/microel/lab3>
`wget http://www.inf.pucrs.br/moraes/microel/lab3/nand6.sp --no-check-certificate`
`wget http://www.inf.pucrs.br/moraes/microel/lab3/st65.scs --no-check-certificate`

Observar na descrição Spice: (1) tensão de alimentação 1 Volt (linha 86); (2) processo 65nm (linha 11), com arquivo de tecnologia fornecido por fabricante; (3) comandos PWL (linhas 87-88).

Simulação da porta NAND [6 pt]

Abrir o *netlist* nand6.sp e observar neste arquivo:

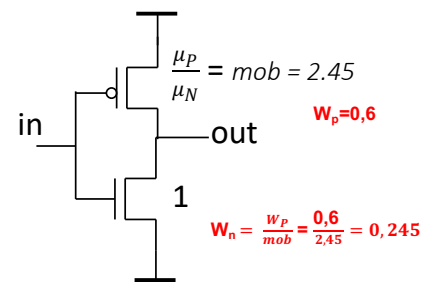
- Linha 14: `.param Cload=3fF mob=2.45 wp=0.6 wn='2*wp/mob'`. Parâmetros: **Cload**: carga de saída de cada porta NAND; **mob**: relação de mobilidade (μ_n/μ_p) para esta tecnologia; **wp**: dimensões W_P em μm ; **wn**: dimensões W_N em μm ($2*wp/mob$).
- Exemplo para a descrição da porta lógica NAND3:

```
.SUBCKT nand3 o1 s1 s2 s3 vcc
M1 o1 s1 vcc vcc psvtgp w=wp l=0.06
M2 o1 s2 vcc vcc psvtgp w=wp l=0.06
M3 o1 s3 vcc vcc psvtgp w=wp l=0.06
M10 0 s1 4 0 nsvtgp w=wn l=0.06
M11 4 s3 2 0 nsvtgp w=wn l=0.06
M12 2 s2 o1 0 nsvtgp w=wn l=0.06
.ENDS nand3
```

Os transistores P, na porta NAND, por estarem em paralelo, possuem o mesmo dimensionamento. Neste exemplo: **0.6 μm** . Os transistores N, em **série**, devem ter a relação de mobilidade respeitada, devendo ter o dimensionamento de um inversor equivalente:

$$W_N = W_P * \frac{\mu_P}{\mu_N} = \frac{W_P}{\text{relação mobilidade}}$$

Os transistores N devem ter o tamanho definido de tal forma que a soma dos inversos dos W seja igual à W_P/mob (princípio do método *logic effort*). Assim, o tamanho individual de cada W_N para a NAND de 2 entradas é ' $2*W_P/mob$ '. No exemplo, obtemos **$W_n=0,49 \mu m$** . A soma dos inversos de W_n resulta em **0,245 μm** , e a relação $0,6/0,245=2,45$, o que confere com a relação de mobilidade.



Para estudarmos o efeito dos transistores em série, mantemos o dimensionamento das demais portas NAND (NAND3 a NAND6) igual ao dimensionamento da NAND2.

Simulação da porta NAND [6 pt]

RESPONDER:

- [0,5 pt] Apresentar as formas de onda com as entradas (I1 e I2) e as saídas das portas lógicas *nand* de 2 a 6 entradas, como abaixo. Os estímulos foram escritos de tal forma que:
 - I1 é a entrada que está mudando de estado mais próximo de **gnd**;
 - i2 é a entrada que está variando mais próxima da **saída**;
 - as demais entradas ficam em 1, para os transistores N em série conduzirem.



- [0,5 pt] Preencher a tabela abaixo para as portas NAND. Usar os tempos em pico-segundos - o arquivo *nand6.measure* já fornece os tempos em pico-segundo.

N# Entradas	descida_out (ps)	descida_gnd (ps)	subida_out (ps)	subida_gnd (ps)
2	11,9969	13,2951	12,1361	14,2752
3				
4				
5				
6				

O NETLIST SPICE PRECISA SER COMPLETADO COM AS MEDIDAS DAS NANDS 3 a 6

descida_out: t2_2_fo, t2_3_fo, t2_4_fo, t2_5_fo, t2_6_fo (fall, transiç. em i2 – próximo à saída)
 descida_gnd: t1_2_fs, t1_3_fs, t1_4_fs, t1_5_fs, t1_6_fs (fall, transição em i1, próximo à gnd)
 subida_out: t4_2_ro, t4_3_ro, t4_4_ro, t4_5_ro, t4_6_ro (rise, transição em i2)
 subida_gnd: t3_2_rs, t3_3_rs, t3_4_rs, t3_5_rs, t3_6_rs (rise, transição em i2)

- [1 pt] Plotar um gráfico com **4 curvas**, uma para cada coluna da tabela acima. No eixo X teremos o número de entradas, e no eixo Y o atraso em pico-segundos para as 4 curvas.
- [1 pt] Como pode-se explicar o impacto do número de transistores em série no plano N na porta NAND no tempo de propagação de descida?
- [1 pt] O tempo de propagação de descida é mais afetado quando a entrada que varia está próxima de *gnd* ou da *saída*? Explicar a razão.
- [1 pt] Porque o tempo de propagação de subida aumenta, apesar de os transistores P estarem com o mesmo dimensionamento e em paralelo?
- [1 pt] Utilizado o método *logic effort* alterar o dimensionamento dos transistores N (sugestão, criar

parâmetros $w2$, $w3$, $w4$, $w5$ e $w6 \rightarrow w2='2*wp/mob$, $w3=...$) de tal forma que o tempo de propagação de **descida próximo à saída** ($t2_2_fo$, ..., $t2_6_fo$) para as 5 portas NAND sejam praticamente iguais (haverá uma diferença de 1,204 ps apenas). Preencha a tabela abaixo.

N# Entradas	descida_out (ps)
2	11.9912
3	
4	
5	
6	

8. [1 pt] Plotar um gráfico com 4 curvas (como na questão 3), usando o *logic effort* para equalizar os tempos de propagação de descida quando a entrada que muda de estado está mais próxima da saída. Qual dos 4 tempos foi o mais penalizado (descida gnd, descida out, subida out, subida gnd)? Por quê?

Simulação da porta NOR [4 pt]

- Escrever o *netlist* para simular portas NOR, de 2 a 6 entradas. Modelo com a NOR2:

```
* circuitos nor // primeira linha deve ser comentário
simulator lang=spectre insensitive=no
include "st65.scs"
simulator lang=spice
```

```
.param Cload=3fF mob=2.45 wn=0.15 wp='wn*mob*2'
```

```
.SUBCKT nor2 o1 s1 s2 vcc
M1 10 s1 vcc vcc psvtgp w=wp l=0.06
M2 o1 s2 10 vcc psvtgp w=wp l=0.06
M10 0 s1 o1 0 nsvtgp w=wn l=0.06
M11 0 s2 o1 0 nsvtgp w=wn l=0.06
.ENDS nor2
```

```
.SUBCKT nor3 o1 s1 s2 s3 vcc
... completar ...
.ENDS nor3
```

* Lembrar: entrada s1 próxima à vcc e entrada s2 próxima à saída

```
.SUBCKT nor4 o1 s1 s2 s3 s4 vcc
... completar ...
.ENDS nor4
```

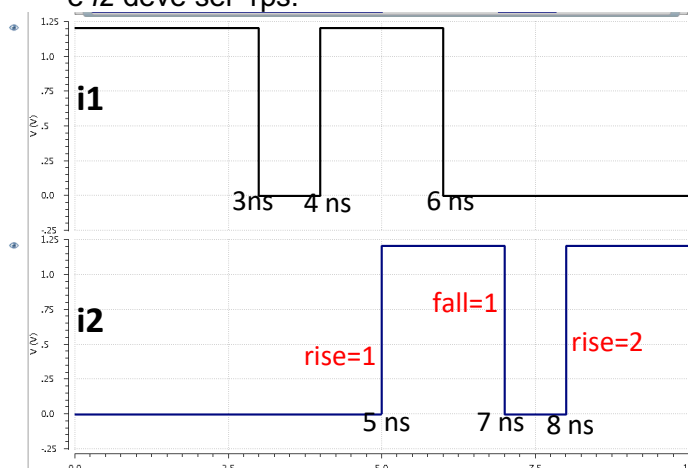
```
.SUBCKT nor5 o1 s1 s2 s3 s4 s5 vcc
... completar ...
.ENDS nor5
```

```
.SUBCKT nor6 o1 s1 s2 s3 s4 s5 s6 vcc
... completar ...
.ENDS nor6
```

```
** circuito propriamente dito
X1 o2 i1 i2 vcc nor2
X2 o3 i1 i2 i3 vcc nor3
X3 o4 i1 i2 i3 i4 vcc nor4
X4 o5 i1 i2 i3 i4 i5 vcc nor5
X5 o6 i1 i2 i3 i4 i5 i6 vcc nor6
```

```
** alimentações
vcc vcc 0 dc 1.0
```

lembrar que o slew (rampa) das entradas $i1$ e $i2$ deve ser 1ps.



```

v1 i1 0 pwl(... completar ...)
v2 i2 0 pwl(... completar ...)
v3 i3 0 dc 0      ****  entradas não utilizadas devem estar em 0 (zero)
v4 i4 0 dc 0
v5 i5 0 dc 0
v6 i6 0 dc 0

.tran 0.001N 10N  ***  tempo de simulação aumentado para 10 ns

C11 o2 0 Cload
C12 o3 0 Cload
C13 o4 0 Cload
C14 o5 0 Cload
C15 o6 0 Cload

.measure tran n2_subida_vdd  trig v(i1) val=0.5 td=2n fall=1  targ v(o2) val=0.5 rise=1
.measure tran n2_descida_vdd trig v(i1) val=0.5 td=2n rise=1  targ v(o2) val=0.5 fall=1
.measure tran n2_subida_out  trig v(i2) val=0.5 td=2n fall=1  targ v(o2) val=0.5 rise=2
.measure tran n2_descida_out trig v(i2) val=0.5 td=2n rise=2  targ v(o2) val=0.5 fall=2

.measure tran t1_n2sv  param = '1e12*n2_subida_vdd'
.measure tran t2_n2dv  param = '1e12*n2_descida_vdd'
.measure tran t3_n2so  param = '1e12*n2_subida_out'
.measure tran t4_n2do  param = '1e12*n2_descida_out'

...completar as medidas para outras NOR...

.END

```

RESPONDER:

- [1 pt] Apresentar as formas de onda com as entradas (I1 e I2) e as saídas das **nor** 2 a 6 entradas (questão semelhante à 1 da simulação das portas *nand*)
- [1 pt] Para as portas NOR fazer uma **tabela** equivalente à NAND e plotar um gráfico com **4 curvas**, uma para cada coluna da tabela. No eixo X teremos o número de entradas, e no eixo Y os tempos de propagação.

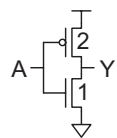
Valores iniciais para referência:

N# Entradas	descida_out (ps)	descida_vcc (ps)	subida_out (ps)	subida_vcc (ps)
2	19,3216	24,4951	17,4752	20,0604
3				
4				
5				
6				

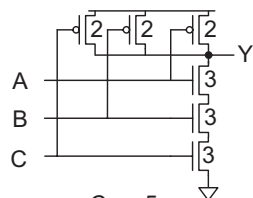
- [1 pt] Como pode-se resumir o impacto do número de transistores em série na porta NOR em função do número de transistores em série no plano P no **tempo de propagação de subida**?
- [1 pt] O **tempo de propagação de subida** é mais afetado quando a entrada que varia está próxima de vcc ou da saída? Explicar a razão.

MATERIAL PARA CONSULTA:

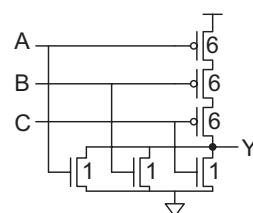
Livro: RABAEY, 2ª ED, capítulo 6, Seções 6.1 e 6.2.
 WESTE: 4.4.1 Logical Effort:



(a) $C_{in} = 3$
 $g = 3/3$



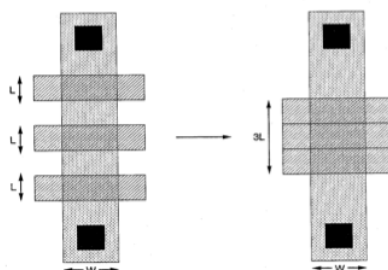
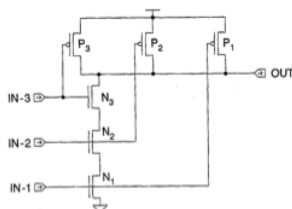
(b) $C_{in} = 5$
 $g = 5/3$



(c) $C_{in} = 7$
 $g = 7/3$

FIGURE 4.22 Logic gates sized for unit resistance

Transistors in Series: CMOS NAND



- Several devices in series each with effective channel length L_{eff} can be viewed as a single device of channel length equal to the combined channel lengths of the separate series devices
 - e.g. 3 input NAND: a single device of channel length equal to $3L_{eff}$ could be used to model the behavior of three series devices each with L_{eff} channel length, assuming there is no skew in the increasing gate voltage of the three N pull-down devices.
 - The source/drain junctions between the three devices essentially are assumed as simple zero resistance connections
 - During saturation transient, the bottom two devices will be in their linear region and only the top device will be pinched off.