

LABORATÓRIO 2 - SIMULAÇÃO SPICE DO INVERSOR

Revisão: 24/agosto/2023
Fernando Moraes

Login na máquina com o software de simulação:

```
ssh -X <user>@paxos.inf.pucrs.br -p 8888
```

Se necessário, configurar o ambiente para a simulação:

```
source /soft64/source_graph ; module load ic mmsim
```

Baixar os arquivos com o comando:

```
wget https://fgmoraes.github.io//microel/lab2/lab2.zip
unzip lab2.zip
cd lab2
```

O objetivo deste laboratório é realizar 6 simulações com o inversor:

1. Curva DC (1 pt)
2. Dimensionamento (2 pts)
3. Carga na Saída (3 pts)
4. Efeito da rampa de entrada (2 pts)
5. Efeito de regeneração de nível lógico no inversor (1 pt)
6. Oscilador em Anel (1 pt)

Os seguintes arquivos são utilizados:

lab2	
├─ inv.sp	[descrição do inversor na forma de subcircuito]
├─ inv0_dc.sp	
├─ inv1_w.sp	
├─ inv2_load.sp	
├─ inv3_rampa.sp	
├─ inv4_serie.sp	[arquivo incompleto – deve ser editado]
├─ inv5_anel_parcial.sp	[arquivo incompleto – deve ser editado]
└─ st65.scs	[arquivo de tecnologia]

O arquivo **inv.sp** é o principal arquivo utilizado neste laboratório, pois descreve o inversor e a respectiva tecnologia. **Este arquivo é empregado em todas as simulações deste laboratório.** Observar que o dimensionamento N e P são dados pelas variáveis *wp* e *wn*, as quais são definidas nos arquivos que instanciam o *inv.sp*.

```
simulator lang=spectre insensitive=no
include "st65.scs"
simulator lang=spice

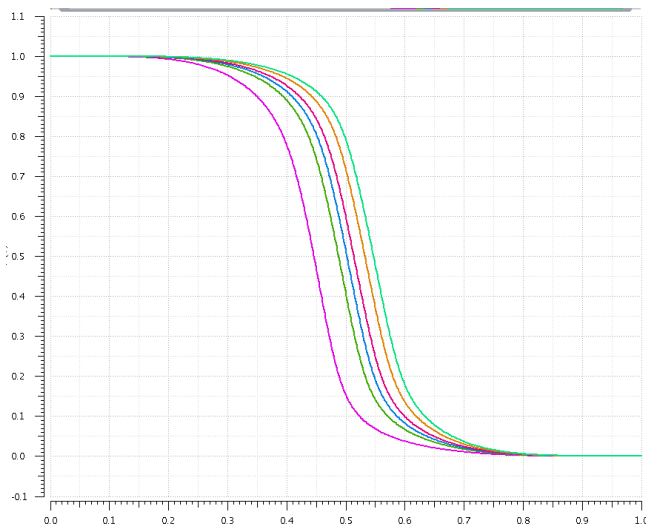
* descrição do inversor na forma de um subcircuito
*
.subckt inv in out vcc
M1 out in vcc vcc psvtgp w=wp l=0.06
M2 out in 0 0 nsvtgp w=wn l=0.06
.ends inv

vcc vcc 0 dc 1.0
```

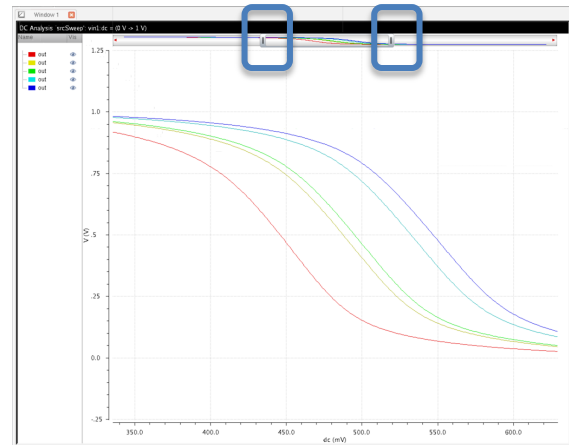
Os arquivos com sufixo *.sp* contêm a descrição *spice* do circuito, enquanto que o arquivo *st65.scs* define a tecnologia que iremos empregar (65 nm). **O arquivo de tecnologia deve estar no mesmo diretório do arquivo contendo a descrição *spice*.**

1) SIMULAÇÃO DC DE UM INVERSOR (1 ponto)

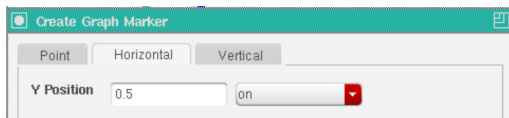
- Simular o arquivo inv0_dc.sp (*spectre e viva*). Esta é uma simulação DC, em que se plota a tensão de entrada ($v(iv)$, eixo x) versus a tensão de saída de saída ($v(out)$, eixo y). Neste arquivo mantém-se $W_n=0,2 \mu m$ e W_p varia de $0,2 \mu m$ a $1,0 \mu m$.
- A descrição do circuito compreende um inversor conectado à uma capacitância de $5fF$:
`X1 iv out vcc inv`
`C1 out 0 5fF`
- Na interface gráfica para cada simulação *dc* plotar o $v(out)$ para cada valor de W_p (W_n constante, sendo igual a $W_n=0.2 \mu m$)



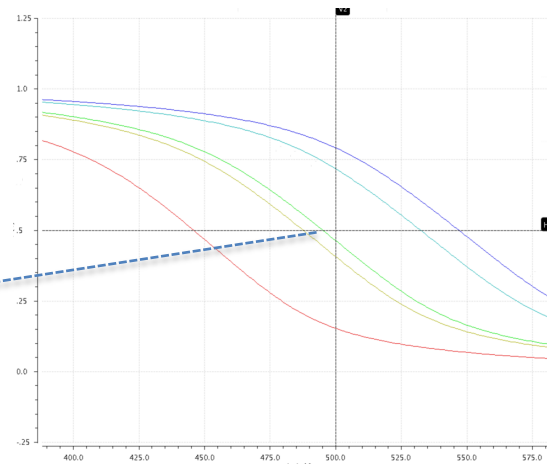
Use as barras superiores para zoom



Usar o menu “Marker” e nele “Create Marker”, criando 2 marcadores, um vertical e outro horizontal, em 0.5 (0.5V). A **interseção** dos marcadores corresponde à meia excursão da entrada com a meia excursão da saída.



A terceira curva representa (aproximadamente) a transição na meia excursão da tensão de entrada



Responda:

- 1.1. [0,5pt] No relatório apresentar os gráficos de simulação como acima, **inserindo labels** sobre as mesmas indicando o dimensionamento W_p (por exemplo, 0.2). Explique o comportamento das curvas. Porque ocorre o deslocamento das curvas para a direita com o aumento do W_p ?
- 1.2. [0,5pt] Qual o valor da relação W_p/W_n na figura onde se ilustra o ponto onde ocorre a transição da entrada e saída na meia excursão da alimentação? **O que esta relação indica?**

2) SIMULAÇÃO DE UM INVERSOR PARA DIFERENTES DIMENSIONAMENTOS DE TRANSISTOR (2 pontos)

Simular o arquivo: **inv1_w.sp**. Nesta simulação avalia-se o atraso de um inversor em função do dimensionamento dos transistores, variando-se o W_p de 0.2 a 1.0 μm (W_n é constante e igual a 0.2 μm). **Plotar $v(\text{out})$ em relação ao tempo:**

Observar no arquivo *spice* os comandos de medida:

```
* mede os tempos de propagacao
.measure tran pHL trig v(iv) val=0.5 td=5n rise = 1
+          targ v(out) val=0.5          fall = 1

.measure tran pLH trig v(iv) val=0.5 td=5n fall = 1
+          targ v(out) val=0.5          rise = 1

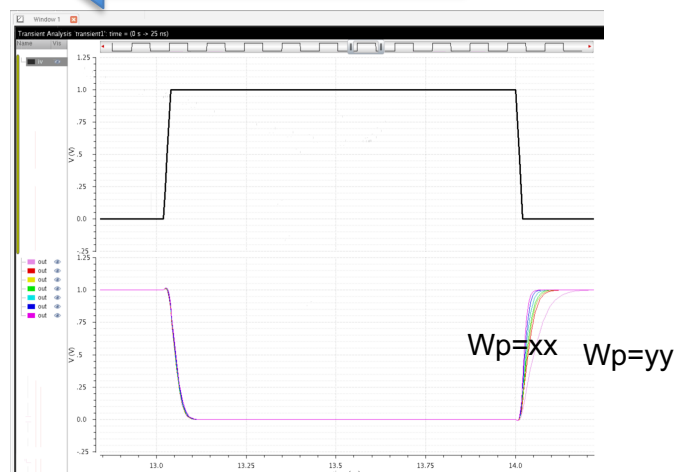
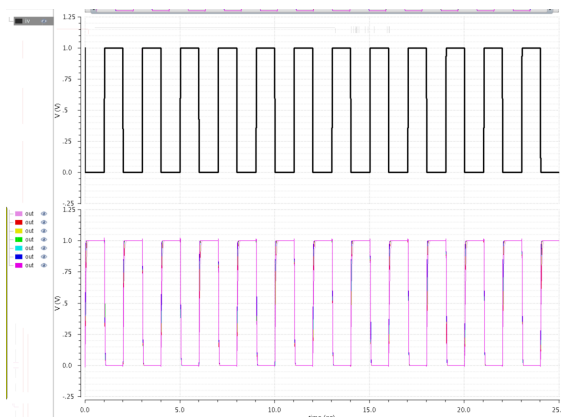
.measure tran TD param = 'pHL * 1e12'
.measure tran TS param = 'pLH * 1e12'
```

Nestes comandos estamos medindo os tempos de propagação para descida (**TD**) e subida (**TS**), em picosegundos (10^{-12})

O resultado é dado no arquivo **inv1_w.measure** (repetido 7 vezes, 7 w_p diferentes) :

```
Measurement Name : transient1
Analysis Type    : tran
diff             = -18.7878
pHl              = 2.15172e-11
pLh              = 4.03049e-11
td               = 21.5172
ts               = 40.3049
```

Tempo em pisesegundo



Plote na parte superior da simulação $v(\text{iv})$ (entrada), e na parte inferior as 7 curvas $v(\text{out})$ (saída). É uma interface gráfica padrão, só arrastar o nome da forma de onda para onde se deseja colocá-la.

Pede-se:

- 2.1. [0,5pt] Apresentar no relatório as formas de onda como apresentado na figura da direita, colocando label **$w_p=xx$** na curva com menor inclinação e **$w_p=yy$** na curva com maior inclinação (**xx e yy devem corresponder ao valor de W_p**). Fazer uma tabela para os tempos de propagação de subida e descida (arredondar para duas casas decimais). **Os dados dos comandos de medida estão no arquivo **inv1_w.measure****. A coluna |TD-TS| corresponde à medida *diff* no arquivo *measure*, e deve ser apresentado o valor absoluto (módulo)

Dimensão Wp (microns)	T. Descida (ps)	T. Subida (ps)	TD-TS
0,2			
0,4			
0,45			
0,5			
0,6			
0,8			
1,0			

- 2.2. [0,25pt] Notar que apesar do transistor N manter a mesma dimensão (0.2 μm), o tempo de propagação de descida (TD) aumentou com o aumento do transistor P. Pesquisar a razão e explicar.
- 2.3. [1,0pt] Fazer um gráfico para TD e TS. O gráfico terá duas curvas, no eixo X os dimensionamentos do transistor P (0,2, 0,4, 0,45, 0,5, 0,6, 0,8, 1,0), e no eixo y os tempos TD e TS. **Cuidar a escala do eixo X!**
- 2.4. [0,25pt] Sendo $w_n=0.2 \mu\text{m}$, para qual tamanho de W_p/W_n os tempos de subida e descida igualam-se (ou possuem a menor |TD-TS|)? O que esta "igualdade" entre os tempos indica?

3) SIMULAÇÃO DE UM INVERSOR PARA DIFERENTES CONDIÇÕES DE CARGA (3 pontos)

- Simular o arquivo: **inv2_load.sp**. Nesta simulação:
- avalia-se o atraso do inversor em função da carga de saída, variando-se o Cl de **1fF** a **50 fF**.
 - observa-se a **corrente consumida** durante o chaveamento (mesmo artifício empregado na descrição spice, fonte de tensão nula com medida de corrente sobre a mesma):

```
X1 iv out vcc inv
vii out out2
C3 out2 0 cl
```

- Notar que neste circuito estamos medindo também a potência média consumida pelo circuito:

```
.measure cons_medio AVG POWER FROM=0n TO=25n
```

- Os comandos de medida no arquivo de simulação já fornecem o atraso em ps e a dissipação de potência em microwatt:

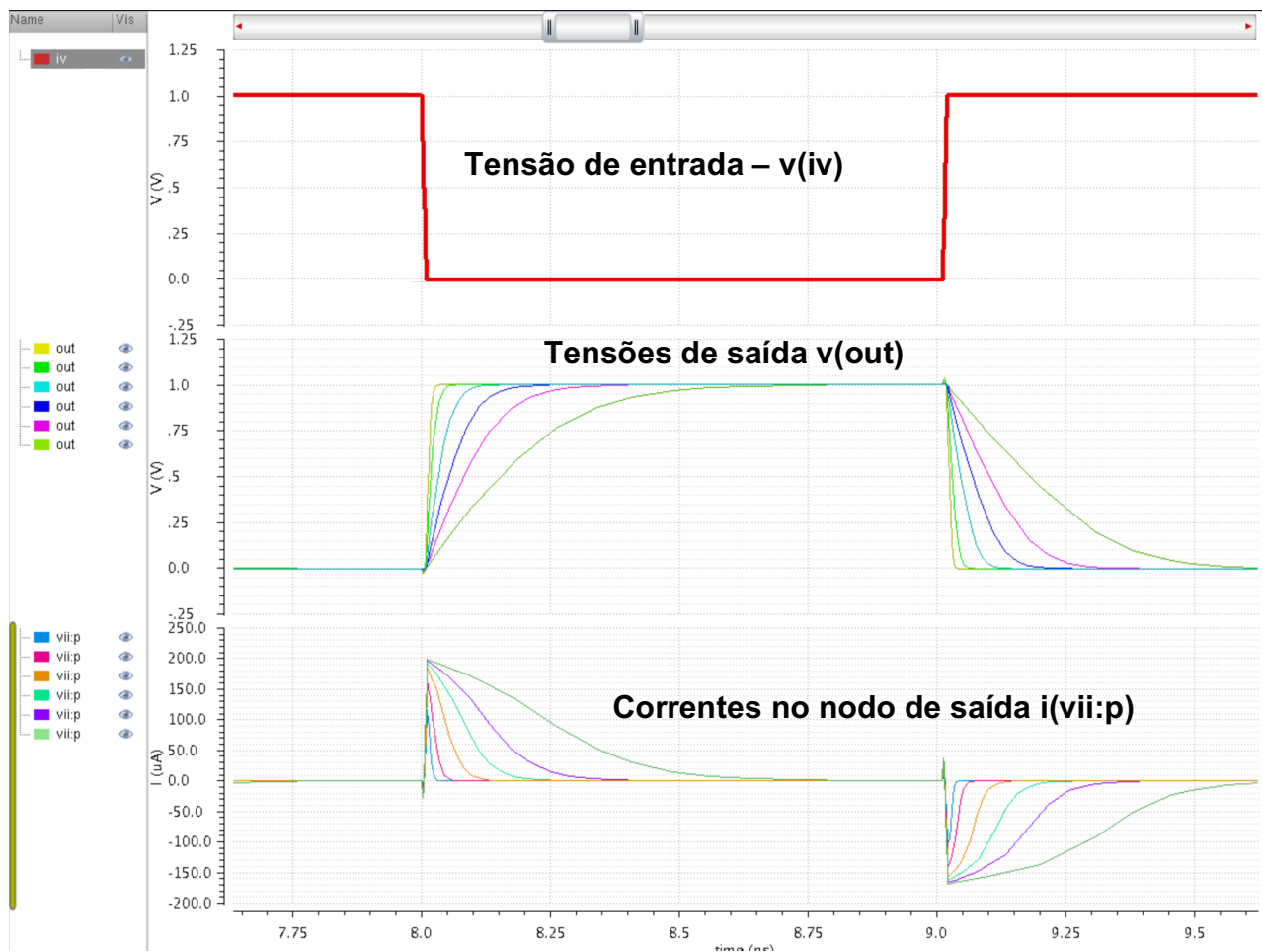
```
.measure tran POT param = 'cons_medio * 1e6'
.measure tran TD param = 'pHL * 1e12'
.measure tran TS param = 'pLH * 1e12'
```

- A capacitância de entrada de um inversor com $W_n=0.2 \mu\text{m}$ e $W_p=0.5 \mu\text{m}$ é dada por:

$$C_{gate} = C_{ox} * (W_p + W_n) * L = 18,367 * (0,2 + 0,5) * 0,06 = \mathbf{0,77 \text{ fF}}$$

Onde:

- ϵ_{ox} : permissividade elétrica do óxido de silício - $34,53 \cdot 10^{-12} \text{ F/m}$
- t_{ox} : espessura da junção do gate - $1,88 \cdot 10^{-9} \text{ m}$
- Capacitância do óxido de silício $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{34,53 \cdot 10^{-12}}{1,88 \cdot 10^{-9}} = 0,018367 \frac{\text{F}}{\text{m}^2} = 18,367 \frac{\text{fF}}{\mu\text{m}^2}$



Pede-se:

- 3.1. [0,5pt] Plotar a tensão de entrada ($v(iv)$), as tensões de saída ($V(out)$), e as correntes ($i(vii)$), como acima. Nas curvas de tensão e corrente indicar a carga de saída utilizando *labels*.
- 3.2. [0,5pt] Fazer uma tabela para os tempos de subida e descida, potência média consumida e o *fanout* equivalente. Os dados de medida são obtidos no arquivo `inv2_load.measure`.

O *fanout* equivalente é obtido dividindo-se a carga de saída (C_l) pela capacitância do inversor (C_{gate}).

Carga de Saída (fF)	TD (em ps)	TS (em ps)	Power (em μ W)	Fanout equivalente
1				
3				
8				
15				
25				
50				

- 3.3. [0,5pt] Trace um gráfico com a evolução dos tempos de subida e descida em função da carga de saída. A evolução do atraso é linear com a variação da carga?
- 3.4. [0,5pt] Trace um gráfico com a evolução do consumo de potência em função da carga de saída. A evolução do consumo de potência é linear com a variação da carga?
- 3.5. [0,5pt] Porque a energia consumida por uma porta lógica CMOS aumenta com o aumento da carga de saída? Utilizar como referência a curva de corrente obtida na simulação.
- 3.6. [0,5pt] Qual a corrente do inversor quando o mesmo não está mudando de estado? Passe o mouse sobre a curva de corrente para obter o valor de corrente quando não há transição de estado. Qual a origem desta corrente?

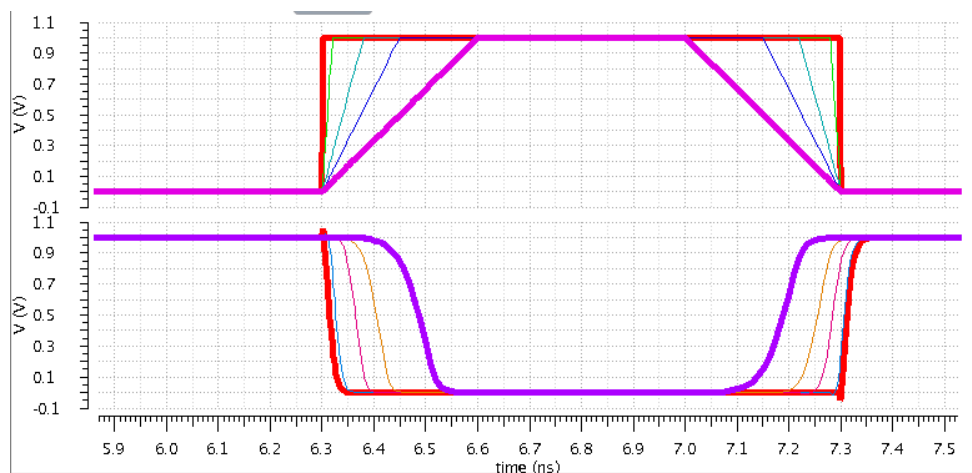
(4) SIMULAÇÃO DE UM INVERSOR COM DIFERENTES RAMPAS DE ENTRADA (2 pontos)

- Simular o arquivo inv3_rampa.sp. Nesta simulação, ao contrário das anteriores, gera-se apenas um arquivo de saída. Não há o comando *alter* na descrição. As curvas abaixo ilustram o efeito da rampa de entrada na saída do inversor. Na parte superior temos $v(i1)$ a $v(i5)$ e na parte inferior $v(o1)$ a $v(o5)$.

```

vin1 i1 0 pulse (1 0 1.298n 0.002N 0.002N 1N 2N)  ** rampa de 2 ps
vin2 i2 0 pulse (1 0 1.28n 0.02N 0.02N 1N 2N)
vin3 i3 0 pulse (1 0 1.22n 0.08N 0.08N 1N 2N)
vin4 i4 0 pulse (1 0 1.15n 0.15N 0.15N 1N 2N)
vin5 i5 0 pulse (1 0 1.0n 0.3N 0.3N 1N 2N)          ** ** rampa de 300 ps
  
```

Pede-se:



- 4.1. [0,5pt] Plotar as tensões de entrada (v_{in1} a v_{in5}) e as tensões de saída (v_{o1} a v_{o5}), como acima. No *plot* indicar para cada curva qual a inclinação das rampas de entrada (em *ps*) utilizando *labels*. Para determinar a rampa de entrada analisar os comandos *pulse* nas linhas 12 a 23 do arquivo *spice*.
- 4.2. [0,5pt] Fazer uma **tabela** para os diferentes tempos de subida e descida, conforme os exercícios anteriores. Usar como parâmetro a inclinação da entrada. Preencher a coluna 'rampa' a partir dos comandos *pulse*.

Rampa (ps)	TD (em ps)	TS (em ps)

- 4.3. [1,0pt] Fazer um resumo explicando a influência no atraso no inversor dos seguintes parâmetros:
- influência do tamanho do transistor
 - da carga
 - da rampa no atraso do inversor

Pesquise (e apresente) as equações de atraso do inversor e procure comparar as equações com o obtido na simulação.

(5) SIMULAÇÃO DE INVERSORES EM SÉRIE (1 ponto)

- ☐ Simular o arquivo **inv4 serie.sp**.
- ☐ O arquivo spice contém 5 inversores em série:

```
X1 i a vcc inv
X2 a b vcc inv
X3 b c vcc inv
X4 c d vcc inv
X5 d e vcc inv
c1 d 0 15fF
```

- ☐ O plot abaixo ilustra a entrada do circuito (V(i)) e a saída dos inversores X1 (v(a)), X2 (v(b)) e X3 (v(c)). A entrada v(i) excursions apenas entre 0,49 e 0,51 V:

```
vin i 0 pulse (na nb 0 0.02N 0.02N 1N 2N)
.param na=0.49 nb=0.51
```

A saída do primeiro inversor (X1), no sinal 'a', provê uma excursão entre (0,39/0,54). Em X2 temos (0,21/0,92). Na saída de X3 (V(c)) já temos os níveis lógicos completamente restaurados. Esta simulação mostra a capacidade de regeneração dos níveis lógicos pelo inversor.

Pede-se:

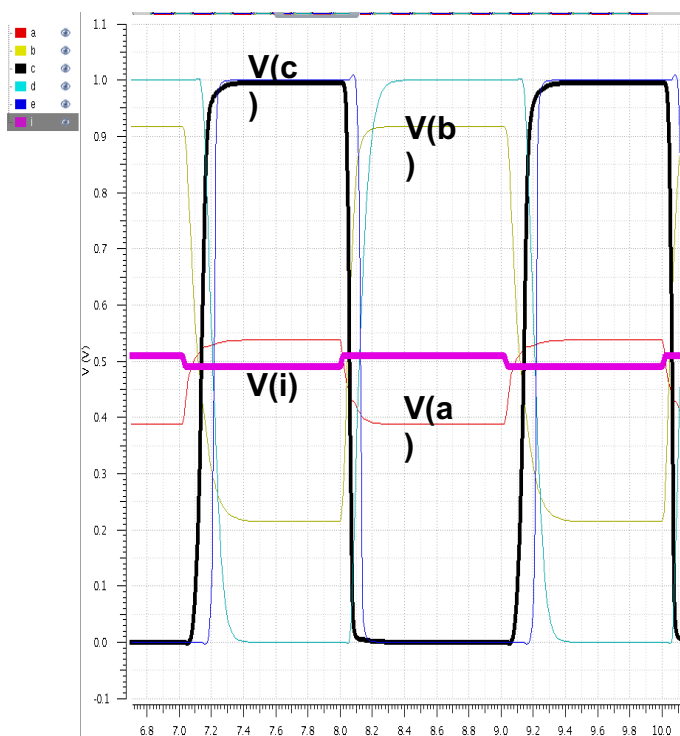
- 5.1. [0,5pt] Defina a excursão mínima do sinal de entrada para que ao final de 2 inversores (v(b)) o sinal esteja restaurado (**tem de ser de forma empírica, aumentar gradualmente a excursão do sinal de entrada em vin com passo de 0.005 volts – 5 mV**). Apresentar uma curva para cada teste, inserindo em cada curva os valores de excursão em v(i), v(a), v(b).

Critério para regeneração do sinal:

0: menor que 0,05V (50 mV)

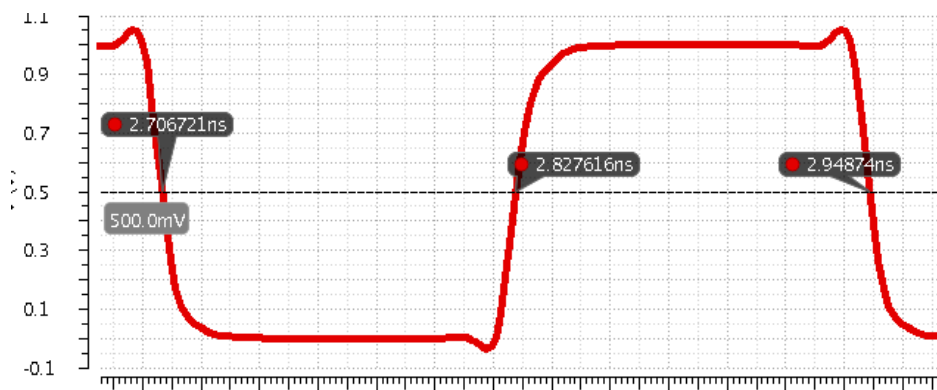
1: maior que 0,95V (950 mV)

- 5.2. [0,5pt] Por deve-se aumentar a excursão do sinal para ocorrer a regeneração dos níveis lógicos?



(6) SIMULAÇÃO DE UM ANEL DE INVERSORES (1 ponto)

COMPLETAR o arquivo `inv5_anel_parcial.sp`, de forma que o mesmo venha a ter 15 inversores em série. O objetivo desta simulação é determinar o período de oscilação dos inversores em anel. O resultado obtido, graficamente, para o sinal de saída do último inversor está desenhado abaixo. Pelos *labels* obtidos temos o período igual a **0,242019 ns** ($2,94874 - 2,706721$) (usei *marker* → *create marker* → *horizontal marker* em 0.5 volts), correspondendo a uma frequência de 4,13 GHz.



Dois métodos de medida são utilizados. O primeiro utiliza os tempos de subida e descida dos inversores:

```
.measure tran tf      trig v(n)  val=0.5  td=1n rise = 10
+                   targ v(o)  val=0.5      fall = 10
.measure tran tr      trig v(n)  val=0.5  td=1n fall = 10
+                   targ v(o)  val=0.5      rise = 10

.measure tran periodo param = '(tf+tr) * 1e9 * 15'
.measure tran freq     param = '1/periodo'
```

O segundo método mede a onda de saída apenas, entre 2 subidas em $v(o)$:

```
.measure tran periodo_o trig v(o)  val=0.5  td=1n rise = 2
+                   targ v(o)  val=0.5      rise = 3
```

No arquivo de medida (`inv5_anel.measure`) obtém-se:

Measurement Name	: transient1
Analysis Type	: tran
freq	= 4.1318 → frequência de oscilação igual a 4,13 GHz
periodo	= 0.242025
periodo_o	= 2.4202e-10
tf	= 8.18305e-12
tr	= 7.95197e-12

Estas medidas correspondem a um tempo de propagação na descida igual a 8,18 ps e na subida 7,95 ps. Assim, o período de oscilação corresponde a 242 ps, o que confere com os dois comandos *measure* (período e período_o), mostrando que os dois métodos de medida são equivalentes.

Pede-se:

- 6.1. [1,0pt] Utilizando o comando `.alter`, modificar o `wp` do tamanho original até 50 μm (0.45, 1, 2, 4, 6, 8, 10, 12, 14, 18, 20, 25, 30, 35, 40, 45, 50) - o W_n é função do W_p . **Plotar** um gráfico tendo como eixo x o dimensionamento de wp e no eixo y a frequência obtida. **É possível chegar com 15 estágios em 5 GHz? Argumente a sua resposta.**

```
.param wp=0.45 wn='wp/2.25'
.alter
.param wp=1 wn='wp/2.25'
.alter
.....
```

FIM DO LABORATÓRIO 2