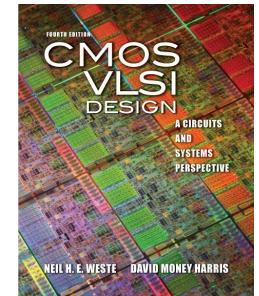
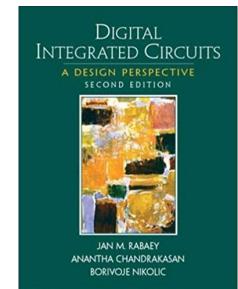


Microeletrônica

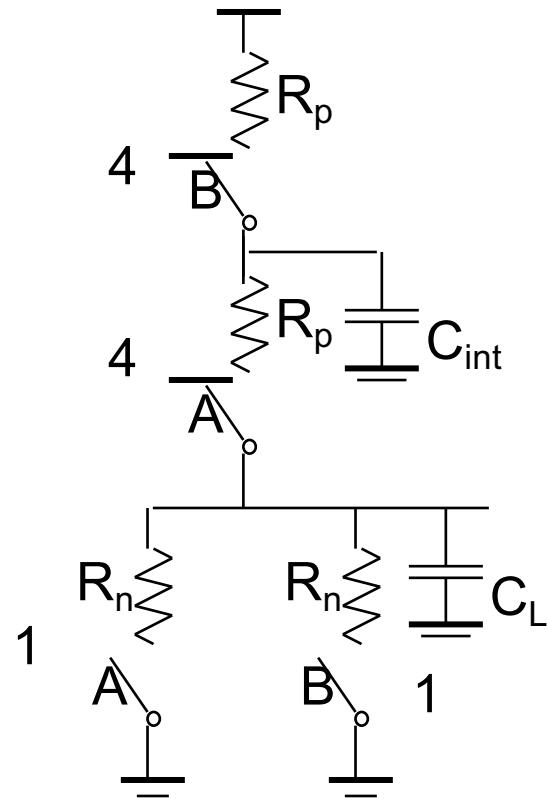
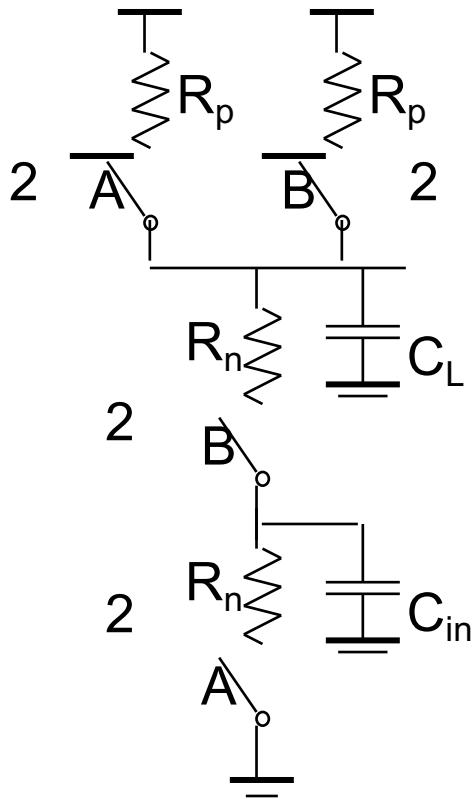
Aula #4 → Dimensionamento de Portas Lógicas

- Professor: Fernando Gehm Moraes
- Livro texto:
Digital Integrated Circuits a Design Perspective - Rabaey
C MOS VLSI Design - Weste



Transistor Sizing

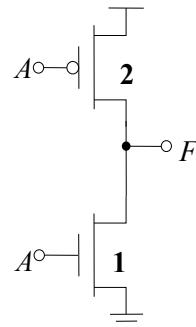
- Transistores em paralelo – pior caso
- Transistores em série – inverso da soma dos inversos de W



Dimensionamento na prática

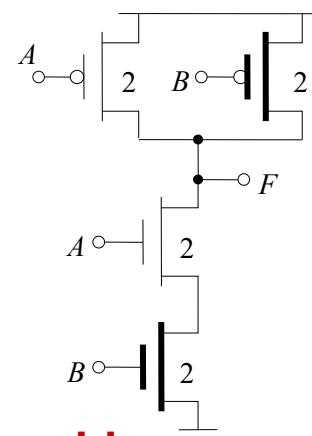
□ .param w_ref=0.2 mob=2.029 cload=4fF

```
.subckt inv out in vcc
M1 out in vcc vcc psvtlp w='w_ref*mob' l=0.06
M2 out in 0 0 nsvtlp w=w_ref l=0.06
.ends inv
```



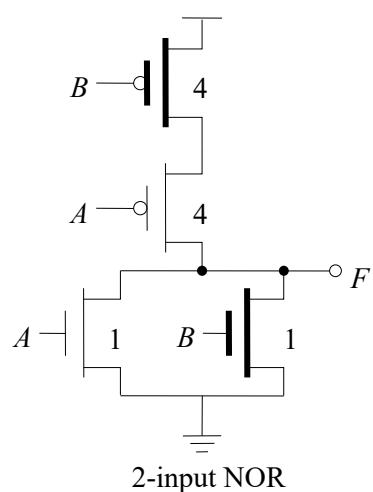
Inversor (ps):
t_inv_des = 29.6233
t_inv_sub = 29.6239

```
.SUBCKT nand2 o1 s1 s2 vcc
M1 o1 s1 vcc vcc psvtlp w='w_ref*mob' l=0.06
M2 o1 s2 vcc vcc psvtlp w='w_ref*mob' l=0.06
M3 0 s1 2 0 nsvtlp w='w_ref*mob' l=0.06
M4 2 s2 o1 0 nsvtlp w='w_ref*mob' l=0.06
.ENDS nand2
```



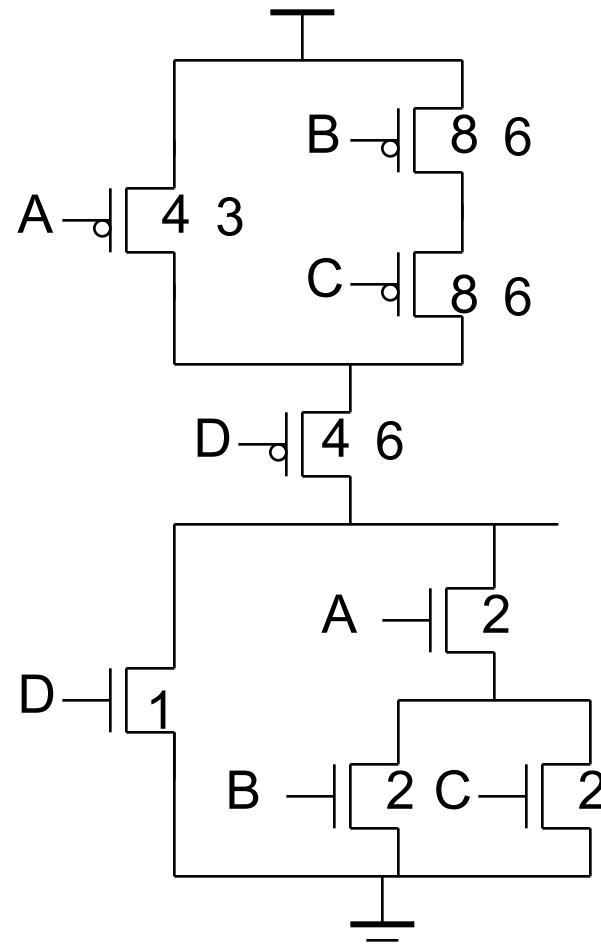
Nand (ps):
t_na2do = 28.3164
t_na2so = 28.4461
t_na2dg = 29.8823
t_na2sg = 32.0077

```
.SUBCKT nor2 o1 s1 s2 vcc
M1 10 s1 vcc vcc psvtlp w='w_ref*mob*2' l=0.06
M2 o1 s2 10 vcc psvtlp w='w_ref*mob*2' l=0.06
M10 0 s1 o1 0 nsvtlp w=w_ref l=0.06
M11 0 s2o1 0 nsvtlp w=w_ref l=0.06
.ENDS nor2
```



Nor (ps): **20%+ par vdd**
t_no2do = 29.6246 **29.7321**
t_no2so = 31.0468 **28.5545**
t_no2dv = 36.0278 **31.9429**
t_no2sv = 34.5164 **32.1557**

Transistor Sizing a Complex CMOS Gate



$$\text{OUT} = \overline{\overline{D + A \cdot (B + C)}}$$

Atraso em uma Porta Lógica

- Atraso é função de:
 - τ – atraso unitário, dependente do processo (atraso de um inverter tendo por carga um inverter idêntico, sem parasitas)
 - d – proporcionalidade de atraso do gate em relação a τ (adimensional)

$$d_{abs} = d \cdot \tau$$

- todos os atrasos no método *logic effort* serão medidos em função de unidades de τ

Atraso em uma Porta Lógica

□ Atraso *d* da porta é função de:

- *p* – atraso devido às capacitâncias parasitas (**É O N# DE ENTRADAS**)
- *f* – carga na saída, denominado de **esforço de estágio**

$$d = f + p$$

□ O esforço *f* por sua vez depende

- *g* – característica de corrente da porta lógica, denominado de **esforço lógico**
- *h* – relação entre a capacitância de entrada e saída, denominado de **esforço elétrico**

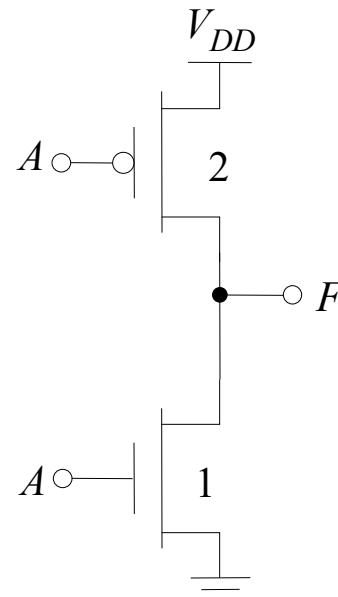
$$f = g \cdot h$$

∴

$$h = \frac{C_{out}}{C_{in}}$$

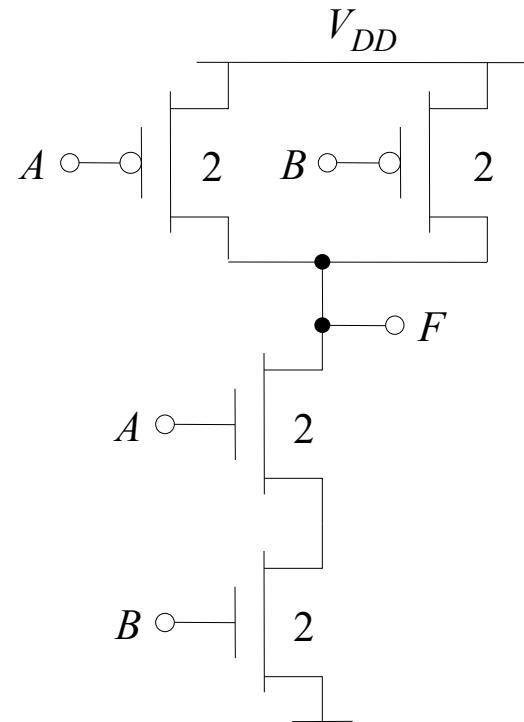
Esforço Lógico (Logical Effort)

- **Esforço lógico** é a relação da capacidade de entrada de uma porta lógica em relação à capacidade de entrada de um inverter com a mesma capacidade de corrente.
- Assumir: mobilidade $N = 2 * \text{Mobilidade P}$



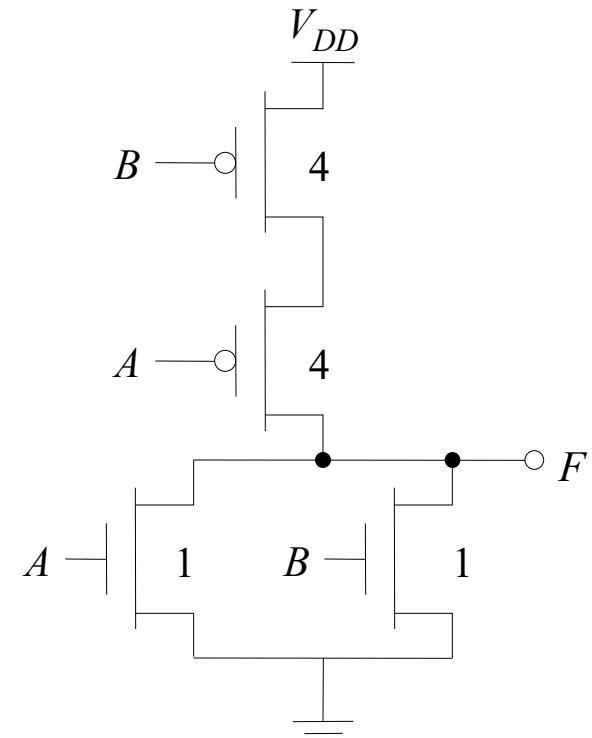
Inverter

$$g = 1$$



2-input NAND

$$g = 4/3$$



2-input NOR

$$g = 5/3$$

Esforço Lógico (Logical Effort)

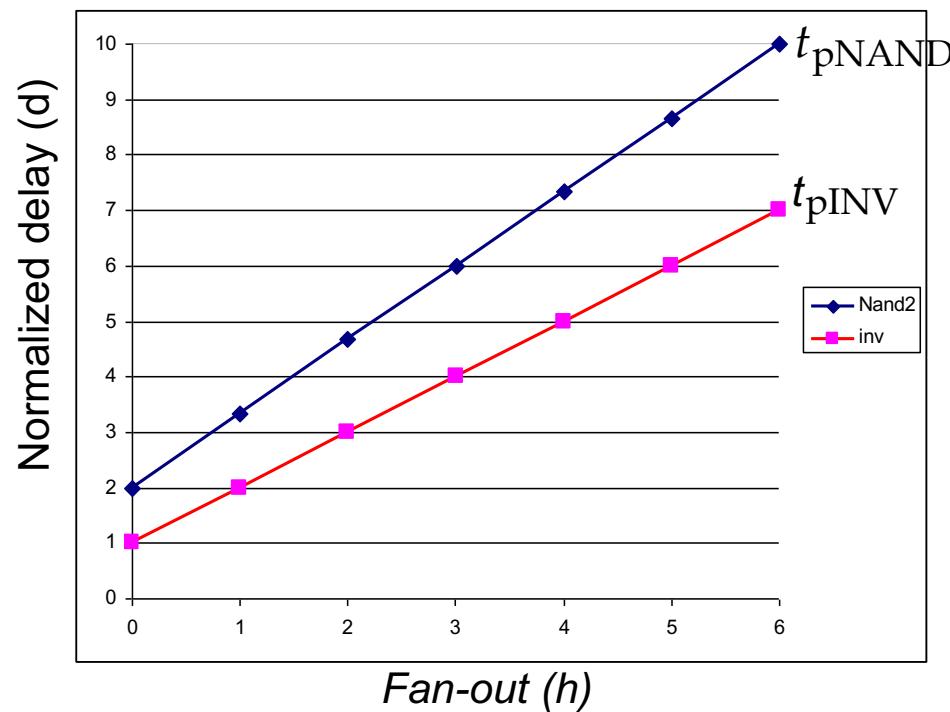
- Inverter has the smallest logical effort and intrinsic delay of all static CMOS gates
- Logical effort increases with the gate complexity
- Fator g para diferentes portas em função do número de entradas

	1	2	3	4	5	n
Inversor	1					
Nand		$4/3$	$5/3$	$6/3$	$7/3$	$(n+2)/3$
Nor		$5/3$	$7/3$	$9/3$	$11/3$	$(2n+1)/3$

Comparação inv e nand2

- *inv:* $d = h + 1$
- *nand de 2 entradas:* $d = (4/3)h+2$

$$d = g.h + p$$



Exemplo 1

Inversor com fanout 4

- $C_{out} = 4.C_{in} \rightarrow h = 4$
- $d = gh + p = 1 \times 4 + 1 = 5$ unidades de atraso

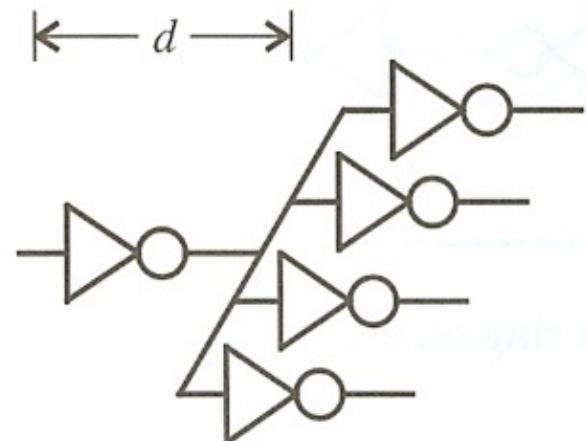


Figure 1.5 — An inverter driving four identical inverters.

Exemplo 2

Porta Nor de 4 entrada carregada por outras 10 portas nor idênticas

- $Cout = 10.Cin \rightarrow h = 10$
- $g_{nor4} = 9/3$
- $p = 4$
- $d = gh + p = 9/3 \times 10 + 4 = 34$ unidades de atraso

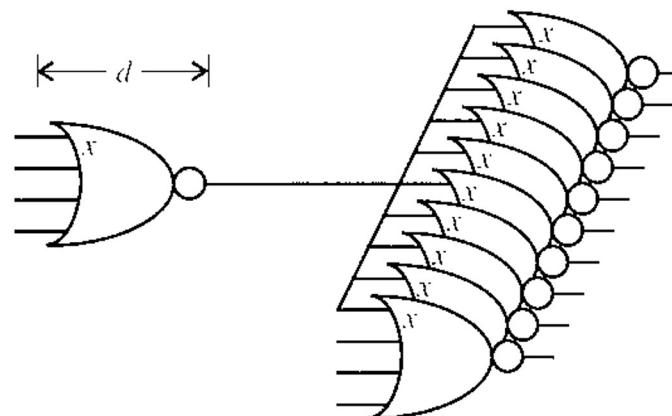


Figure 1.6 — A four-input NOR gate driving 10 identical gates.

Redes Multi-estágio

- Objetivo: determinar o número ótimo de estágios e o atraso em uma seqüência de portas lógicas
- Apenas uma porta lógica: $d = g \cdot h + p$
- Esforço lógico: multiplicação dos g ao longo do caminho:

$$G = \prod g_i$$

- Esforço elétrico: relação da capacidade do último estágio pela capacidade do primeiro estágio

$$H = \frac{C_{out}}{C_{in}}$$

Redes Multi-estágio

- *Branching effort*: relação da capacidade total de saída pela capacidade ao longo do caminho

$$b = \frac{C_{total}}{C_{useful}}$$

- Não havendo derivações $b=1$

- *Branching effort* ao longo de um caminho: $B = \prod b_i$

Redes Multi-estágio

- Esforço do caminho: $F = G.B.H$
- Parasitas do Caminho: $P = \sum p_i$
- Atraso mínimo no caminho:

$$\hat{D} = N.F^{\frac{1}{N}} + P$$

Esforço do estágio para atraso mínimo

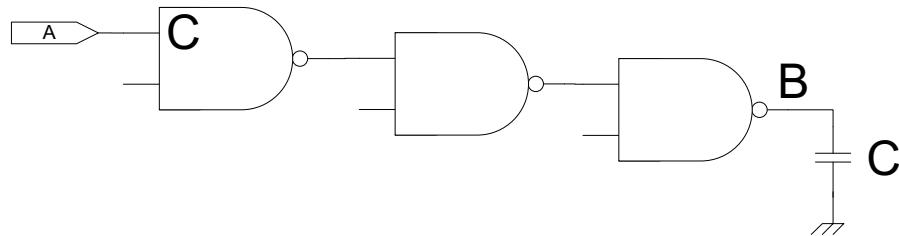
- Considera-se a influência de cada estágio, sem a contribuição dos parasitas:

$$\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$$

- Esta equação permite dimensionar os transistores, pois pode-se derivar:

$$C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$$

Exemplo 1 de rede multi-estágio



- Considere o caminho $A \rightarrow B$, sendo a capacitância de entrada igual a C e a de saída igual a C . Qual o menor atraso no caminho?

$$G = g_0 \cdot g_1 \cdot g_2 = \frac{4}{3} \cdot \frac{4}{3} \cdot \frac{4}{3} = 2,37$$

$$B = 1$$

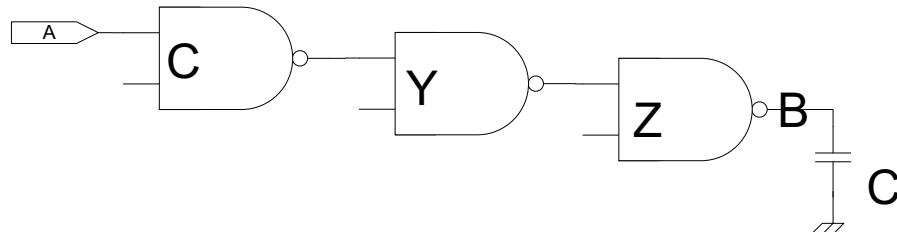
$$H = \frac{C}{C} = 1$$

$$F = G.B.H = 2,37$$

$$P = 3 \cdot (2 \cdot p_{inv}) = 6$$

$$\hat{D} = 3 \cdot 2,37^{\frac{1}{3}} + 6 = 10 \text{ unidades de atraso}$$

Exemplo 1 de rede multi-estágio



$$\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}} \quad C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$$

- Uma vez conhecido o atraso mínimo, dimensionar os transistores

- Esforço do estágio : $\hat{f} = 2,37^{\frac{1}{3}} = 1,333$
- Propagando do último estágio para o primeiro:
 - Último estágio $C_{in} = C \cdot (4/3) / 1.333 = C$
 - Segundo estágio $C_{in} = C \cdot (4/3) / 1.333 = C$
 - Primeiro estágio $C_{in} = C \cdot (4/3) / 1.333 = C$
- Todos os transistores devem ser dimensionados de forma igual
 - Pois: todos tem a mesma carga

Exemplo 2 de rede multi-estágio

- Mesmo exemplo anterior, mas carga de saída 8C

$$G = g_0 \cdot g_1 \cdot g_2 = \frac{4}{3} \cdot \frac{4}{3} \cdot \frac{4}{3} = 2,37$$

$$B = 1$$

$$H = \frac{8.C}{C} = 8$$

$$F = G.B.H = 18,96$$

$$P = 3 \cdot (2 \cdot p_{inv}) = 6$$

$$\hat{D} = 3 \cdot 18,96^{\frac{1}{3}} + 6 = 14 \text{ unidades de atraso}$$

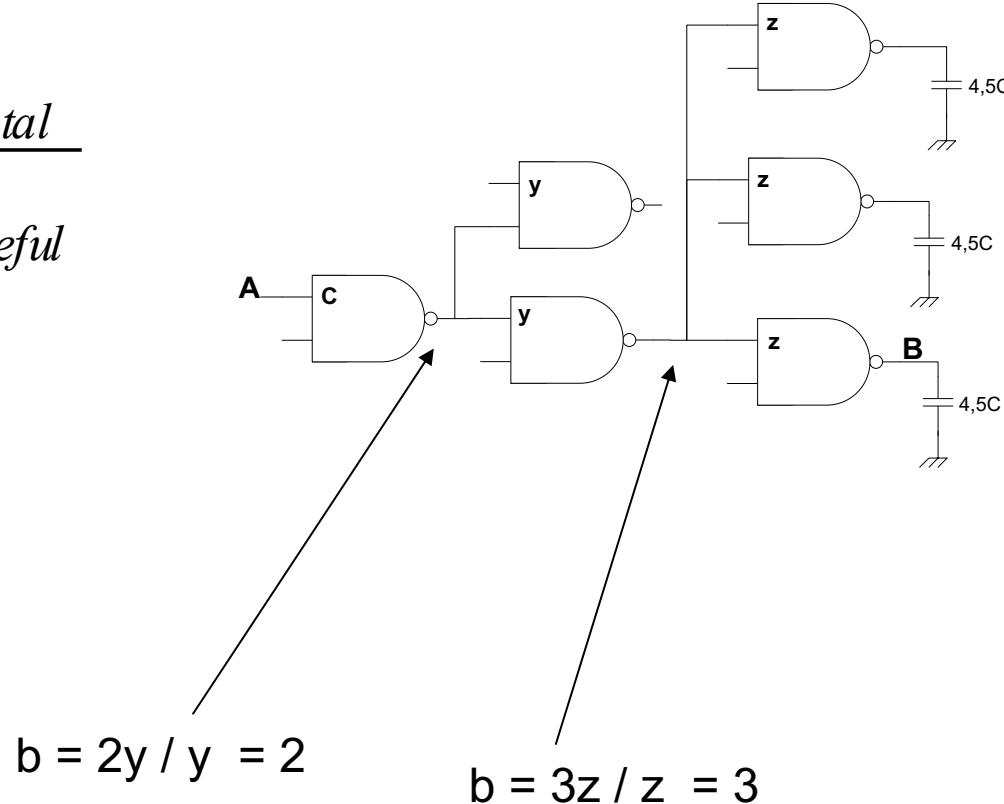
Exemplo 2 de rede multi-estágio

- Mesmo exemplo anterior, mas carga de saída 8C
 - Esforço do estágio : $\hat{f} = 18,96^{\frac{1}{3}} = 2,666$
 - Propagando do último estágio para o primeiro:
 - Último estágio $C_{in} = 8.C . (4/3) / 2.666 = 4C$
 - Segundo estágio $C_{in} = 4.C . (4/3) / 2.666 = 2C$
 - Primeiro estágio $C_{in} = 2.C . (4/3) / 2.666 = C$ **(ok, método correto!)**
 - **Cada estágio tem o dobro do dimensionamento dos transistores do estágio precedente**
 - Conferindo:
 - O atraso de cada nand é igual a $d = (4/3) . 2 + 2 = 4,666$
 - O primeiro 2 é a relação de carga
 - O segundo dois a influência dos parasitas
 - Multiplicando por três 4,666 temos atraso no caminho = 14 unidades **(ok, método correto!)**

Exemplo de Rede multi-estágio, com branchs

- Fator de *branch*
 - Relaciona a influência das derivações nas redes lógicas

$$b = \frac{C_{total}}{C_{useful}}$$



Exemplo de Rede multi-estágio, com branches

- Otimizar o caminho A → B

$$G = g_0 \cdot g_1 \cdot g_2 = \frac{4}{3} \cdot \frac{4}{3} \cdot \frac{4}{3} = 2,37$$

$$B = 2 \cdot 3 = 6$$

$$H = \frac{4,5 \cdot C}{C} = 4,5$$

$$F = G \cdot B \cdot H = 64$$

$$P = 3 \cdot (2 \cdot p_{inv}) = 6$$

$$\hat{D} = 3 \cdot 64^{\frac{1}{3}} + 6 = 18 \text{ unidades de atraso}$$

Exemplo de rede multi-estágio, com branches

- Esforço dos estágios para atraso mínimo

$$\hat{f} = \hat{64}^{\frac{1}{3}} = 4$$

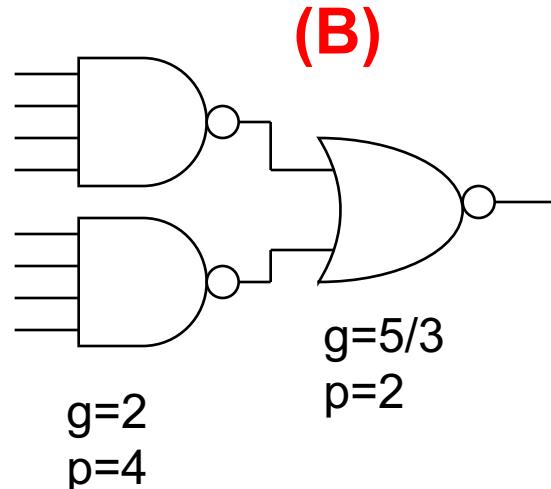
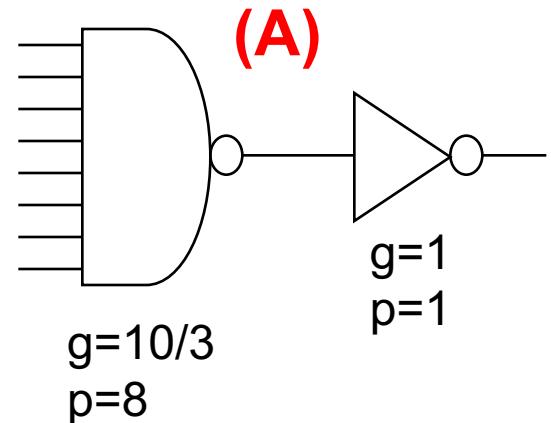
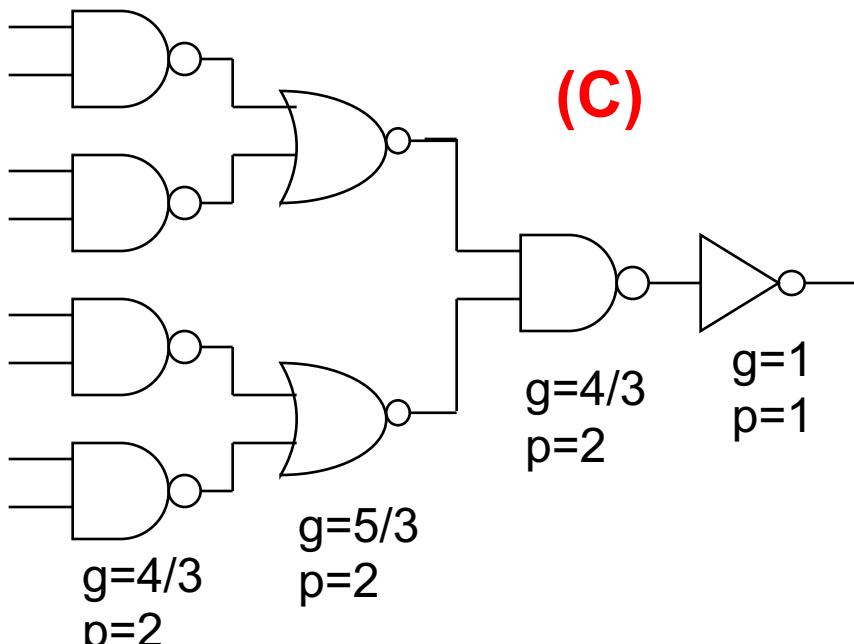
- Propagando do último estágio para o primeiro:

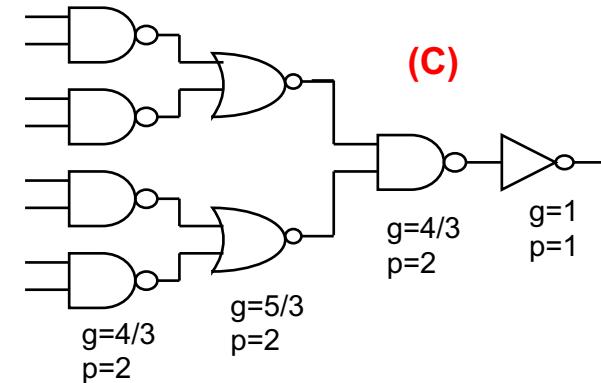
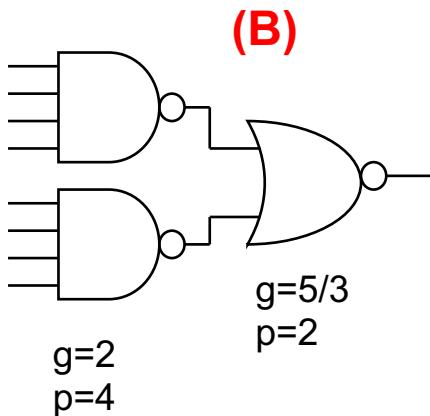
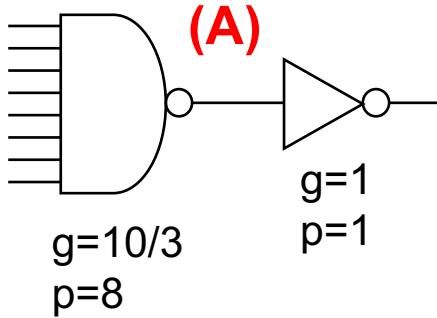
- Último estágio $C_{in} = 4,5.C . (4/3) / 4 = 1,5 C$
- Segundo estágio $C_{in} = (3. 1,5C) . (4/3) / 4 = 1,5 C$
- Primeiro estágio $C_{in} = (2. 1,5C) . (4/3) / 4 = C$ **(ok, método correto!)**

branch

Determine a configuração para AND-8 com menor atraso

$$F = ABCDEFGH$$





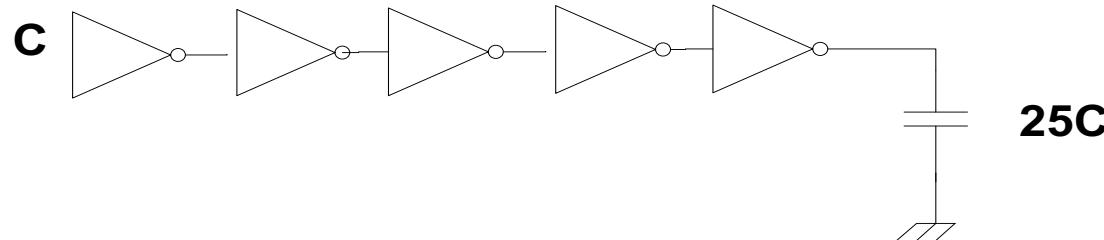
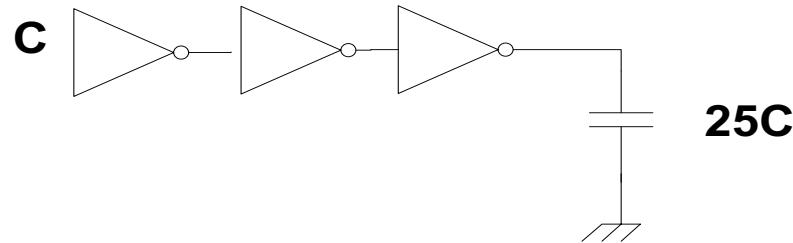
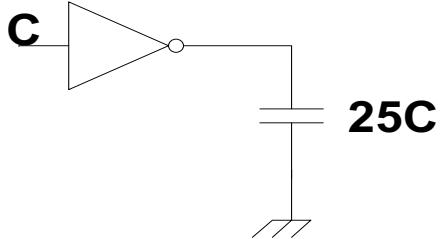
Carga da saída igual à da entrada (**H=1**)

	G	B	H	F=GBH	P	N	D min
a	3,33	1	1	3,33	9	2	12,65
b	3,33	1	1	3,33	6	2	9,65
c	2,96	1	1	2,96	7	4	12,25

Carga da saída 12 vezes à da entrada (**H=12**)

	G	B	H	F=GBH	P	N	D min
a	3,33	1	12	40,00	9	2	21,65
b	3,33	1	12	40,00	6	2	18,65
c	2,96	1	12	35,56	7	4	16,77

Exemplo de cálculo do número de estágios



Pede-se:

- Calcule o atraso mínimo do caminho ($\hat{D} = N \cdot F^{\frac{1}{N}} + P$). Através deste cálculo, diga qual a melhor escolha para o projetista.
- Para a escolha, calcule a contribuição de cada estágio ($\hat{f} = F^{\frac{1}{N}}$). O que significa este valor no dimensionamento do transistor?

Número de estágios

- $N \approx \log_4 F$
- Para uma relação de 25 vezes de carga:
 - $N = 2,32 \rightarrow 3$ estágios
 - Conferir com o exercício do inversor

Biblioteca Real: Múltiplos drivers

HS65_GL_IVX2
HS65_GL_IVX4
HS65_GL_IVX7
HS65_GL_IVX9
HS65_GL_IVX13
HS65_GL_IVX18
HS65_GL_IVX22
HS65_GL_IVX27
HS65_GL_IVX31
HS65_GL_IVX35
HS65_GL_IVX40
HS65_GL_IVX44
HS65_GL_IVX49
HS65_GL_IVX53
HS65_GL_IVX62
HS65_GL_IVX71
HS65_GL_IVX106
HS65_GL_IVX142
HS65_GL_IVX213
HS65_GL_IVX284

HS65_GL_NAND2X2
HS65_GL_NAND2X4
HS65_GL_NAND2X5
HS65_GL_NAND2X7
HS65_GL_NAND2X11
HS65_GL_NAND2X14
HS65_GL_NAND2X21
HS65_GL_NAND2X29
HS65_GL_NAND2X43
HS65_GL_NAND2X57

HS65_GL_AND2X1
HS65_GL_AND2X4
HS65_GL_AND2X9
HS65_GL_AND2X18
HS65_GL_AND2X27
HS65_GL_AND2X35

CORE65GPHVT
CORE65GPLVT
CORE65GPSVT

HS65_GL_OAI21X9
HS65_GL_OAI21X12
HS65_GL_OAI21X18
HS65_GL_OAI21X24
HS65_GL_OAI21X37
HS65_GL_OAI21X49
HS65_GL_OAI22X1
HS65_GL_OAI22X3
HS65_GL_OAI22X4
HS65_GL_OAI22X6
HS65_GL_OAI22X8
HS65_GL_OAI22X11
HS65_GL_OAI22X17
HS65_GL_OAI22X22
HS65_GL_OAI22X33
HS65_GL_OAI22X44
HS65_GL_OAI31X1
HS65_GL_OAI31X2
HS65_GL_OAI31X4
HS65_GL_OAI31X5
HS65_GL_OAI31X7
HS65_GL_OAI31X10
HS65_GL_OAI31X15
HS65_GL_OAI31X20
HS65_GL_OAI31X30
HS65_GL_OAI31X40
HS65_GL_OAI32X2
HS65_GL_OAI32X5
HS65_GL_OAI32X9
HS65_GL_OAI32X14
HS65_GL_OAI32X19
HS65_GL_OAI33X2
HS65_GL_OAI33X3
HS65_GL_OAI33X6
HS65_GL_OAI33X10
HS65_GL_OAI33X13
HS65_GL_OAI112X1
HS65_GL_OAI112X3
HS65_GL_OAI112X4
HS65_GL_OAI112X5
HS65_GL_OAI112X8
HS65_GL_OAI112X11
HS65_GL_OAI112X16
HS65_GL_OAI112X22
HS65_GL_OAI112X33
HS65_GL_OAI112X44
HS65_GL_OAI211X1
HS65_GL_OAI211X3
HS65_GL_OAI211X4
HS65_GL_OAI211X5
HS65_GL_OAI211X8
HS65_GL_OAI211X11
HS65_GL_OAI211X16
HS65_GL_OAI211X22
HS65_GL_OAI211X33
HS65_GL_OAI211X44
HS65_GL_OAI212X3
HS65_GL_OAI212X5
HS65_GL_OAI212X10
HS65_GL_OAI212X15
HS65_GL_OAI212X20
HS65_GL_OAI222X2
HS65_GL_OAI222X5
HS65_GL_OAI222X9
HS65_GL_OAI222X14
HS65_GL_OAI222X19
HS65_GL_OAI311X2
HS65_GL_OAI311X5
HS65_GL_OAI311X10
HS65_GL_OAI311X15
HS65_GL_OAI311X99

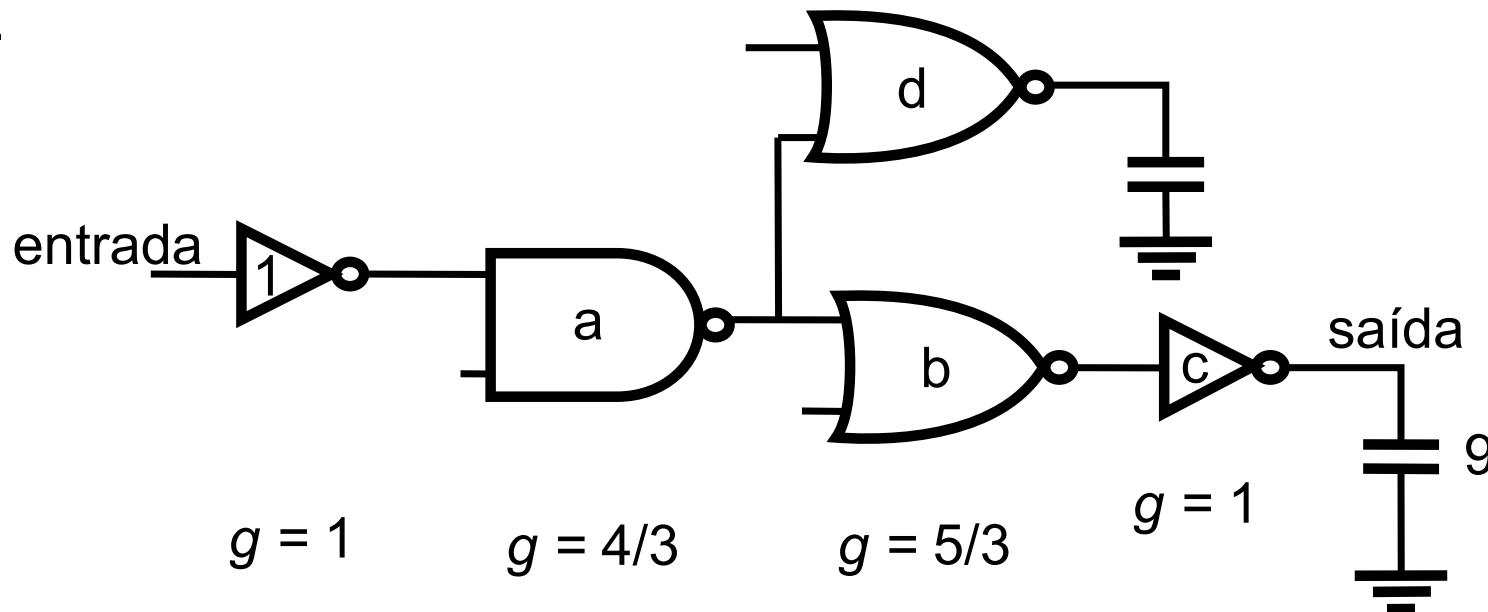
Biblioteca Real: Portas Complexas

Biblioteca Real: OAI e AOI

HS65_GL_OAI211X10
HS65_GL_OAI211X11
HS65_GL_OAI211X16
HS65_GL_OAI211X22
HS65_GL_OAI211X33
HS65_GL_OAI211X44
HS65_GL_OAI212X3
HS65_GL_OAI212X5
HS65_GL_OAI212X10
HS65_GL_OAI212X15
HS65_GL_OAI212X20
HS65_GL_OAI222X2
HS65_GL_OAI222X5
HS65_GL_OAI222X9
HS65_GL_OAI222X14
HS65_GL_OAI222X19
HS65_GL_OAI311X2
HS65_GL_OAI311X5
HS65_GL_OAI311X10
HS65_GL_OAI311X15
HS65_GL_OAI311X99

Exercício 1/6

Dimensione o seguinte circuito (valores de a, b, e c) para obter o menor tempo de propagação da entrada para saída (obs: b=d).



- atraso mínimo em um caminho: $D = N \cdot F^{-N} + P$, onde N corresponde ao número de estágios e F o esforço do caminho.

- $F = G \cdot B \cdot H$, onde:

- G é o esforço lógico do caminho: $G = \prod g_i$

- B é a influência da derivações no caminho: $B = \prod b_i$, onde $b_i = \frac{C_{total}}{C_{useful}}$

- H é a relação entre a capacitância de saída pela capacitância de entrada

- a contribuição de cada estágio ao longo de um caminho para se obter o atraso mínimo é dado por:

$$\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$$

- de posse da contribuição de cada estágio, dimensiona-se a porta lógica: $C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$

- atraso de uma porta: $d = g \cdot h + p$ (onde g é o esforço lógico)

g (esforço Lógico)	1	2	3	4	5	n
Inversor	1					
Nand		4/3	5/3	6/3	7/3	(n+2)/3
Nor		5/3	7/3	9/3	11/3	(2n+1)/3

Solução

QUESTÃO 1 – derivação

$$G = 1 \cdot (4/3) \cdot (5/3) \cdot 1 = 20/9$$

B = 2 ← devido à derivação na nand

$$H = 9$$

$$F = GBH = 40$$

$$D = N \cdot F \exp(1/N) + P = 4 \cdot (40) \exp(1/4) + 6 = 16,059$$

$$f = (40) \exp(1/N) = 2,515$$

Dimensionamentos

$$c = 1 \cdot 9 / 2,51 = 3,57$$

$$b = (5/3) \cdot 3,57 / 2,51 = 2,37$$

$$a = (4/3) \cdot (2,2,37) / 2,51 = 2,51$$

$$\text{inversor, conferindo: } 1 \cdot 2,51 / 2,51 = 1 (\text{ok})$$

Tempos (d = gh + p)

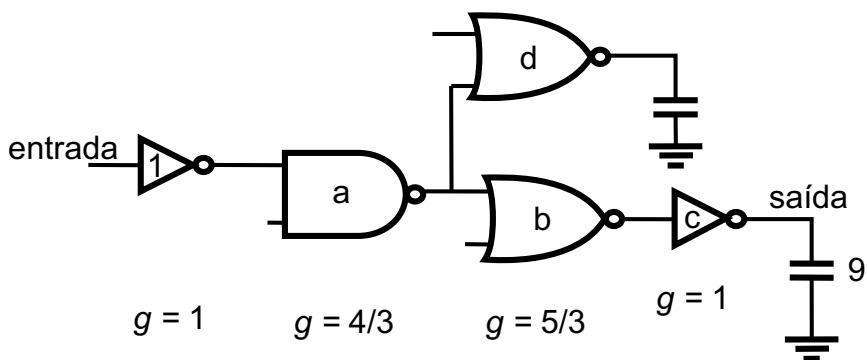
$$d \text{ Inversor: } = 1 \cdot (9/3,57) + 1 = 3,51$$

$$d \text{ Nor } = (5/3) (3,57/2,37) + 2 = 4,51$$

$$d \text{ Nand } = (4/3) (2 \cdot 2,37/2,51) + 2 = 4,51$$

$$d \text{ Inv } = 1 \cdot (2,51/1) + 1 = 3,51$$

$$\text{delay total} = 16,059 \text{ unidades de tempo (ok)}$$



1. atraso mínimo em um caminho: $\hat{D} = N \cdot F^{\frac{1}{N}} + P$, onde N corresponde ao número de estágios, F ao esforço do caminho, e P ao número de entradas no caminho.

2. $F = G \cdot B \cdot H$, onde:

- G é o esforço lógico do caminho: $G = \prod g_i$

- B é a influência das derivações no caminho: $B = \prod b_i$, onde $b_i = \frac{C_{total}}{C_{useful}}$

- H é a relação entre a capacidade (carga) de saída pela capacidade de entrada

contribuição de cada estágio ao longo de um caminho: $\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$

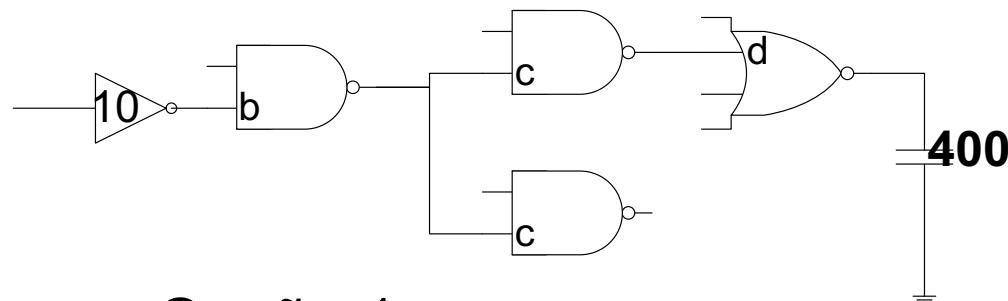
$$C_m = \frac{g_i \cdot C_{out}}{\hat{f}}$$

4. de posse da contribuição de cada estágio, dimensiona-se cada porta lógica:

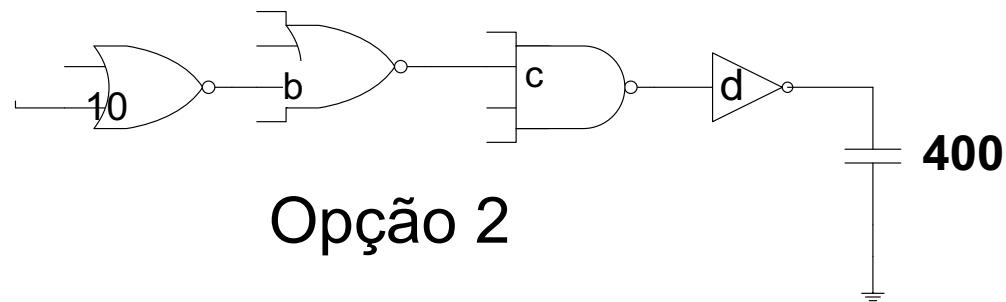
5. atraso de uma porta: $d = g \cdot h + p$ (onde g é o esforço lógico)

Exercício 2/6 – Escolha de Topologia

O projetista, ao utilizar uma ferramenta de síntese, obteve duas soluções distintas para um mesmo circuito, conforme abaixo. Determine a solução que teria menor área (somatório do dimensionamento dos transistores – 10/b/c/d), e o menor atraso. Justifique as escolhas.

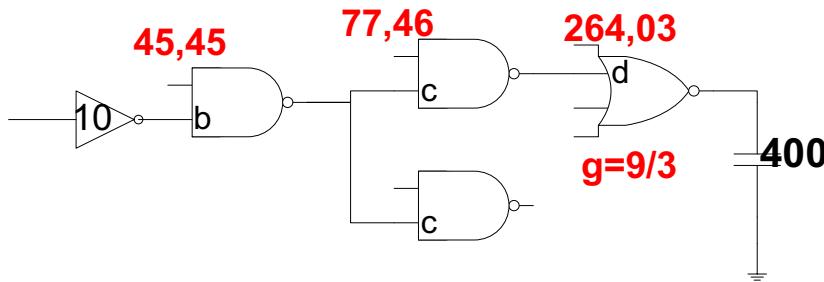


Opção 1



Opção 2

Solução

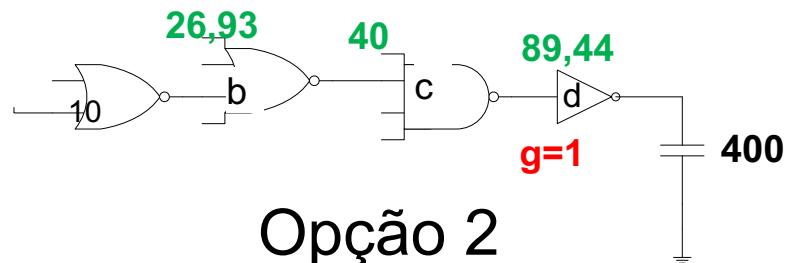


	opção 1	opção 2
G	5,333333	10
B	2	1
H	40	40
F		
(GBH)	426,6667	400
N	4	4
atraso	27,17951	28,88854
f	4,544877	4,472136

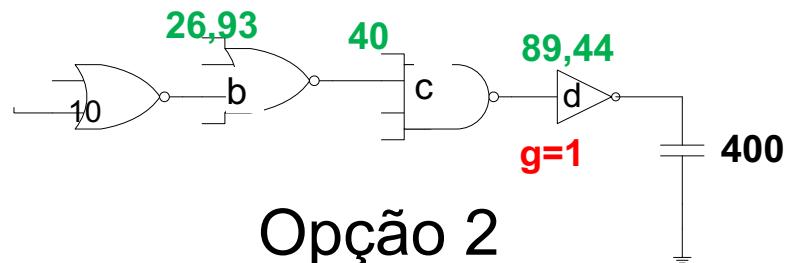
d	264,03
c	77,46
b	45,45
in	10,00
área	396,94

d	89,44
c	40,00
b	26,83
in	10,00
área	166,28

Opção 1



Opção 2



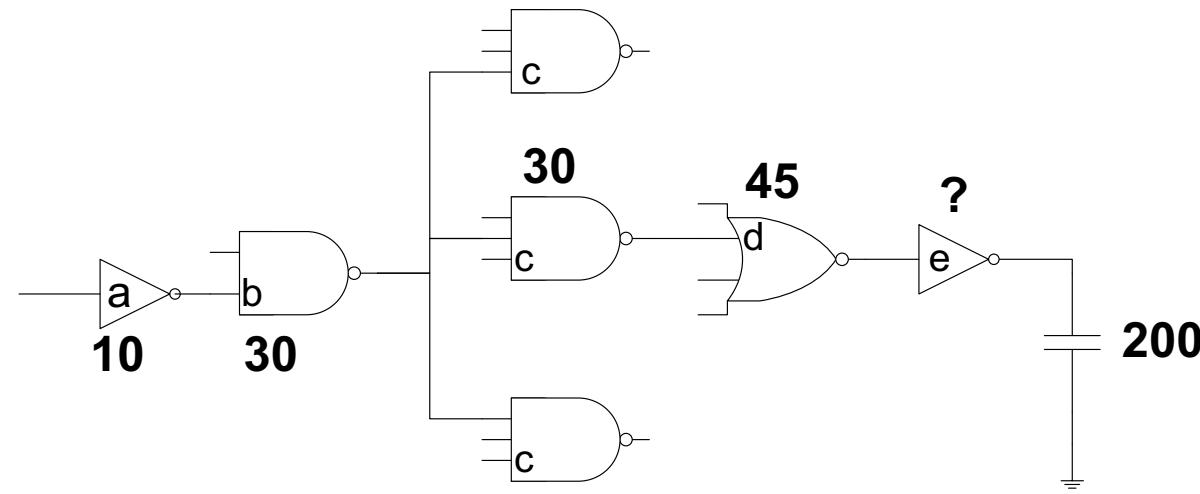
1. atraso mínimo em um caminho: $D = N \cdot F^{\frac{1}{N}} + P$, onde N corresponde ao número de estágios, F ao esforço do caminho, e P ao número de entradas no caminho.
2. $F = G \cdot B \cdot H$, onde:
 - o G é o esforço lógico do caminho: $G = \prod_i g_i$
 - o B é a influência das derivações no caminho: $B = \prod_i b_i$, onde $b_i = \frac{C_{total}}{C_{useful}}$
 - o H é a relação entre a capacitância (carga) de saída pela capacitância de entrada
3. contribuição de cada estágio ao longo de um caminho: $\hat{f} = g_i \cdot h_i = F^{\frac{1}{N}}$
4. de posse da contribuição de cada estágio, dimensiona-se cada porta lógica:
5. atraso de uma porta: $d = g \cdot h + p$ (onde g é o esforço lógico)

$$\text{Cin nor4} = 9/3 \cdot 400 / 4,545 = 264,03$$

$$\text{Cin inv} = 1 \cdot 400 / 4,472 = 89,44$$

Exercício 3/6 – Driver de Saída

Considere a rede multi-estágio abaixo, onde as capacitâncias estão definidas por x microns de gates ($g_{inv}=1$, $g_{nand2}=4/3$, $g_{nand3}=5/3$, $g_{nor4}=9/3$).



Supondo que o projetista determinou que o atraso neste caminho devesse ser **28 unidades de atraso de propagação**, determine o dimensionamento do inversor e.

Dica: não usar a equação de atraso mínimo f. Montar equações de atraso para cada gate utilizando a equação $d = g \cdot h + p$. Assim teremos $d_A + d_B + d_C + d_D + d_E = 28$, resultando em uma equação de segundo grau.

Solução

$$dA = 1 * (30/10) + 1 = 4$$

$$dB = (4/3) * (90/30) + 2 = 6$$

$$dC = (5/3) * (45/30) + 3 = 5,5$$

$$dD = (9/3) * (x/45) + 4 = x/15 + 4$$

$$dE = 1 * (200/x) + 1 = 200/x + 1$$

$$4 + 6 + 5,5 + (x/15 + 1) + (200/x + 1) = 28$$

$$x/15 + 200/x - 7,5 = 0$$

$$x^2 - 112,5x + 3000 = 0$$

raiz 1 69,0586885

raiz 2 43,4413115

A escolha é pela solução 43,44 → menos área de silício

delays

5,603913

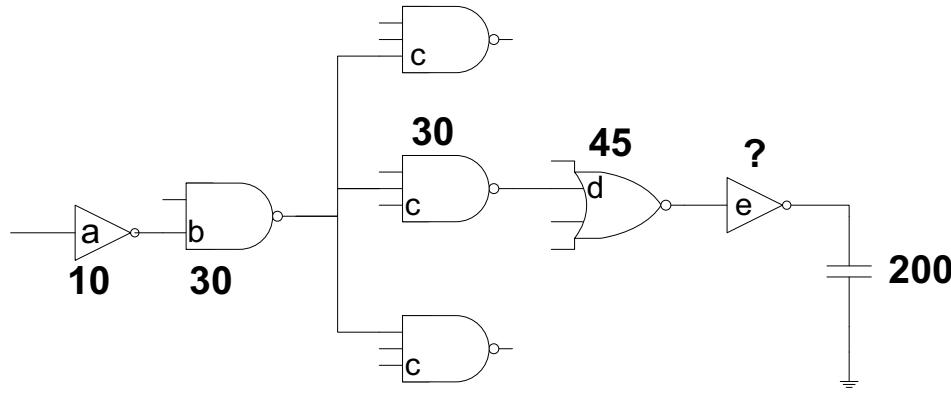
6,896087

5,5

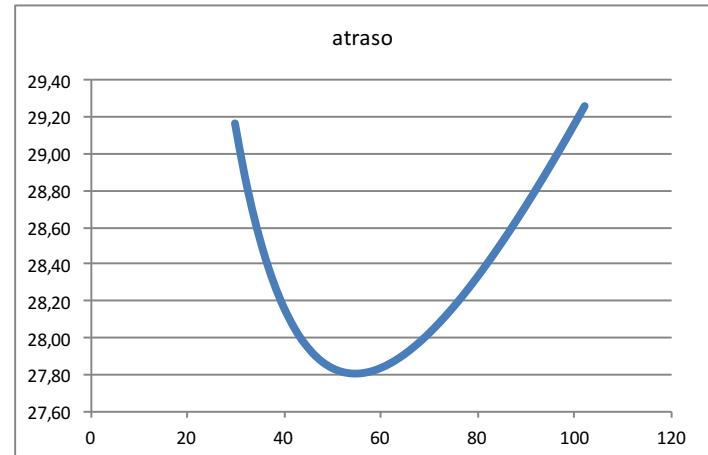
6

4

28



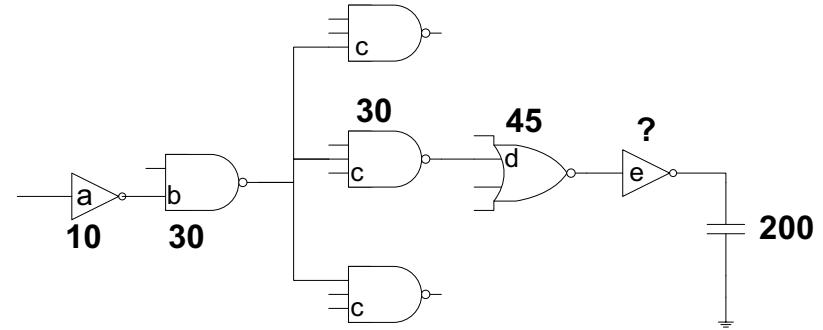
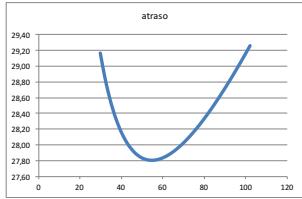
5. atraso de uma porta: $d = g \cdot h + p$ (onde g é o esforço lógico)



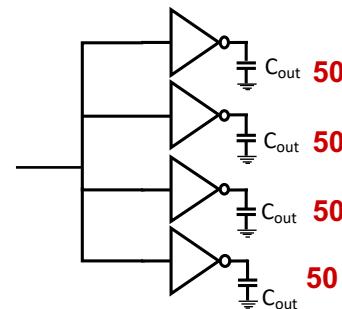
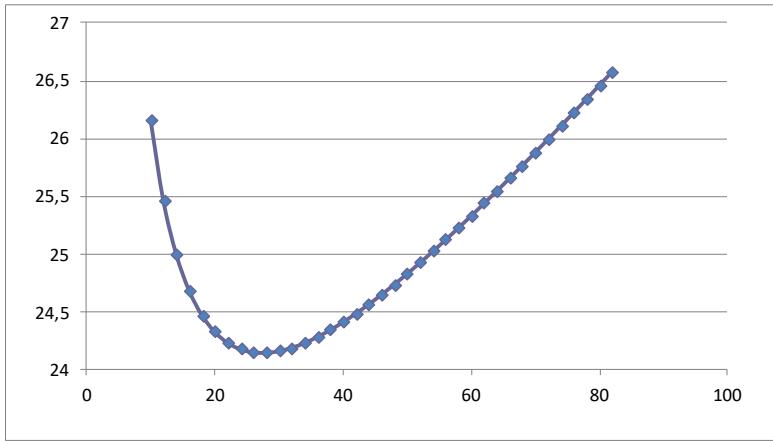
E para reduzir o atraso?

Reducir a carga de saída

Original:
 $C_l=200$, $e=54 \rightarrow d=27,8$



Para:
 $C_l=50$, $W_e=28 \rightarrow d=24,15$



Ou reduz B
Para $B=1$
 $D_{min}=23,3$

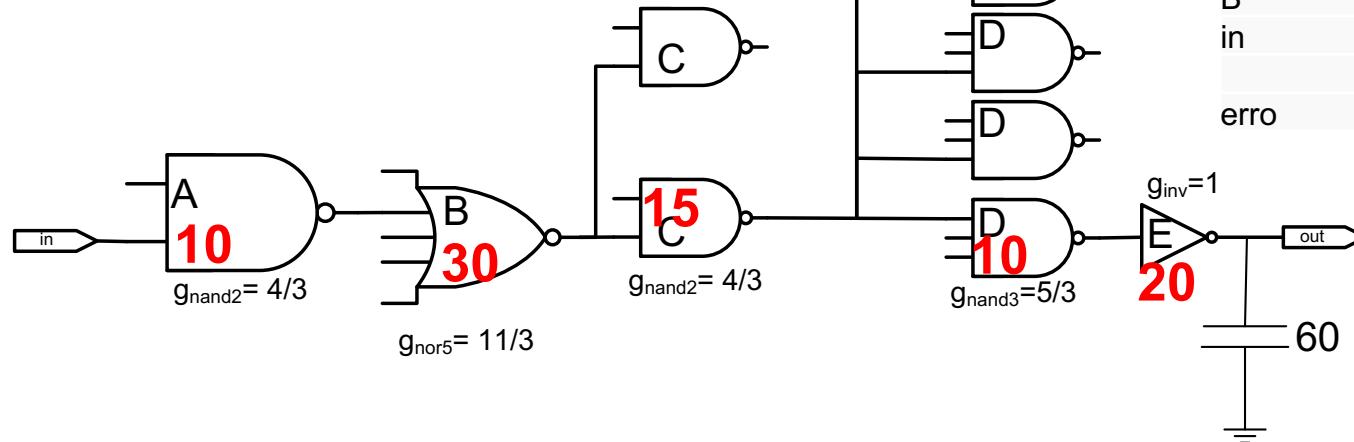


Exercício 4/6 – Biblioteca de Células

Considere o circuito abaixo, com as portas lógicas já pré-selecionadas. Determine o atraso mínimo e o atraso com o dimensionamento fornecido. Qual a diferença no atraso?

P	13
G	10,86
B	10
H	6
N	5
F (GBH)	651,85
f (F^1/N)	3,65
DELAY	31,2726

		exato	Wfixo
inv	We	16,42	20
nand3	Wd	7,49	10
nand2	Wc	13,66	15
nor5	Wb	27,41	30
nand2	Wa	10,00	10



DELAY	exato	Wfixo
E	4,655	4,000
D	6,655	6,333
C	5,655	6,444
B	8,655	8,667
in	5,655	6,000
	31,273	31,444
erro		-0,17

Exercício 5/6 – Uso de células bib.

- 5) Considere o circuito abaixo, que deve ter suas portas lógicas dimensionadas pelo método logic effort.
- Determine o atraso mínimo no caminho composto pelas portas lógicas do caminho apresentado na figura.
 - Determine o dimensionamento das portas lógicas do caminho, de tal forma que o atraso seja o mínimo possível. Determinar também para cada porta lógica seu atraso. Preencher as colunas Logic Effort, com precisão de duas casas decimais em ambas tabelas abaixo (para os cálculos **não** fazer arredondamentos).
 - Utilizando as opções de dimensionamento disponíveis para o projetista (tabela abaixo), escolha uma opção de dimensionamento para as portas lógicas do caminho (escolha sempre o dimensionamento igual ou superior ao da tabela, por exemplo: se o calculado para uma nor2 foi $C_{in}=23$ utilizar $C_{in}=30$). Preencher as colunas W_{fixo} , com precisão duas casas decimais.
 - Qual a diferença entre o atraso mínimo e o novo atraso?

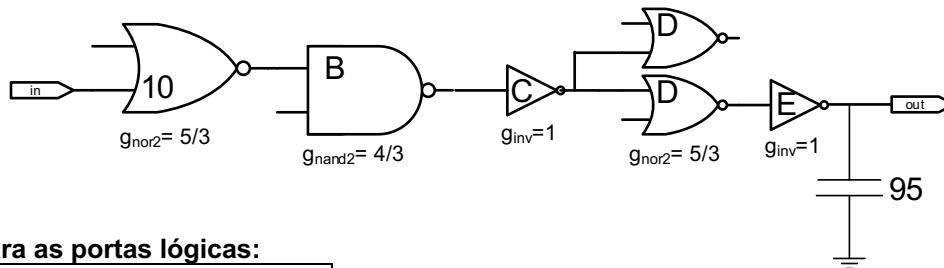


Tabela de dimensionamentos possíveis para as portas lógicas:

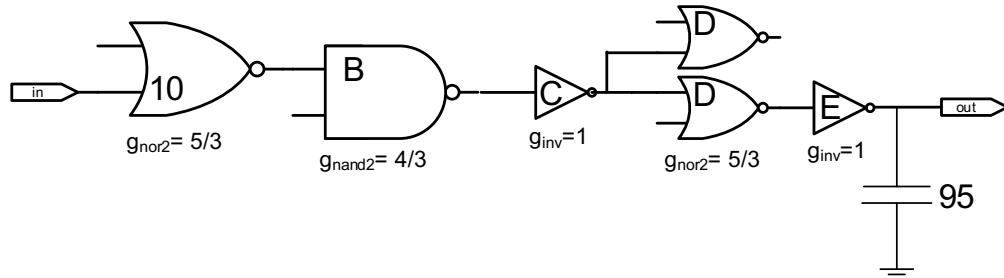
	Dimensionamentos (C_{in})					
INV	10	15	20	30	40	50
NAND2						
NOR2	10		20		30	

DIMENSIONAMENTO	Logic Effort	W_{fixo}
We		
Wd		
Wc		
Wb		
Win	10	10

DELAY	Logic Effort	W_{fixo}
E		
D		
C		
B		
in		
Atraso Total:		

Solução

CIN	10
COUT	95
P	8
G	3,70
B	2
H	9,5
N	5
F	
(GBH)	70,37
f	
$(F^{1/N})$	2,34
DELAY	19,71



	Dimensionamentos (C_{in})					
INV	10	15	20	30	40	50
NAND2	10		20		30	
NOR2						

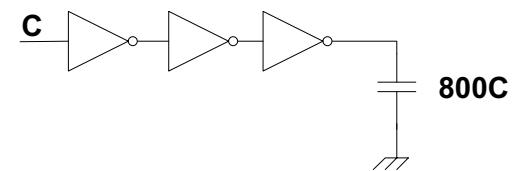
	dimensionamento		atraso	
	calculado	Fixo	calculado	Fixo
inv				
nor2	40,57	40	3,341	3,375
inv				
nand2	28,88	30	4,341	4,222
inv				
nand2	24,67	30	3,341	3,000
inv				
nand2	14,05	20	4,341	4,000
inv				
nand2	10,00	10	4,341	5,333
			19,707	19,931
				Diferença: -0,22349

Exercício 6/6 – cálculo de estágios em buffer

Considere que um projetista necessita de uma função inversor para carregar uma carga 800 vezes superior à carga de entrada (isto ocorre, por exemplo, em circuitos de entrada e saída). O projetista considera 4 opções: um único inversor, três inversores em série, cinco inversores em série e sete inversores em série. A figura ao lado ilustra a configuração para 3 inversores em série. Pede-se

Calcule o atraso mínimo para as 4 configurações (1-3-5-7). Através deste cálculo, diga qual a melhor escolha para o projetista.

Para a configuração escolhida, determine o dimensionamento de cada inversor.

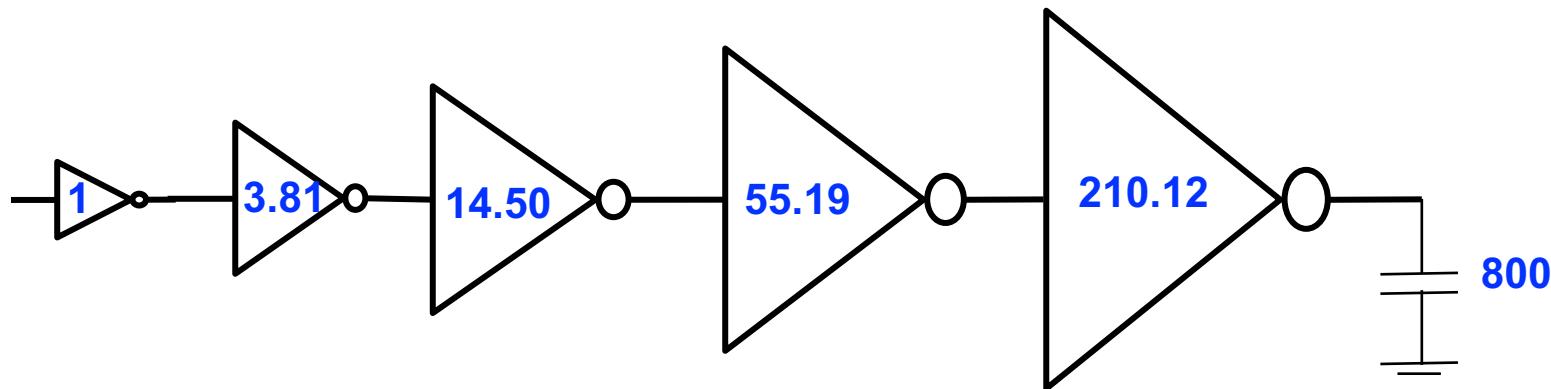
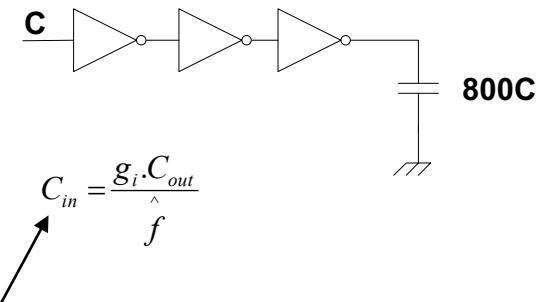


Solução

$$\hat{D} = N \cdot F^{\frac{1}{N}} + P$$

$$F = GBH = 1.1.800 = 800$$

	estágios	f	atraso		W	
1	1	800	801.00		Inv5	210.12
3	3	9.28	30.85		Inv4	55.19
5	5	3,8073	24.04		Inv3	14.50
7	7	2,60	25.19		Inv2	3.81
					Inv1	1.00



Solução da sequência de inversores → cinco ESTÁGIOS tem o atraso mínimo