

1. 由模块构成, 每个模块内容放在关键词 `module` 和 `endmodule` 之间, 模块分为说明部分和逻辑部分

2.1 Verilog HDL 程序是由哪几部分构成的? 声明部分, 功能描述部分。

2.2 Verilog HDL 程序开始和结束的关键词是什么? `module` `endmodule`

2.3 编译器指令 ``timescale` 的作用是什么? 定义模块的仿真时间单位和精度

2.4 下面的程序是用来测试 1 位全加器功能的激励块, 它调用了例题 2.4.1 中的设计块, 试在空格线上说明相应语句的作用, 并画出激励信号 Pa、Pb 和 Pcin 的波形。

```

`timescale 1ns/1ns
module Test_1Bit_adder;
    reg Pa, Pb, Pcin;
    wire Psum, Pcout;

    //实例引用例 2.4.1 中 1 位全加器的设计块, 端口按照排列位置进行连接
    _1Bit_adder U1(Pa, Pb, Pcin, Psum, Pcout);

    initial
    begin:Block_only_once
        reg [3:0] temp;
        for(temp=0; temp<8; temp=temp+1)
            begin
                {Pa,Pb,Pcin}<=temp;
                # 5 $display($time, ":: Pa,Pb,Pcin=%b %b %b", Pa,Pb,Pcin,
                ":: Pcout, Psum=%b %b", Pcout, Psum);
            end
        end
    endmodule

```

// 定义时间单位 1ns, 时间精度 1ns
// 1 位全加器的激励模块

// 为内建模的连续结构语句, 内部只执行一次
// 顺序语句块的名字为 Block_only_once

// for 循环语句从 temp=0 到 temp=7
共执行 8 次

// 输出信息, 当前仿真时间, 格式化输出 Pa, Pb, Pcin, Pcout, Psum 5 个变量

第 6 章作业

6.1 选择填空。

1. 在 SPLD 的结构图中, 在阵列横线与竖线的交叉点上画“X”, 表示横线与竖线是 b。
 a. 断开的 b. 编程连通的 c. 悬空的 d. 固定连通的

2. PLA 是指 a。
 a. 可编程逻辑阵列 b. 通用逻辑阵列 c. 只读存储器 d. 随机读取存储器

3. FPGA 是指 b。
 a. 可编程逻辑阵列 b. 现场可编程门阵列 c. 只读存储器 d. 随机读取存储器

4. PAL 具有固定连接的 或 阵列和可编程的 与 阵列。
 a. 与, 或 b. 或, 与 c. 与, 与 d. 或, 或

5. GAL 的与阵列 可编程 或阵列 固定。
 a. 固定, 可编程 b. 可编程, 固定 c. 可编程, 可编程 d. 固定, 固定

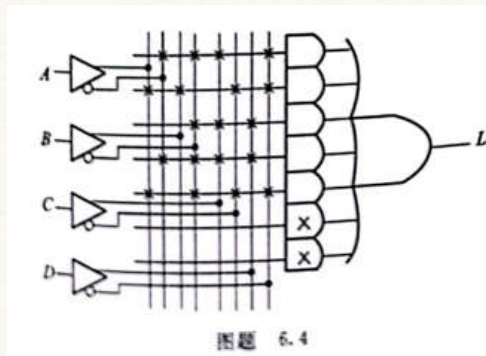
6.2 判断正误，正确打√，错误打x。

- (√) 1. FPGA 是一种可编程的大规模集成电路。
- (X) 2. CPLD 和 ~~PLA~~ GAL 实现逻辑函数的原理是相同的。
- (X) 3. 可编程逻辑器件都是基于 E²PROM 技术制造的。
- (√) 4. GAL 器件是用电可擦除工艺制造的，具有 CMOS 的低功耗特性。
- (√) 5. GAL 器件具有输出逻辑宏单元，使用户能够按需要对输出进行组态。
- (√) 6. CPLD 器件主要由可编程的逻辑块、输入 / 输出块和可编程的内部互连线资源三部分组成。

6.3 什么是在系统可编程技术？
代码，而不需要从电路板上取下器件，已编程的器件也可以用 ISP 就擦除并编程。

6.4 试分析图题 6.4 的逻辑电路，写出输出逻辑函数表达式。

$$L = \overline{A}\overline{B}C\overline{D} + A\overline{B}C\overline{D} + \overline{B}CD + \overline{A}\overline{B}CD + A\overline{B}C\overline{D}$$



6.5 FPGA 在结构上由哪几个部分组成？各部分的主要功能是什么？

三部分：可编程逻辑块：实现各种逻辑功能的基本单元
输入/输出模块：对 I/O 单元编程，将引脚定义为输入输出

双向

互联资源 IR：在 FPGA 中为各个 CLB 与 IOB 间实现连接