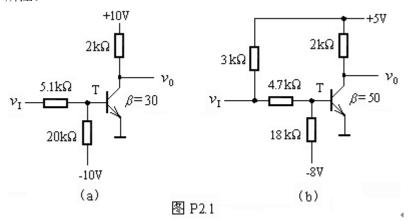
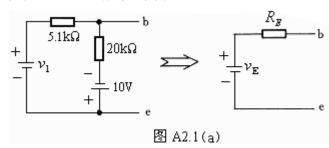
[题 3.1] 在图 P3.1(a)、(b)两个电路中,试计算当输入端分别接 0V、5V 和悬空时输出电压 v_0 的数值,并指出三极管工作在什么状态。假定三极管导通以后 $v_{BE} \approx 0.7V$,电路参数如图中所注。



[解]

(a)当输入端悬空时, v_{BE} =-10V,三极管处于截止状态, v_0 =10V。当输入端接 v_I 时,可利用戴维宁定理将接至基极与发射极间的外电路化简为由等效电压 v_E 和等效电阻 R_E 串联的单回路,如图 A2.1(a)所示。其中



$$v_E = v_I - \frac{v_1 + 10}{20 + 5.1} \times 5.1$$
, $R_E = 20 // 5.1 = 4.1 \text{k}\Omega$

若 $v_{\rm I}=0$ V,则 $v_{\it E}=-2.03$ V,故三极管处于截止状态, $v_{\rm O}=10$ V。

 $\ddot{E}_{BS}=rac{1.95-0.7}{4.1}$ mA = 0.3mA, 而临界饱和基极电流 $I_{BS}=rac{10-v_{CES}}{30 imes2}=0.16$ mA,可见 i_{B} 〉 I_{BS} ,三极管处于饱和导通状态, $v_{0}=V_{CES}pprox0.3$ V。

(b) 当输入端悬空时,用戴维宁定理可将接至基极与发射极间的外电路等效地化成由 $v_{\rm E}$ 和 $R_{\rm E}$ 串联的单回路,如图 A2.1(b)所示。其中

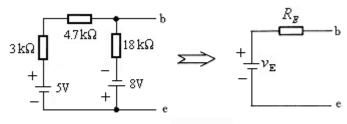


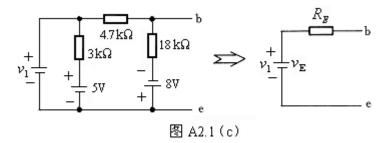
图 A2.1(b)

$$v_E = 5 - \frac{5+8}{3+4.7+18} \times (3+4.7)V = 1.1V$$

$$R_E = (3+4.7) // 18 = 5.4 \text{k}\Omega_{\odot}$$

所以 $i_B=\frac{1.1-0.7}{5.4}$ mA = 0.074mA 。 而 $I_{BS}=\frac{5-v_{CES}}{50\times2}$ = 0.047mA ,故 $i_B\rangle I_{BS}$,三极管处于饱和导通状态, $v_0=V_{CES}\approx0.3\mathrm{V}$ 。

当输入端接有 v_1 时,仍将接到基极与发射极间的外电路简化为 v_E 与 R_E 串联的形式,如图 A2.1(c)所示。其中

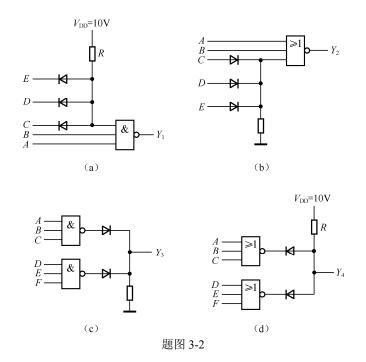


$$v_E = v_I - \frac{v_I + 8}{4.7 + 18} \times 4.7V$$

$$R_E = 4.7 // 18 = 3.7 k\Omega$$

若 $v_{\rm I} = 0$ V,则 $v_{\rm E} - 1.66$ V,三极管截止, $v_{\rm 0} = 5$ V。

[3-2] 在 CMOS 电路中有时采用题图 3-2(a) \sim (d)所示的扩展功能用法,试分析各图的逻辑功能,写出 $Y_1 \sim Y_4$ 的逻辑式。已知电源电压 $V_{DD}=10~\rm V$,二极管的正向导通压降为 0.7 $\rm V$ 。



[解]

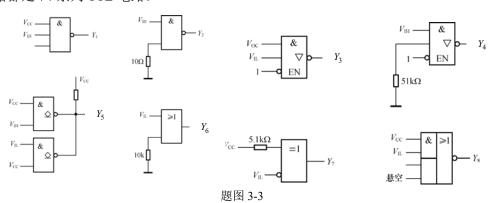
$$(a)$$
 $Y_1 = \overline{ABCDE}$ (b)

(b)
$$Y_2 = \overline{A+B+C+D+E}$$

$$_{(c)} Y_3 = \overline{ABC} + \overline{DEF}$$

(d)
$$Y_4 = \overline{A+B+C} \cdot \overline{D+E+F}$$

[3-3] 指出题图 3-3 中各门电路的输出是什么状态(高电平、低电平或高阻态)。已知这些门电路都是 74 系列 TTL 电路。



$$Y_1 = \overline{1 \cdot 1 \cdot 1} = 0;$$

$$Y_2 = \overline{1 \cdot 0} = 1;$$

Y, 是高阻;

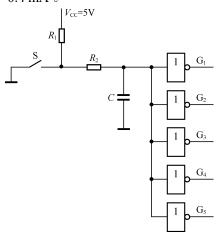
Y₄ 是高阻;

$$Y_5 = \overline{1 \cdot 1} \cdot \overline{0 \cdot 1} = 0;$$

$$Y_6 = 0 + 1 = 1;$$

$$Y_7 = 1 \oplus \overline{0} = 0;$$

$$Y_8 = \overline{1 \cdot 0 + 1 \cdot 1} = 0$$



题图 3-4

[解] 当 S 闭合时 A 被短路,故有

$$R_{2(\text{max})} = \frac{V_{IL}}{5I_{II}} = \frac{0.4}{5 \times 0.4} K\Omega = 0.2 K\Omega$$

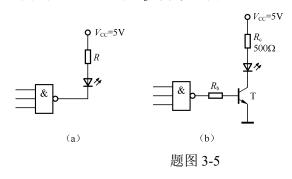
当S断开时,门电路的高电平输入电流流经R和R,故得到

$$(R_1 + R_2)_{\text{max}} = \frac{V_{CC} - V_{IH}}{5I_{IH}} = \frac{5 - 4}{5 \times 0.02} K\Omega = 10K\Omega$$

因此 $R_{1(\text{max})} = (10 - 0.2)K\Omega = 9.8K\Omega$ 。

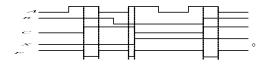
[**题** 3-5] 已知 TTL 与非门带灌电流负载最大值 $I_{\rm OL}$ =15 mA,带拉电流负载最大值为 $I_{\rm OH}$ =-0.4mA,输出高电平 $V_{\rm OH}$ =3.6 V,输出低电平 $V_{\rm OL}$ =0.3 V;发光二极管正向导通电压 $V_{\rm D}$ =2 V,正向电流 $I_{\rm D}$ =5~10 mA,三极管导通时 $V_{\rm BE}$ =0.7 V,饱和电压降 $V_{\rm CES}$ ≈0.3 V, β =50。如题图 3-5 所示两电路均为发光二极管驱动电路,试问:

- (1) 两个电路的主要不同之处;
- (2) 题图 3-5 (a) 中 R 和题图 3-5 (b) 中 R_b 的取值范围。



[解] (1)图(a)是与非门输出低电平时,发光二极管亮,即灌电流驱动方式;图(b) 是与非门输出是高电平时,发光二极管亮,即拉电流驱动方式。

(2) 图 (a) 中当
$$I_{\rm D=5mA}$$
, $R_{\rm max} = \frac{V_{CC} - V_D - V_{OL}}{5} = 540\Omega$, 当 $I_{\rm D=10mA}$,



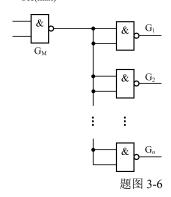
图(b)首先要满足三极管饱和导通,即

$$I_B \ge I_{BS}$$

$$\frac{V_{OH} - V_{BE}}{R_b} \ge \frac{V_{CC} - V_{CES} - V_D}{\beta R_C}$$
 , 求得 $R_b \le 26.8k$;

同时 $I_B \leq I_{OH(\max)}$, $\frac{V_{OH} - V_{BE}}{R_b} \leq 0.04 A$, 求得 $R_b \geq 7.25 k\Omega$, 即 $7.25 k\Omega \leq R_b \leq 26.8 k\Omega$

[题 3-6] 在题图 3-6 由 74 系列 TTL 与非门组成的电路中,计算门 $G_{\rm M}$ 能驱动多少同样的与非门。要求 $G_{\rm M}$ 输出的高、低电平满足 $V_{\rm OH} \geqslant 3.2\,{\rm V}$, $V_{\rm OL} \leqslant 0.4\,{\rm V}$ 。与非门的输入电流为 $I_{\rm IL} \leqslant -1.6\,{\rm mA}$, $I_{\rm IH} \leqslant 40\,{\rm \mu A}$, $V_{\rm OL} \leqslant 0.4\,{\rm V}$ 时 输 出 电 流 最 大 值 为 $I_{\rm OL(max)} = 16\,{\rm mA}$, $V_{\rm OH} \geqslant 3.2\,{\rm V}$ 时输出电流最大值为 $I_{\rm OH(max)} = -0.4\,{\rm mA}$ 。 $G_{\rm M}$ 的输出电阻可忽略不计。



当 V₀=V_{0L}=0.4V 时,可求得

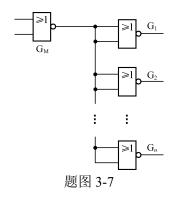
$$N_{OL} \le \frac{I_{OL}}{I_{II}} = \frac{16mA}{1.6mA} = 10$$

当 V₀=V_{0H}=3.2V 时,可求得

$$N_{OH} \le \frac{I_{OH}}{2I_{HI}} = \frac{0.4mA}{2 \times 0.04mA} = 5$$

故 G_M能驱动 5 个同样的与非门。

[**题 3. 7**] 在题图 3-7 由 74 系列或非门组成的电路中,试求门 $G_{\rm M}$ 能能驱动多少同样的或非门。要求 $G_{\rm M}$ 输出的高、低电平满足 $V_{\rm OH} \geqslant 3.2\,{\rm V}$, $V_{\rm OL} \leqslant 0.4\,{\rm V}$ 。或非门每个输入端的输入电流为 $I_{\rm IL} \leqslant -1.6\,{\rm mA}$, $I_{\rm IH} \leqslant 40\,{\rm \mu A}$, $V_{\rm OL} \leqslant 0.4\,{\rm V}$ 时输出电流的最大值为 $I_{\rm OH(max)} = -0.4\,{\rm mA}$, $G_{\rm M}$ 的输出电阻可忽略不计。



当 V₀=V_{0L}=0.4V 时,可求得

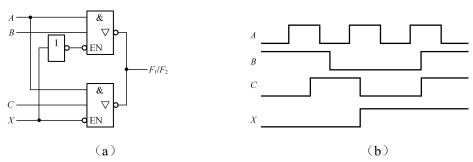
$$N_{OL} \le \frac{I_{OL}}{2I_{II}} = \frac{16mA}{2 \times 1.6mA} = 5$$

当 V₀=V_{0H}=3.2V 时,可求得

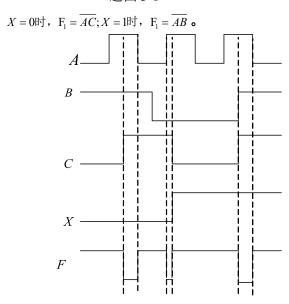
$$N_{OH} \le \frac{I_{OH}}{2I_{IH}} = \frac{0.4mA}{2 \times 0.04mA} = 5$$

故 Gm能驱动 5 个同样的**或非**门。

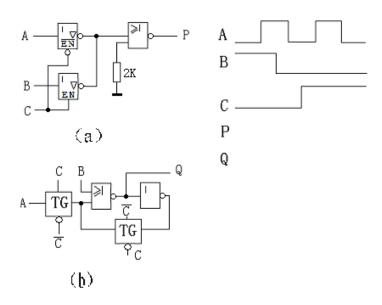
[**题 3.8**] 分别写出题图 3-8 (a) 所示电路当 X=0 和 X=1 时输出 F_1 的表达式。若已知各电路输入波形如题图 3-8(b)所示,试对应画出输出 F_1 的波形。



题图 3-8



[3-9] 题图 3-9 中电路均由 CMOS 门电路构成,写出 P、Q 的表达式,并画出对应 A、B、C 的 P、Q 波形。



题图 3-9

[3-10] 计算题图 3-10 电路中上拉电阻 $R_{\rm L}$ 的阻值范围。其中 $G_{\rm 1}$ 、 $G_{\rm 2}$ 、 $G_{\rm 3}$ 是 74LS 系列 OC 门,输出管截止时的漏电流 $I_{\rm OH} \le 100\,\mu{\rm A}$,输出低电平 $V_{\rm OL} \le 0.4\,{\rm V}$ 时允许的最大负载电流 $I_{\rm LM} = 8\,{\rm mA}$, $G_{\rm 4}$ 、 $G_{\rm 5}$ 、 $G_{\rm 6}$ 为 74LS 系列与非门,它们的输入电流为 $I_{\rm LL} \le -0.4\,{\rm mA}$ 、 $I_{\rm H} \le 20\,\mu{\rm A}$ 。 OC 门的输出高、低电平应满足 $V_{\rm OH} \ge 3.2{\rm V}$ 、

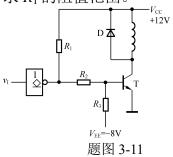
 $V_{\rm OL} \leq 0.4 \, \rm V_{\odot}$

[解]
$$R_{L(\text{max})} = \frac{V_{\text{CC}} - V_{\text{OH(min)}}}{nI_{\text{OH}} + m \cdot I_{\text{IH}}} = \frac{5 - 3.2}{3 \times 0.1 + 3 \times 0.02} K\Omega = 5K\Omega$$

$$R_{L(\text{min})} = \frac{V_{\text{CC}} - V_{\text{OL(max)}}}{I_{\text{OL(max)}} - m' \cdot I_{\text{IL}}} = \frac{5 - 0.4}{8 - 3 \times 0.4} K\Omega = 0.68 K\Omega$$

[3-11] 题图 3-11 是一个继电器线圈驱动电路。要求在 $v_{\rm I}=V_{\rm IH}$ 时三极管 T 截止,而 $v_{\rm I}=0$ 时三极管 T 饱和导通。已知 OC 门输出管截止时的漏电流 $I_{\rm OH} \leq 100~\mu{\rm A}$,导通时允许流过的最大电流 $I_{\rm LM}=10~{\rm mA}$,管压降小于 0.1 V。三极管 $\beta=50$,继电器线圈内阻 240Ω,电源电压 $V_{\rm CC}=12~{\rm V}$ 、 $V_{\rm EE}=-8~{\rm V}$ 、 $R_2=3.2~{\rm k}\Omega$, $R_3=18~{\rm k}\Omega$, 试

求 R_1 的阻值范围。



[解]

(1)根据 $v_I = 0$ 时三极管需饱和导通的要求,计算 R_1 的最大允许值。由图 (a)可知,此时应满足

$$i_{B} > I_{BS} = \frac{V_{CC}}{\beta R_{C}} = \frac{12}{50 \times 0.24} mA = 1mA$$

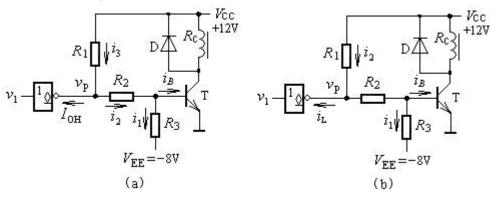
$$i_{1} = \frac{0.7 - (-8)}{18} mA \approx 0.5 mA$$

$$i_{2} = i_{1} + i_{B} \ge 1.5 mA$$

$$v_{p} = 3.3i_{2} + 0.7 \ge 5.7V$$

$$\forall \quad i_3 = I_{OH} + i_2 \geq 1.6 mA \; , \quad \text{for } i_3 = \frac{V_{CC} - v_p}{R_1} = \frac{12 - 5.7}{R_1} \geq 1.6 mA \; .$$

故得
$$R_{\rm l(max)} = \frac{12-5.7}{i_2+I_{OH}} = \frac{6.3}{1.6} k\Omega = 3.9 k\Omega$$



(2)根据 $v_{\rm I}=V_{\rm IH}$ 时三极管应截止,计算 $R_{\rm I}$ 的最小允许值。由图(b)可知,这时 $v_p=0.1V, i_B=0, i_{LM}=10mA$ 。

$$i_1 = \frac{0.1 - (-8)}{3.2 + 18} mA = 0.38 mA, i_2 = i_L + i_1 = 10.38 mA$$

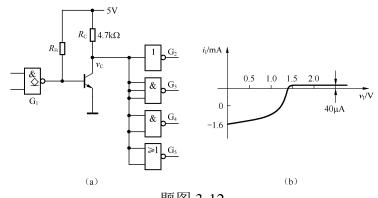
故得
$$R_{\text{l(min)}} = \frac{12 - 0.1}{i_2} = \frac{12 - 0.1}{10.38} k\Omega = 1.1 k\Omega$$

所以应取

$$1.1k\Omega < R_1 < 3.9k\Omega$$

[3-12] 在题图 3-12 (a) 电路中已知三极管导通时 $V_{\rm BE}=0.7\,{
m V}$,饱和压降

 $V_{\text{CE(sat)}}$ = 0.3 V 三极管的 β = 100。OC 门 G_1 输出管截止时的漏电流约为 50 μ A,导通时允许的最大负载电流为 16mA,输出低电平 $V_{\text{OL}} \leq 0.3$ V。 $G_2 \sim G_5$ 均为 74 系列 TTL 电路,其中 G_2 为反相器, G_3 和 G_4 是与非门, G_5 是或非门,它们的输入特性如题图 3-12(b)所示。试问



- 题图 3-12
- (1) 在三极管集电极输出的高、低电平满足 $v_{\rm OH} \ge 3.5 \, {\rm V}$, $v_{\rm OL} \le 0.3 \, {\rm V}$ 的条件下, $R_{\rm B}$ 的取值范围有多大?
- (2) 若将 OC 门改推拉式输出的 TTL 门电路, 会发生什么问题?

[解]

(1) 根据三极管饱和导通时的要求可得 R_B的最大允许值。三极管的临界饱和基极电流应为

$$I_{BS} = \frac{1}{\beta} \left(\frac{V_{CC} - V_{CES}}{R_C} + 5I_{IL} \right) = \frac{1}{100} \left(\frac{5 - 0.3}{4.7} + 5 \times 1.6 \right) mA = 0.09 mA$$

故得到
$$\frac{V_{CC}-V_{BE}}{R_{\scriptscriptstyle B}}=0.09+0.05$$
 , $R_{\scriptscriptstyle B}=\frac{V_{CC}-V_{BE}}{0.14}=\frac{4.3}{0.14}k\Omega=30.7k\Omega$

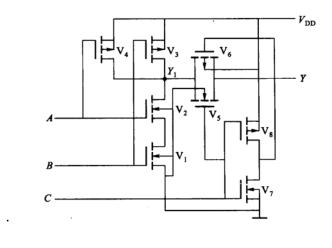
又根据 OC 门导通允许的最大负载电流为 16mA 可求出的 R_B 的最小允许值。

$$R_{B} = \frac{V_{CC} - V_{OL}}{16} = \frac{4.7}{16} k\Omega = 0.29 K\Omega$$

故应取 $0.29k\Omega < R_B < 30.7k\Omega$

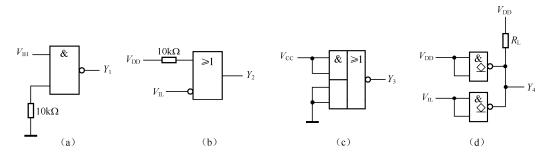
(2) 若将 OC 门直接换成推拉式输出的 TTL 门电路,则 TTL 门电路输出高电平时为低内阻,而且三极管的发射结导通时也是低内阻,因此可能因电流过大而使 TTL 门电路和三极管受损。

[题 3-13] 写出下图所示 CMOS 电路的输出逻辑表达式,并说明它的逻辑功能。



题图 3-13

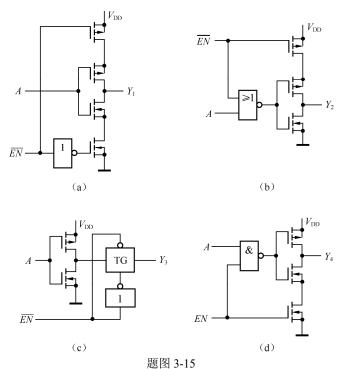
[3-14] 说明题图 3-14 中各门电路的输出是高电平还是低电平。已知它们都是 CC4000 系列的 CMOS 电路。



(a) 高电平 (b) 高电平 (c)低电平 (d)低电平 题图 3-14

[3-15] 电路如题图 3-15 所示。

- (1) 写出 Y_1 、 Y_2 、 Y_3 、 Y_4 的逻辑表达式;
- (2) 说明 4 种电路的相同之处与不同之处。



AS EL 3-13

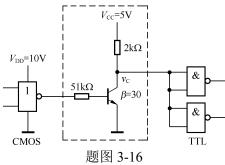
(a)
$$\overline{EN}=0$$
时, $Y_1=\overline{A}$, $\overline{EN}=1$ 时,高阻态

(b)
$$\overline{EN}=0$$
时, $Y_2=A$, $\overline{EN}=1$ 时,高阻态

(c)
$$\overline{EN} = 0$$
时, $Y_3 = \overline{A}$, $\overline{EN} = 1$ 时, 高阻态

(d)
$$EN = 1$$
时, $Y_4 = A$, $EN = 0$ 时, 高阻态 四个电路都是三态门

[3-16] 计算题图 3-16 电路中接口电路输出端 $\nu_{\rm C}$ 的高、低电平,并说明接口电路参数的选择是否合理。CMOS 或非门电源电压 $V_{\rm DD}$ = 10 V,空载输出的高、低电平分别为 $V_{\rm OH}$ = 9.95 V、 $V_{\rm OL}$ = 0.05 V,门电路的输出电阻小于 200Ω。TTL 与非门的高电平输入电流 $I_{\rm IH}$ =20 μ A,低电平输入电流 $I_{\rm IH}$ = -0.4 μ A 。



[解]

(1) CMOS 或非门输出为高电平时,由图可得到

$$I_{B} = \frac{V_{OH} - V_{BE}}{51 + 0.2} = \frac{9.95 - 0.7}{51.2} = 0.18 mA$$

三极管临界饱和的基极电流为

$$I_{BS} = \frac{1}{\beta} \left(\frac{V_{CC} - V_{CES}}{R_C} + 2I_{IL} \right) = \frac{1}{30} \left(\frac{5 - 0.3}{2} + 2 \times 0.4 \right) = 0.11 mA$$

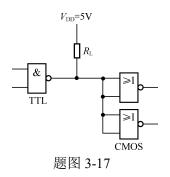
可见, $I_B > I_{BS}$,故三极管处于饱和导通状态 $V_C \approx 0.3V$ 。

(2) CMOS 或非门输出为低电平时,三极管截止,因此得到

$$V_{C} = V_{CC} - 4I_{IH}R_{C} = 5 - 4 \times 0.02 \times 2 = 4.84V$$

由此可知,接口电路的参数选择合理。

[3-17] 题图 3-17 是用 TTL 电路驱动 CMOS 电路的实例,试计算上拉电阻 $R_{\rm L}$ 的取值范围。 TTL 与非门在 $V_{\rm OL} \leq 0.3$ V 时的最大灌电流为 $8{\rm mA}$,输出端的 T_5 管截止时有 $50{\mu}$ A 的拉电流。 CMOS 或非门的输入电流可以忽略。要求加到 CMOS 或非门输入端的电压满足 $V_{\rm IH} \geq 4$ V, $V_{\rm IL} \leq 0.3$ V 。给定电源电压 $V_{\rm DD} = 5$ V 。



[解]

(1)根据 $v_{M} \ge 4V$ 的要求和 TTL 与非门的截止漏电流可求得 R_L 的最大允许值

$$R_L = \frac{V_{CC} - V_{IH}}{0.05} = \frac{5 - 4}{0.05} K\Omega = 20 K\Omega$$

(2)根据 $V_{LL} \le 0.3V$ 及 TTL 与非门的最大负载电流可求出 R_L 的最小允许值 $R_L = \frac{V_{CC} - V_{LL}}{8} = \frac{5 - 0.3}{8} K\Omega = 0.59 K\Omega$

故应取 $0.59K\Omega < R_t < 20K\Omega$ 。

[3-18] 试说明下列各种门电路中哪些可以将输出端并联使用(输入端的状态不一定相同)。

- (1) 具有推拉式输出级的 TTL 电路;
- (2) TTL 电路的 OC 门;
- (3) TTL 电路的三态输出门;
- (4) 普通的 CMOS 门;
- (5)漏极开路输出的 CMOS 门;
- (6) CMOS 电路的三态输出门。

[解] (1)、(4) 不能,(2)、(3)、(5)、(6) 可以。