



吉林大学

可编程逻辑设计课程设计报告书

课题名称	电子闹钟设计
姓 名 1	学 号
姓 名 2	学 号
姓 名 3	学 号
专 业	通信工程自动化
日 期	28/05/2022

1. 设计的主要内容及目的要求

利用 Verilog HDL 设计一个可以显示时分秒的电子数字时钟。

基本功能：

- 数字时钟，具有时、分、秒显示；
- 具有时间校准及闹钟功能；
- 具有时钟复位功能；
- 采用数码管显示时钟值（仿真中看不出数码管显示效果）；

2. 整体设计方案及方法

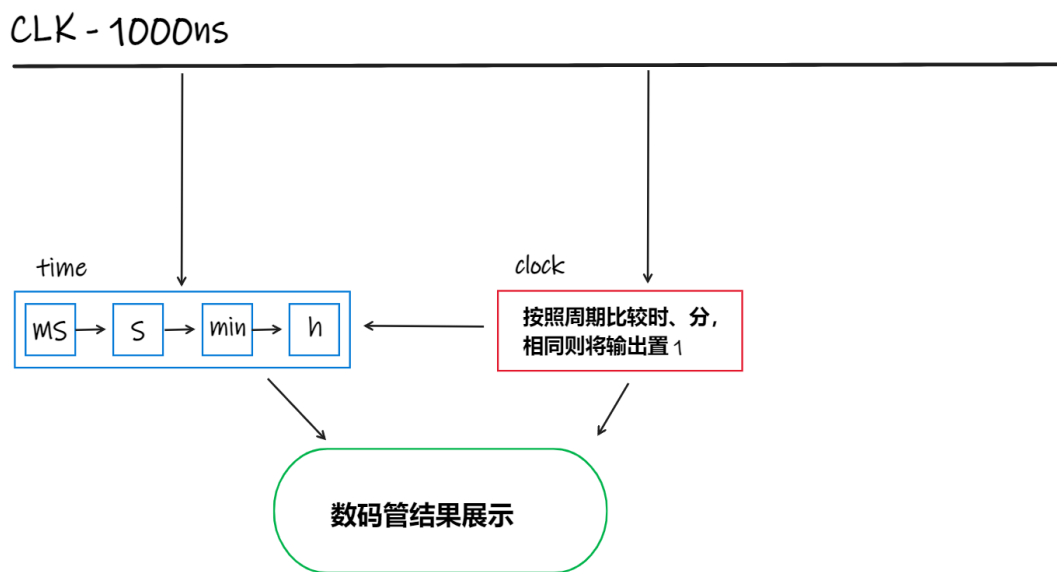


图1：流程图

实验整体流程图如上图，此后为具体解释。

a) 时、分、秒计时功能：

- 产生以 1000 ns 即 1ps 为周期方波时钟信号
- 采用 cnt 计数的方式检测方波时钟信号的上升沿
- 500 个上升沿即为 1ms 1000 个 1ms 为 1s，依次类推到小时

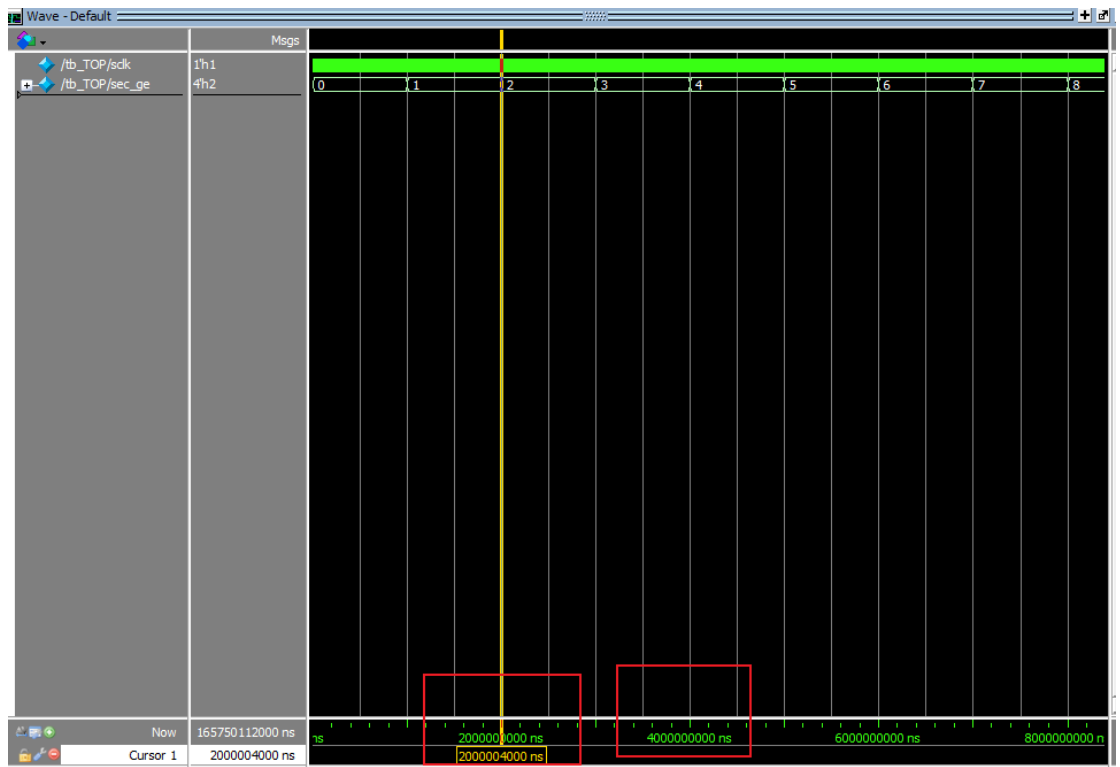


图2: ModelSim 仿真 - 秒计数实现

b) 时钟复位功能

- i. 在所有检测信号的技术模块内添加检测复位信号的条件。
- ii. 在处理内部首先判断信号值，当信号为 0，清空计数。

```

//-----分钟个位、十位-----//
reg      [3:0] min_ge;
reg      flag_min_ge;           //分钟个位进位信号
reg      [2:0] min_shi;
reg      flag_min_shi;         //分钟十位进位信号

always @(posedge clk or negedge rst_n) begin
    if(!rst_n) begin
        min_ge <= 0;
        flag_min_ge <= 0;
    end
    else if(set_time_finish) begin
        min_ge <= set_min_ge;
        flag_min_ge <= 0;
    end
    else if(flag_sec_shi) begin
        if(min_ge == 4'd9) begin
            min_ge <= 0;
            flag_min_ge <= 1;
        end
        else begin
            min_ge <= min_ge + 1;
            flag_min_ge <= 0;
        end
    end
    else begin
        min_ge <= min_ge;
        flag_min_ge <= 0;
    end
end
end

```

图3：源代码 - 复位功能代码展示

c) 闹钟功能

- i. 在每个周期内检测 时、分对应变量的值
- ii. 如果对应数值与预设值相同且闹钟开启则 对应变量的 输出值 0

```

reg      clock_en = 1;
reg      [3:0] clock_min_ge = 4'd1;
reg      [2:0] clock_min_shi = 3'd0;
reg      [3:0] clock_hour_ge = 4'd0;
reg      [1:0] clock_hour_shi = 2'd0;

```

图4：源代码 - 设置闹钟开启

```

//=====闹钟设置=====//
always @(posedge clk or negedge rst_n) begin
    if(!rst_n) begin
        clock_out <= 0;
    end
    else if(!clock_en) begin
        clock_out <= 0;
    end
end

```

图5：源代码 - 检测闹钟是否开启

d) 数码管显示

- i. 根据时分秒的值对应控制七段数码管的高低电平即可
- ii. 具体实现见附件源代码。

3. Verilog HDL 硬件代码及注释

完整代码以及注释见附件 `src.zip`，以下为简要解释。

- 文件结构：
 - `TOP.v` 顶层文件
 - `time_control.v` 数字钟实现模块
 - `display_ctrl.v` 数码管驱动模块
 - `tb_TOP.v` 测试文件
- `TOP.v`
 - a) 定义所有输入，输出变量，包括时钟的时、分、秒，闹钟的时、分、秒、数码管的输出等。
 - b) 实例化 `time_control` 和 `display_ctrl`。
- `time_control.v`
 - a) 从 ps 到 ms 到 s 到 min 到 h 的 cnt 计数实现。
 - b) 闹钟与时钟数值对比的实现
- `display_ctrl.v`
 - a) 根据段选和位选信号实现数码管的动态刷新。

4. Modelsim 功能仿真（波形图）

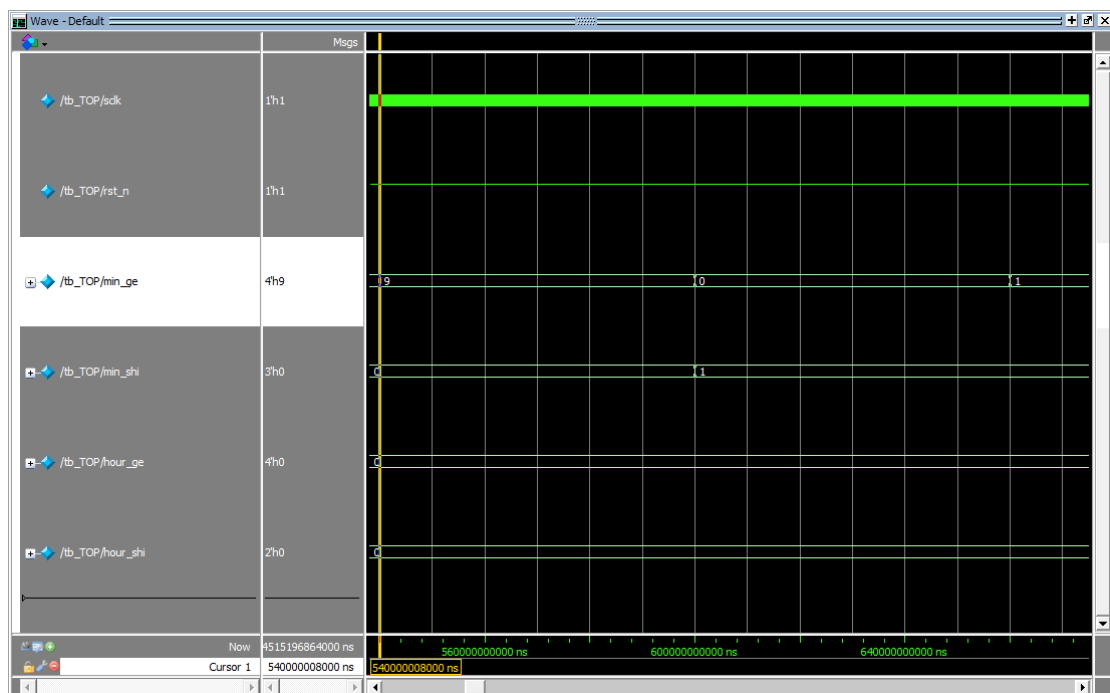


图6: ModelSim 仿真 – 时钟功能

分析：当 540000000000ns 时 `min_ge` 输出位 5 当 600000000000ns 时 `min_ge` 输出从 9 变成 0，`min_shi` 从 0 变成 1。分钟的十位和个位变化正确。

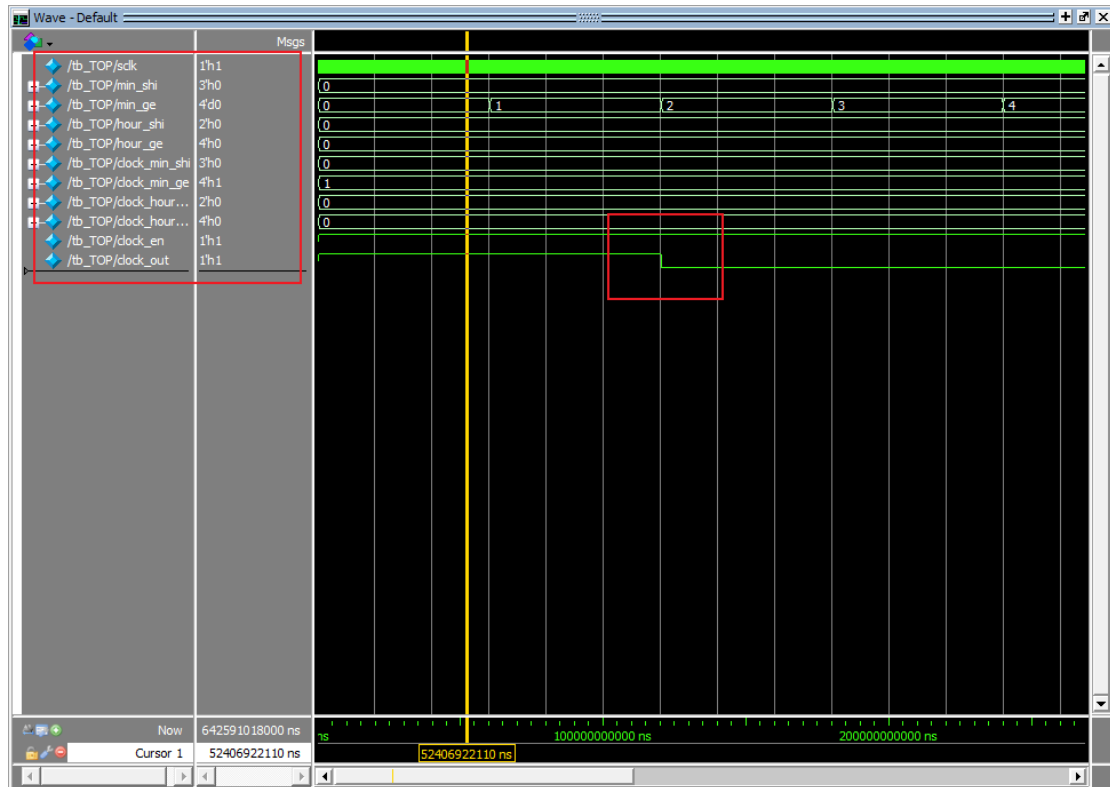


图7: ModelSim 仿真: 闹钟功能

分析: 预先设置闹钟为 0 时 2 分, 观察过 min_ge 从 1 跳变到 2 时, 对应的 clock_out 的输出从 1 跳变到 0。

5. 设计总结

ModelSim 作为一个优秀的 HDL 语言仿真软件, 可以很好的验证设计。本次实验虽然设计了数码管, 但仿真无法直观的展示出数码管的效果。未来可以进行深入学习, 更进一步的对 Verilog 代码进行仿真。

6. 组员分工详细说明

组员共一人。

Author: [shem](#)