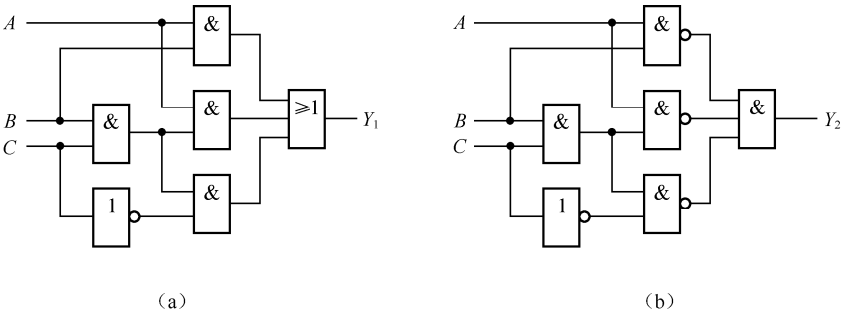


[4-1] 分析如题图 4-1 所示两个逻辑电路的逻辑功能是否相同？要求写出逻辑表达式，列出真值表。

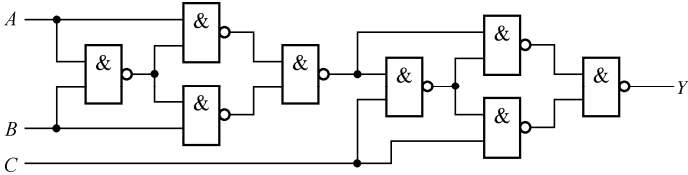


题图 4-1

解： $Y_1 = AB$ ， $Y_2 = \overline{AB}$

A	B	Y_1	Y_2
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

[4-2] 写出如题图 4-2 所示电路输出信号的逻辑表达式，并说明电路的逻辑功能。



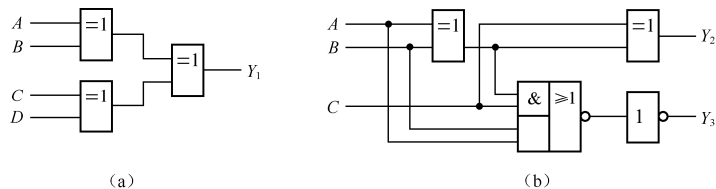
题图 4-2

解：功能：判奇电路，当输入变量为奇数个 1 时，输出为 1；否则为 0。

$$Y = A \oplus B \oplus C ,$$

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

[4-3] 写出如题图 4-3 所示各电路输出信号的逻辑表达式，并说明电路的逻辑功能。

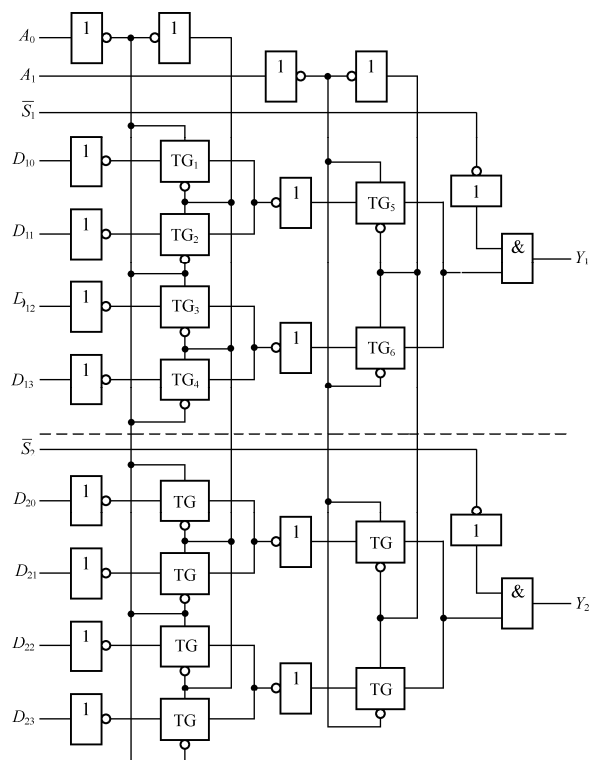


题图 4-3

解: $Y_1 = A \oplus B \oplus C \oplus D$, 判奇电路, 当输入变量为奇数个 1 时, 输出为 1; 否则为 0。

$Y_2 = A \oplus B \oplus C, Y_3 = (A \oplus B)C + AB$, 全加器, Y_2 为本位和, Y_3 为进位。

[4-4] 分析在如题图 4-4 所示 74HC153 双 4 选 1 数据选择器的工作原理，写出功能表。



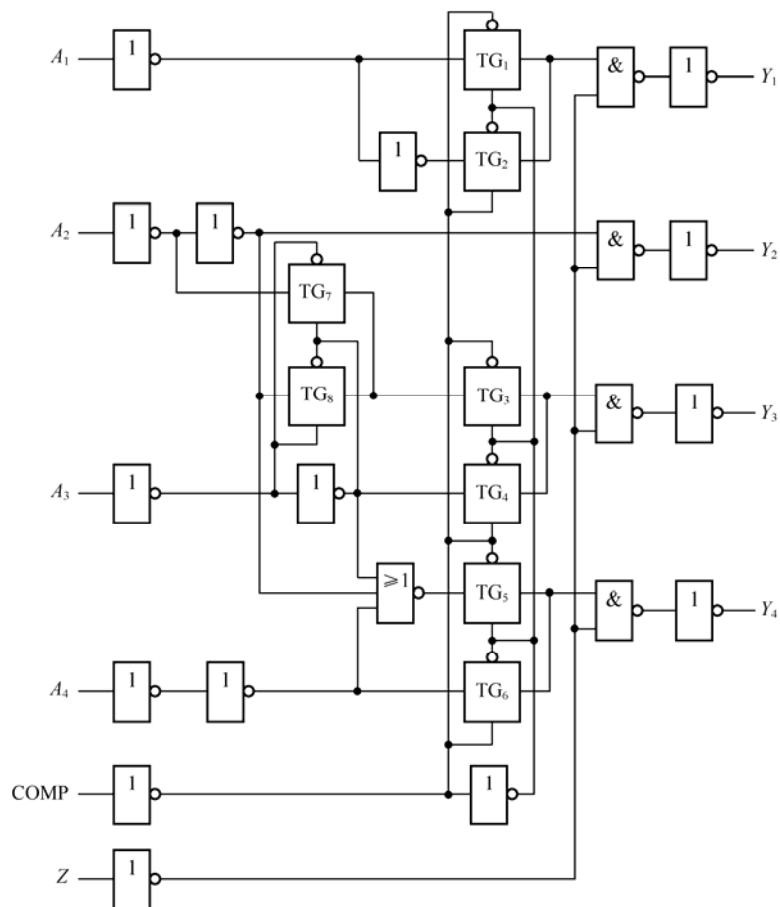
题图 4-4

74HC153 功能表

$\overline{S_1}$	$\overline{S_2}$	A_1	A_0	Y_2	Y_1
------------------	------------------	-------	-------	-------	-------

1	1	×	×	0	0
0	0	0	0	D_{20}	D_{10}
0	0	0	1	D_{21}	D_{11}
0	0	1	0	D_{22}	D_{12}
0	0	1	1	D_{23}	D_{13}

[4-5] 题图 4-5 是对十进制数 9 求补的集成电路 CC4561 的逻辑图，写出当 COMP=1、Z=0 和 COMP=0、Z=0 时， $Y_1 \sim Y_4$ 的逻辑式，列出真值表。



题图 4-5

【解】

(1) COMP=1、Z=0 时输出的逻辑式为

$$\begin{cases} Y_1 = \overline{A_1} \\ Y_2 = A_2 \\ Y_3 = A_2 \oplus A_3 \\ Y_4 = \overline{A_2 + A_3 + A_4} \end{cases}$$

(2) COMP=0、Z=0 时输出的逻辑式为

$$\begin{cases} Y_1 = A_1 \\ Y_2 = A_2 \\ Y_3 = A_3 \\ Y_4 = A_4 \end{cases} \quad (\text{即不变换, 真值表从略})$$

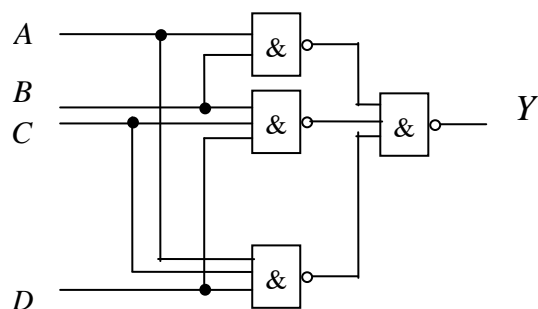
COMP=1、Z=0 时的真值表

十进制数	A_4	A_3	A_2	A_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	1	0	0	1
1	0	0	0	1	1	0	0	0
2	0	0	1	0	0	1	1	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	0	0
6	0	1	1	0	0	0	1	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	0	0
伪	1	0	1	0	0	1	1	1
	1	0	1	1	0	1	1	0
	1	1	0	0	0	1	0	1
	1	1	0	1	0	1	0	0
码	1	1	1	0	0	0	1	1
	1	1	1	1	0	0	1	0

[4-6] 某高校毕业班有一个学生还需修满 9 个学分才能毕业, 在所剩的 4 门课程中, A 为 5 个学分, B 为 4 个学分, C 为 3 个学分, D 为 2 个学分。试用与非门设计一个逻辑电路, 其输出为 1 时表示该生能顺利毕业。

解: $Y = \overline{\overline{AB} \cdot \overline{BCD} \cdot \overline{ACD}}$

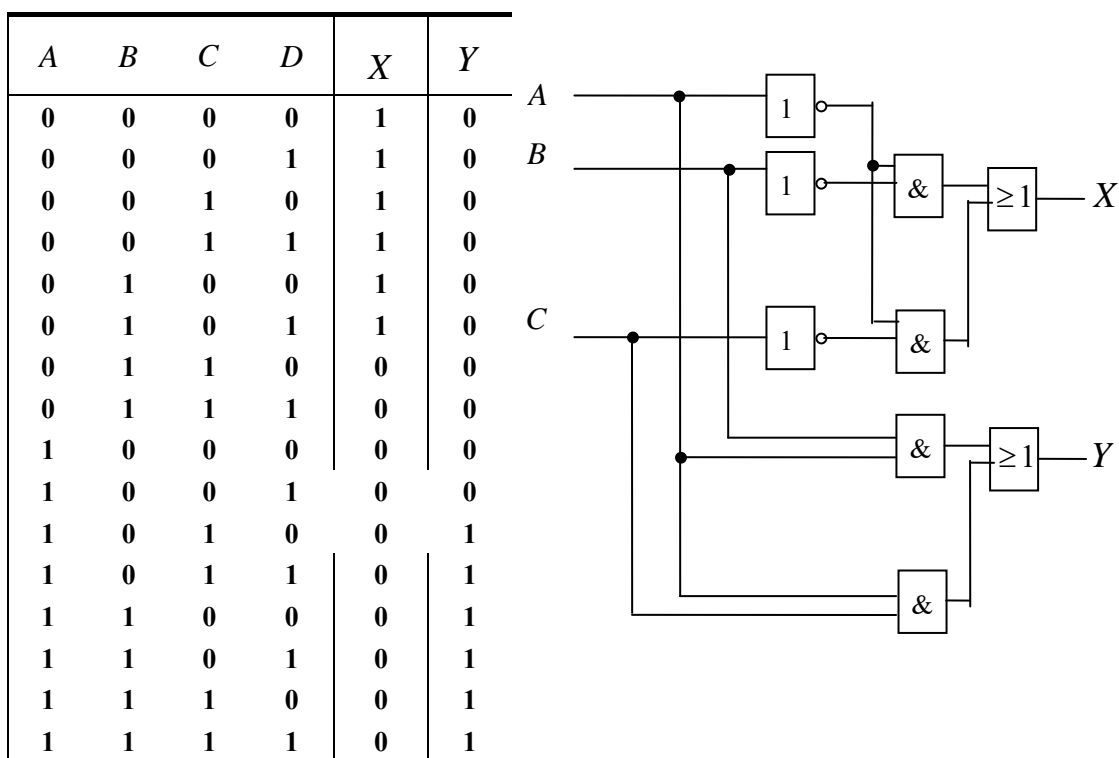
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0



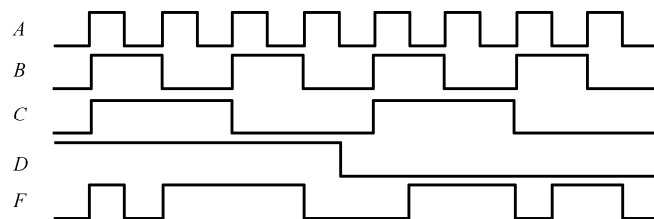
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

[4-7] 试设计一个温度控制电路，其输入为 4 位二进制数 $ABCD$ ，代表检测到的温度，输出为 X 和 Y ，分别用来控制暖风机和冷风机的工作。当温度低于或等于 5 时，暖风机工作，冷风机不工作；当温度高于或等于 10 时，冷风机工作，暖风机不工作；当温度介于 5 和 10 之间时，暖风机和冷风机都不工作。

解： $X = \overline{A}\overline{B} + \overline{A}\overline{C}$ (暖风机)， $Y = AB + AC$ (冷风机)。工作—1 不工作--0



[4-8] 设计一个组合逻辑电路，使其输出信号 F 与输入信号 A 、 B 、 C 、 D 的关系满足题图 4-6 所示的波形图。



题图 4-6

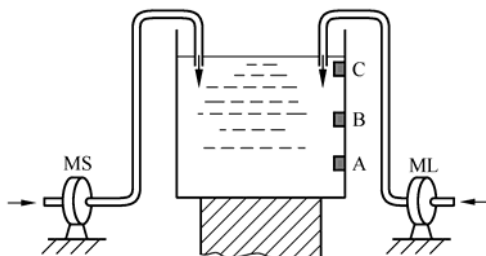
<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

解：由卡诺图得

$$F = A\bar{B}\bar{D} + \bar{B}C + \bar{A}B\bar{D} + B\bar{C}D + ABD$$

其中前两项是必有的，后面三项化简结果不唯一。

[4-9] 有一水箱由大、小两台泵 M_L 和 M_S 供水，如题图 4-8 所示。水箱中设置了 3 个水位检测元件 A、B、C。水面低于检测元件时，检测元件给出高电平；水面高于检测元件时，检测元件给出低电平。现要求当水位超过 C 点时水泵停止工作；水位低于 C 点而高于 B 点时 M_S 单独工作；水位低于 B 点而高于 A 点时 M_L 单独工作；水位低于 A 点时 M_L 和 M_S 同时工作。试用门电路设计一个控制两台水泵的逻辑电路，要求电路尽量简单。



题图 4-7

【解】

图 4-8 的真值表

A	B	C	M_S	M_L
0	0	0	0	0
0	0	1	1	0
0	1	0	×	×
0	1	1	0	1
1	0	0	×	×
1	0	1	×	×
1	1	0	×	×
1	1	1	1	1

真值表中的 $\overline{A}B\overline{C}$ 、 $A\overline{B}\overline{C}$ 、 $\overline{A}B\overline{C}$ 、 $AB\overline{C}$ 为约束项，

利用卡诺图化简后得到

$$\begin{cases} M_S = A + \overline{B}C \\ M_L = B \end{cases}$$

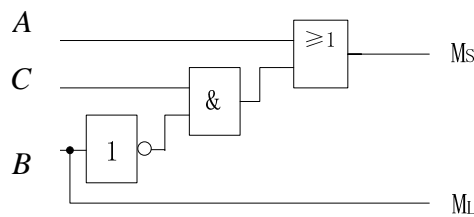
(M_S 、 M_L 的 1 状态表示工作，0 状态表示停止)

		BC			
A		00	01	11	10
	0	0	1	0	×
	1	×	×	1	×

$M_S = A + \overline{B}C$

		BC			
A		00	01	11	10
	0	0	0	1	×
	1	×	×	1	×

$M_L = B$



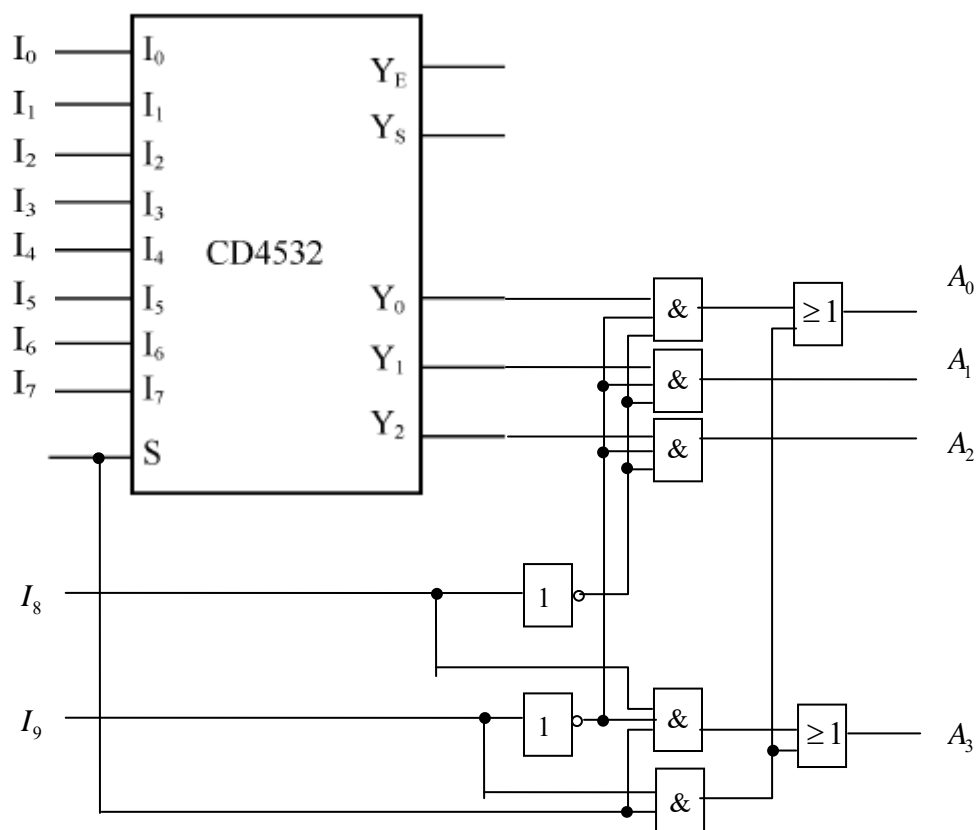
[4-10] 试画出用 1 片 8 线-3 线优先编码器 CD4532 组成 8421BCD 优先编码器的逻辑图。允许附加必要的门电路，设输入为 $I_9 - I_0$ ，且高电平有效，编码优先顺序为 $I_9 \longrightarrow I_0$ ，输出为 A_3 、 A_2 、 A_1 、 A_0 。

解：

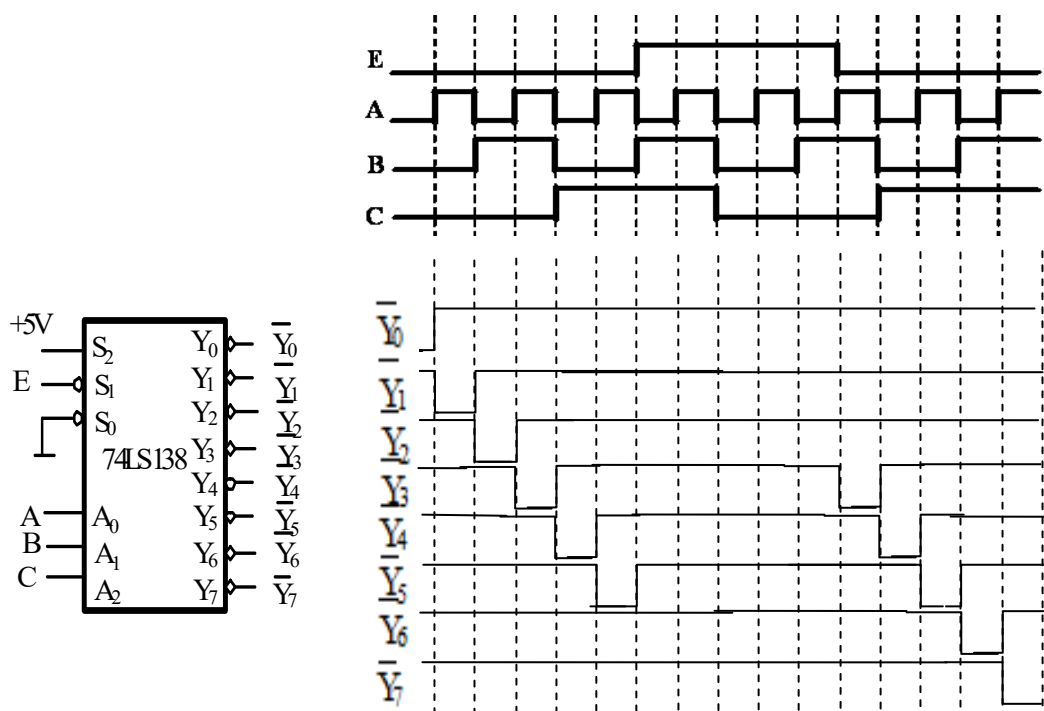
功能表

输入											输出			
S	I_9	I_8	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	A_3	A_2	A_1	A_0
0	×	×	×	×	×	×	×	×	×	×	0	0	0	0
1	1	×	×	×	×	×	×	×	×	×	1	0	0	1
1	0	1	×	×	×	×	×	×	×	×	1	0	0	0
1	0	0	×	×	×	×	×	×	×	×	0	Y_2	Y_1	Y_0

由功能表列出表达式如下： $A_3 = S(I_9 + \overline{I_9}I_8)$ ， $A_2 = \overline{I_9}\overline{I_8}Y_2$ ， $A_1 = \overline{I_9}\overline{I_8}Y_1$ ， $A_0 = I_9S + \overline{I_9}\overline{I_8}Y_0$ ，



[4-11] 已知题图 4-8 (a) 所示的 3 线-8 线译码器 74LS138，输入信号的波形如题图 4-8 (b) 所示。试画出译码器 $\bar{Y}_0 \sim \bar{Y}_7$ 输出的波形。



(a)

(b)

题图 4-8

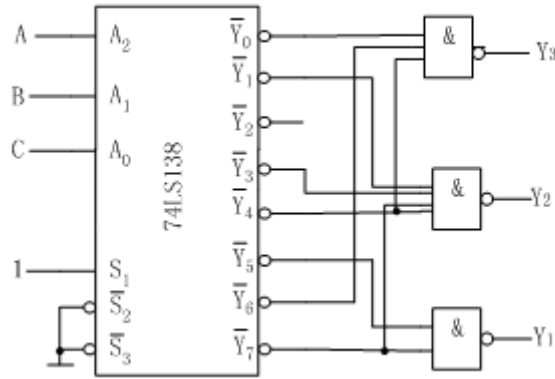
[4-12] 试画出用 3 线-8 线译码器 74LS138 和门电路产生多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = AC \\ Y_2 = \bar{A}\bar{B}C + A\bar{B}\bar{C} + BC \\ Y_3 = \bar{B}\bar{C} + ABC \end{cases}$$

$$Y_1 = AC = \bar{A}\bar{B}C + ABC = \bar{Y}_5\bar{Y}_7$$

$$\text{【解】 } Y_2 = \bar{A}\bar{B}C + A\bar{B}\bar{C} + BC = \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}\bar{C} + ABC = \bar{Y}_1\bar{Y}_3\bar{Y}_4\bar{Y}_7$$

$$Y_3 = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + ABC = \bar{Y}_0\bar{Y}_4\bar{Y}_6$$



[4-13] 画出用 4 线-16 线译码器 74LS154 和门电路产生如下多输出逻辑函数的逻辑图。题图 4-9 是 74LS154 的逻辑框图，图中 \bar{S}_A 、 \bar{S}_B 是两个控制端（亦称片选端）译码器工作时应使 \bar{S}_A 、 \bar{S}_B 同时为低电平，输入信号 A_3 、 A_2 、 A_1 、 A_0 为 0000~1111 这 16 种状态时，输出端从 \bar{Y}_0 到 \bar{Y}_{15} 依次给出低电平输出信号。

$$Y_1 = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D}$$

$$Y_2 = \bar{A}BCD + A\bar{B}CD + AB\bar{C}D + ABC\bar{D}$$

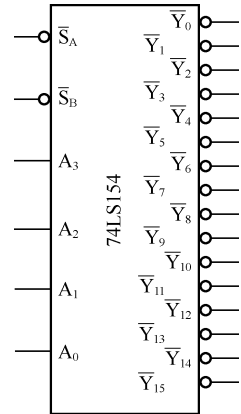
$$Y_3 = \bar{A}B$$

[解]:

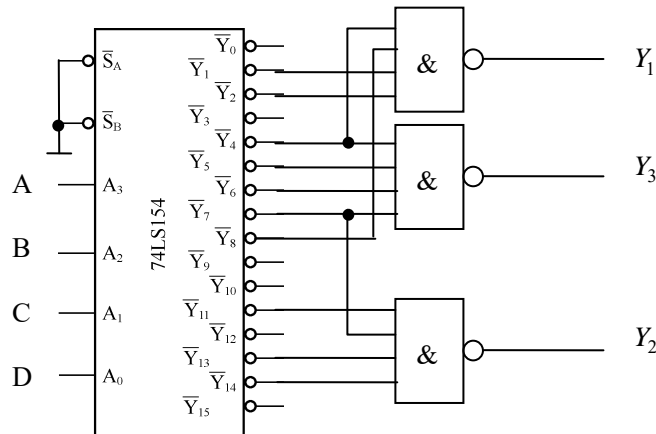
$$Y_1 = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D} = \sum m(1,2,4,8) = \bar{Y}_1\bar{Y}_2\bar{Y}_4\bar{Y}_8$$

$$Y_2 = \bar{A}BCD + A\bar{B}CD + AB\bar{C}D + ABC\bar{D} = \sum m(7,11,13,14) = \bar{Y}_7\bar{Y}_{11}\bar{Y}_{13}\bar{Y}_{14}$$

$$Y_3 = \bar{A}B = \sum m(4,5,6,7) = \bar{Y}_4\bar{Y}_5\bar{Y}_6\bar{Y}_7$$



题图 4-9



[4-14]用 3 线-8 线译码器 74LS138 和门电路设计 1 位二进制全减器电路。输入为被减数 P_i 、减数 Q_i 和来自低位的借位 B_{i-1} ；输出为两数之差 D_i 及向高位的借位信号 B_i 。

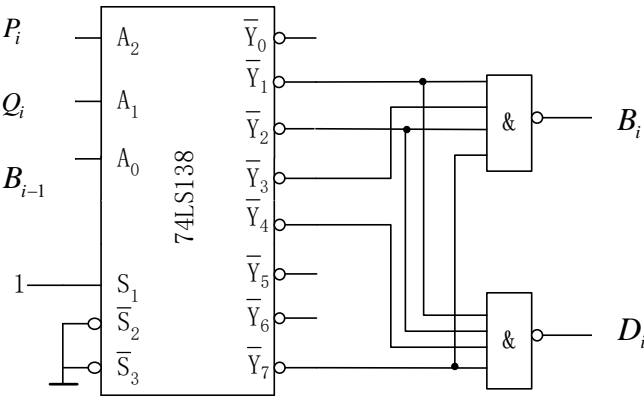
【解】

一位全减器的真值表

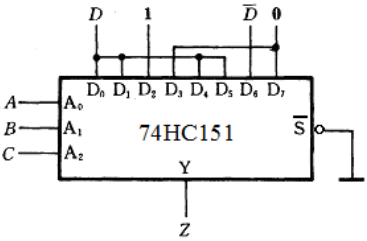
P_i	Q_i	B_{i-1}	D_i	B_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

由真值表得到 D_i 和 B_i 的逻辑式为：

$$D_i = \sum(1, 2, 4, 7) = \overline{Y_1 Y_2 Y_4 Y_7} \quad B_i = \sum(1, 2, 3, 7) = \overline{Y_1 Y_2 Y_3 Y_7}$$



[4-15] 分析题图 4-10 所示电路，74HC151 写出输出 Z 的逻辑函数式。



题图 4-10

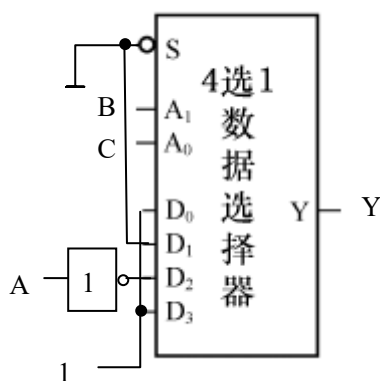
【解】 由题意已知，

$$A = A_0 \quad B = A_1 \quad C = A_2 \quad D_0 = D_1 = D_4 = D_5 = D, \quad D_2 = 1, \quad D_3 = D_7 = 0, \quad D_6 = \overline{D}$$

$$\begin{aligned}
Z &= D_0m_0 + D_1m_1 + \dots + D_7m_7 \\
&= D\bar{C}\bar{B}\bar{A} + D\bar{C}B\bar{A} + 1 \cdot \bar{C}B\bar{A} + 0 \cdot \bar{C}BA + D\bar{C}\bar{B}A + D\bar{C}BA + \bar{D}C\bar{B}\bar{A} + 0 \cdot CBA \\
&= D\bar{C}\bar{B}\bar{A} + D\bar{C}B\bar{A} + \bar{C}B\bar{A} + D\bar{C}\bar{B}A + D\bar{C}BA + \bar{D}C\bar{B}\bar{A} \\
&= D\bar{B} + \bar{C}B\bar{A} + \bar{D}B\bar{A} \quad \text{或} = D\bar{B} + D\bar{C}A + \bar{D}B\bar{A}
\end{aligned}$$

〔4-16〕 试用 4 选 1 数据选择器产生逻辑函数 $Y = A\bar{B}\bar{C} + \bar{A}\bar{C} + BC$ 。

『解』: $Y = A\bar{B}\bar{C} + \bar{A}\bar{C} + BC = A\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + BC = \bar{B}\bar{C} + \bar{A}B\bar{C} + BC$ ，将 A 变量分离出来，B 为地址高位，C 为地址低位，则有 $Y = m_0 + \bar{A}m_2 + m_3$ ，即 $D_0 = D_3 = 1, D_1 = 0, D_2 = \bar{A}$ 。也可将 B 或 C 变量分离出来（过程略）。



〔4-17〕 用双 4 选 1 数据选择器 74HC153 实现 1 位全加器电路。74HC153 原理图参看习题〔4-4〕。设 A_i 和 B_i 分别表示被加数、加数输入， C_{i-1} 表示来自相邻低位的进位输入。 S_i 为本位和输出， C_i 为向相邻高位的进位输出。

解： 由全加器真值表有：

表 4-12 全加器的真值表

输 入			输 出	
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S_i = \bar{A}_i\bar{B}_iC_{i-1} + \bar{A}_iB_i\bar{C}_{i-1} + A_i\bar{B}_i\bar{C}_{i-1} + A_iB_iC_{i-1}$$

$$C_i = B_iC_{i-1} + A_i\bar{B}_iC_{i-1} + A_iB_i\bar{C}_{i-1}$$

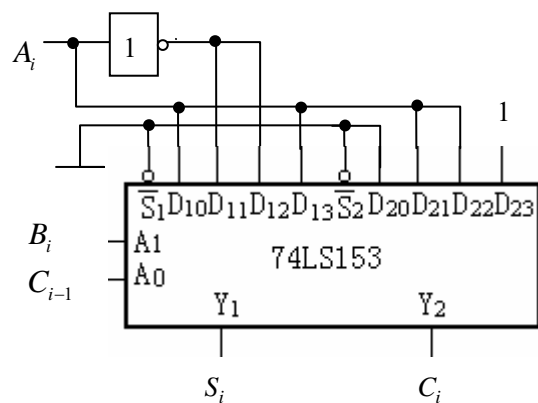
将 A_i 变量分离出来， B_i 为地址高位， C_{i-1} 为地址低位，则有

$$S_i = A_im_0 + \bar{A}_im_1 + \bar{A}_im_2 + A_im_3,$$

$$\text{即 } D_{10} = D_{13} = A_i, D_{11} = D_{12} = \bar{A}_i$$

$$\text{以及 } C_i = A_im_1 + A_im_2 + m_3,$$

$$\text{即 } D_{20} = 0, D_{21} = D_{22} = A_i, D_{23} = 1.$$



[4-18] 试用两片双 4 选 1 数据选择器 74LS153 和 3 线-8 线译码器 74LS138 接成 16 选 1 数据选择器。

[解] 见图 A3.13。

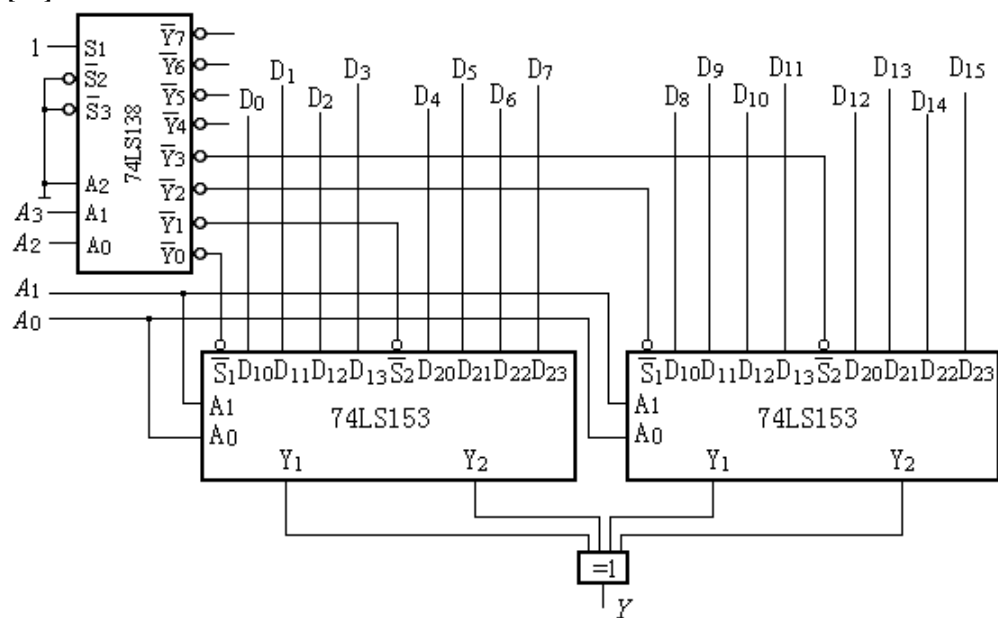
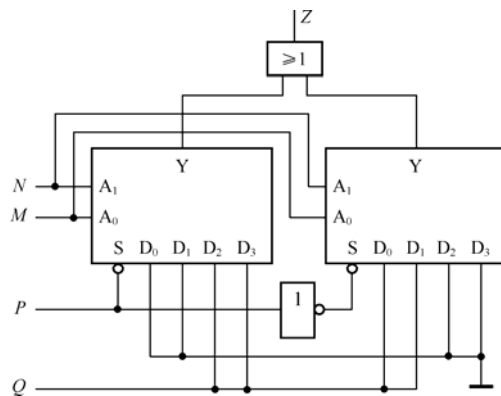


图 A3.13

[4-19] 题图 4-11 是用两个 4 选 1 数据选择器组成的逻辑电路，试写出输出 Z 与输入 M 、 N 、 P 、 Q 之间的逻辑函数。



题图 4-11

[解] 设左片为片 1，右片为片 2

$$N = A_1 \quad M = A_0 \quad D_{10} = D_{11} = D_{22} = D_{23} = 0, \quad D_{12} = D_{13} = D_{20} = D_{21} = Q$$

$$\bar{S}_1 = P, S_1 = \bar{P}; \quad \bar{S}_2 = \bar{P}, S_2 = P$$

$$Y_1 = (D_0 m_0 + D_1 m_1 + D_2 m_2 + D_3 m_3) S_1 = (N \bar{M} Q + N M Q) \bar{P}$$

$$Y_2 = (D_0 m_0 + D_1 m_1 + D_2 m_2 + D_3 m_3) S_1 = (\bar{N} \bar{M} Q + \bar{N} M Q) P$$

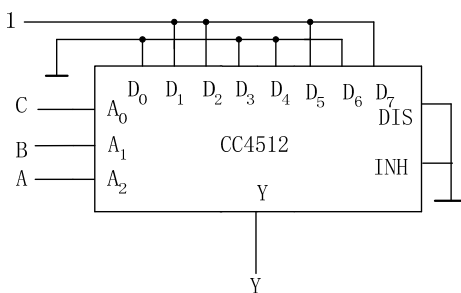
$$Z = Y_1 + Y_2 = (N \bar{M} Q + N M Q) \bar{P} + (\bar{N} \bar{M} Q + \bar{N} M Q) P = N Q \bar{P} + \bar{N} Q P$$

[4-20] 用 8 选 1 数据选择器 74HC151 产生逻辑函数

$$Y = AC + \bar{A} \bar{B} \bar{C} + \bar{A} \cdot \bar{B} C$$

解：另 A 为高位，C 为低位，有 $Y = \sum m(1, 2, 5, 7)$ ，

故 $D_1 = D_2 = D_5 = D_7 = 1, D_0 = D_3 = D_4 = D_6 = 0$ ，逻辑图如下。



[4-21] 设计用 3 个开关控制一个电灯的逻辑电路，要求改变任何一个开关的状态都控制电灯由亮变灭或由灭变亮。要求用数据选择器来实现。

解：由题意列真值表如下，设开关全部断开时灯灭为情况 Y_1 ，否则为 Y_2

A	B	C	Y_1	Y_2
0	0	0	0	1
0	0	1	1	0
0	1	1	0	1
0	1	0	1	0
1	1	0	0	1
1	1	1	1	0
1	0	1	0	1
1	0	0	1	0

以 Y_1 为例， $Y_1 = \sum m(1, 2, 4, 7)$ 利用八选一数据选择器，A 接地址高位，C 接低位，则有， $D_1 = D_2 = D_4 = D_7 = 1, D_0 = D_3 = D_5 = D_6 = 0$ ，逻辑图略。

[4-22] 用 8 选 1 数据选择器设计一个函数发生器电路，它的功能表如题表 4-1 所示。设 $S_1 S_0 A = A_2 A_1 A_0$ 。

题表 4-1

$S_1 S_0$	Y
-----------	---

0 0	$A \cdot B$
0 1	$A+B$
1 0	$A \oplus B$
1 1	\bar{A}

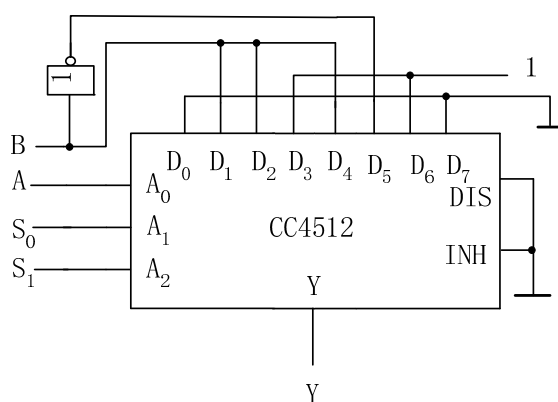
解：由题意得： $Y = \overline{S_1} \overline{S_0} AB + \overline{S_1} S_0 (A+B) + S_1 \overline{S_0} (A \oplus B) + S_1 S_0 \bar{A}$

展开分离 B 变量有：

$$Y = B \overline{S_1} \overline{S_0} A + \overline{S_1} \overline{S_0} A + B \overline{S_1} S_0 A + B \overline{S_1} S_0 \bar{A} + \overline{B} S_1 \overline{S_0} A + B S_1 \overline{S_0} \bar{A} + S_1 S_0 \bar{A}$$

$$= B m_1 + m_3 + B m_2 + \bar{B} m_5 + B m_4 + m_6$$

即： $D_0 = D_7 = 0, D_1 = D_2 = D_4 = B, D_5 = \bar{B}, D_3 = D_6 = 1$ ，逻辑图如下。



[4-23] 试用 4 位并行加法器 74LS283(见图 4-29)设计一个加/减运算电路。当控制信号 $M=0$ 时它将两个输入的 4 位二进制数相加，而 $M=1$ 时它将两个输入的 4 位二进制数相减。允许附加必要的电路。

【解】 电路如图 A3.23。

$M=0$ 时， $S_3 S_2 S_1 S_0 = P_3 P_2 P_1 P_0 + Q_3 Q_2 Q_1 Q_0$ ，

$M=1$ 时， $S_3 S_2 S_1 S_0 = P_3 P_2 P_1 P_0 - Q_3 Q_2 Q_1 Q_0 = P_3 P_2 P_1 P_0 + [Q_3 Q_2 Q_1 Q_0]_{\text{补}}$

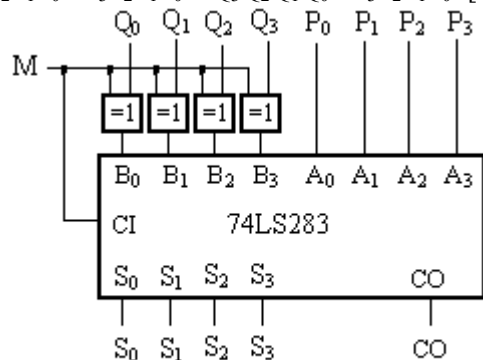


图 A3.23

[4-24] 能否用一片 4 位并行加法器 74LS283 (见图 4-29) 将余 3 代码转换成 8421 的二十进制代码？如果可能，应当如何连线？

【解】 由第一章的表 1-2 可知,从余 3 码中减去 3(0011)即可得到 8421 码.减 3 可通过加它的补码来实现.若输入的余 3 码位 $D_3 D_2 D_1 D_0$,输出的 8421 码为 $Y_3 Y_2 Y_1 Y_0$,则有

$$Y_3Y_2Y_1Y_0=D_3D_2D_1D_0+[-3]_{\text{补}}=D_3D_2D_1D_0+1101$$

于是得到图 A4.24 电路

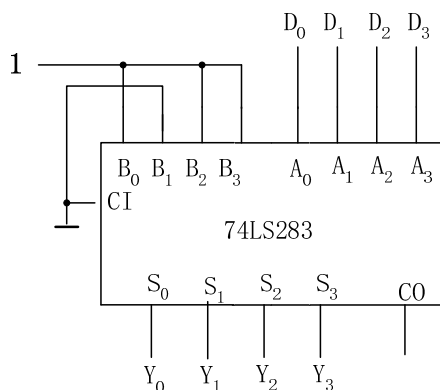


图 A4.24

[4-25] 已知输入为 8421 码二—十进制数，要求当输入小于 5 时，输出为输入数加 2，当输入大于、等于 5 时，输出为输入数加 4，试用一片中规模集成四位加法器 74LS283 及“与或非”门、“非”门实现电路，请画出逻辑图。提示：设输入为 A、B、C、D 并从 B₃、B₂、B₁、B₀ 输入；输出端为 S₃、S₂、S₁、S₀，令来自低位进位 C₋₁=0。

解：加 2 则为 0010，加 4 则为 0100，故被加数 $A_3=A_0=0$ ，A₂、A₁ 相反，通过真值表（卡诺图）求得表达式： $A_2 = A + BD + BC$ ， $A_1 = \overline{A_2}$ （不唯一）

化为与或非式有： $A_2 = \overline{A \cdot \overline{BD} \cdot \overline{BC}}$ 及 $A_1 = \overline{A_2}$ ，逻辑图略。

A	B	C	D	A ₂	A ₁
0	0	0	0	0	1
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	1	0

以下为无关项

[4-26] 设计一个乘法器，输入是两个 2 位二进制数 $A=A_1A_0$ 、 $B=B_1B_0$ ，输出是两者的乘积（一个 4 位二进制数） $Y=Y_3Y_2Y_1Y_0$ 。

解：由真值表及卡诺图有 $Y_3 = A_1A_0B_1B_0$ ， $Y_2 = \overline{A_1}A_0B_1 + A_1B_1\overline{B_0}$ ，

$Y_1 = \overline{A_1}A_0B_1 + A_0B_1\overline{B_0} + A_1\overline{B_1}B_0 + A_1\overline{A_0}B_0$ ， $Y_0 = A_0B_0$ ，根据表达式画出逻辑图，略。

A ₁	A ₀	B ₁	B ₀	Y ₃	Y ₂	Y ₁	Y ₀
----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------

0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

[4-27] 用 5 片 74LS85 采用并联方式组成 16 位二进制数比较器如图 4-12 所示，试分析其工作原理

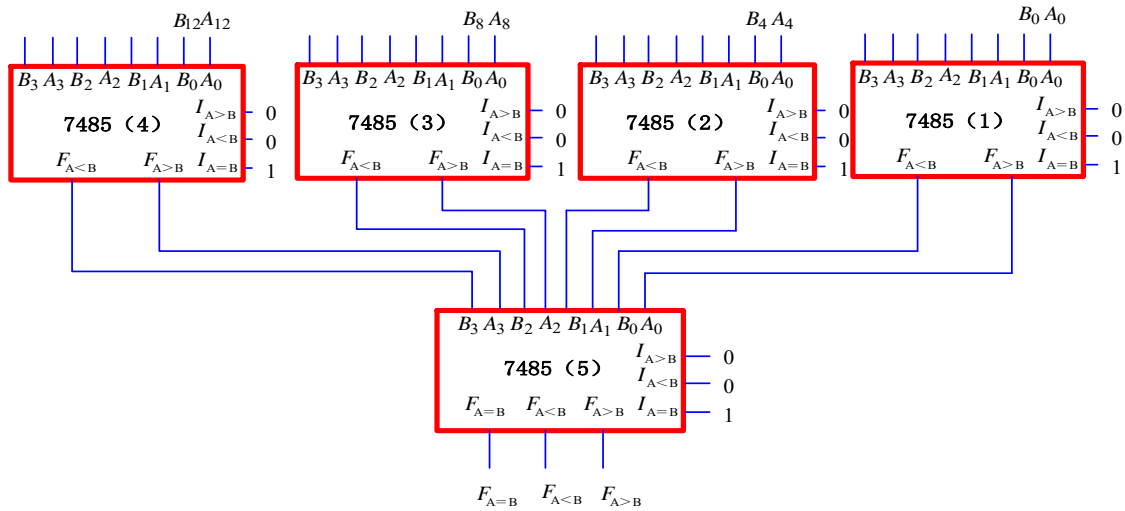


图 4-12

[4-28] 若使用 4 位数值比较器 74LS85 组成 10 位数值比较器，需要用几片？各片之间的应如何连接？

[解]

需要用三片。根据 CC14585 的功能表，各片之间的连接方法如图 A3.26 所示。

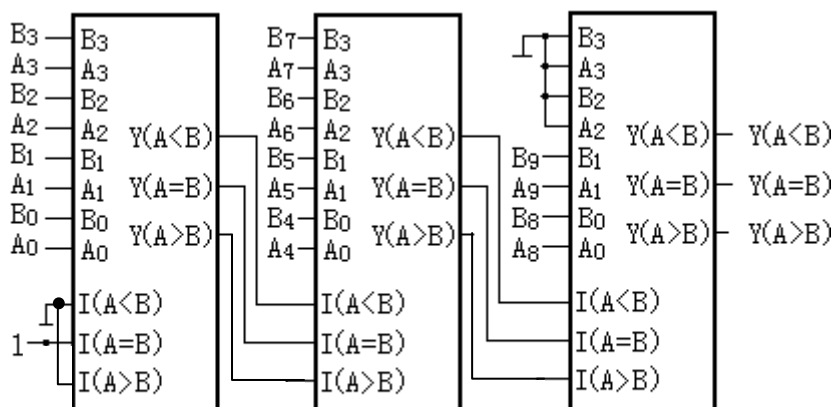


图 A3.26

[4-29] 试用两个 4 位数值比较器组成三个数的判断电路。要求能够判别三个 4 位二进制数 $A(a_3a_2a_1a_0)$ 、 $B(b_3b_2b_1b_0)$ 、 $C(c_3c_2c_1c_0)$ 是否相等、A 是否最大、A 是否最小，并分别给出“三个数相等”、“A 最大”、“A 最小”的输出信号。可以附加必要的门电路。

[解] 如图 A3.27 所示。

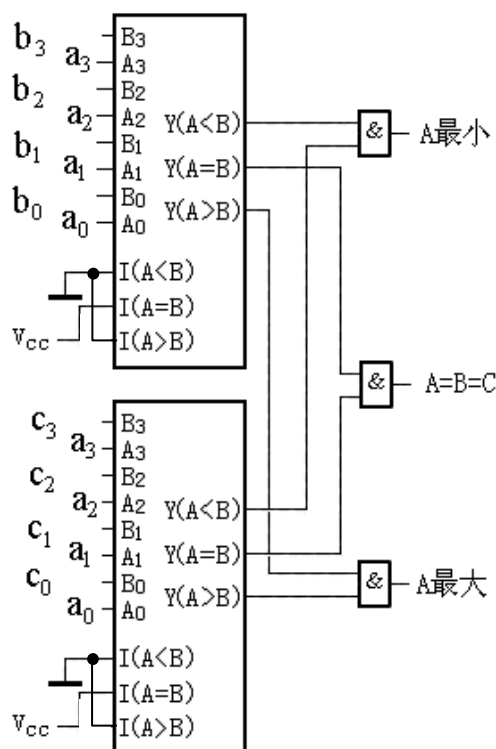
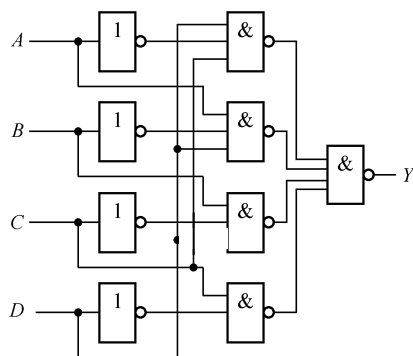


图 A3.27

[4-30] 试分析题图 4-13 电路当中 A 、 B 、 C 、 D 单独一个改变状态时是否存在竞争-冒险现象？如果存在竞争-冒险现象，那么都发生在其他变量为何种取值的情况下？



题图 4-13

【解】 由题图 4-11 得到输出的逻辑式为

$$Y = \bar{A}CD + A\bar{B}D + B\bar{C} + C\bar{D}$$

(1) 当 $B=0, C=D=1$ 时, 输出逻辑式化简为

$$Y = A + \bar{A} \text{ 故 } A \text{ 改变时存在竞争-冒险现象。}$$

(2) 当 $A=1, C=0, D=1$ 时输出的逻辑式简化为

$$Y = B + \bar{B} \text{ 故 } B \text{ 改变时存在竞争-冒险现象。}$$

(3) 当 $B=1$, 且 A 、 D 至少有一个为 0 时, 输出的逻辑式简化为

$$Y = C + \bar{C} \text{ 故 } C \text{ 改变时存在竞争-冒险现象。}$$

(4) 当 $C=1$, 且 A 、 B 至少有一个为 0 时, 输出的逻辑式简化为

$$Y = D + \bar{D}$$

故 D 改变时存在竞争-冒险现象。