

4.2 阻塞赋值(=) 必须是阻塞赋值完成后才进行下一句语句的执行;赋值一旦完成,等号左边的变量值立即变化。

非阻塞赋值(<=), 在赋值开始时计算表达式右边的值,在本次仿真周期结束时才被更新。块中其他语句同时可执行。并行,如立即生效。

```
4.6 module RippleCounter (Q, CP, CLR-);  
    input CP, CLR-;    output [3:0] Q;  
    _2Divider1 FF0 (Q[0], CP, CLR-);  
    _2Divider1 FF1 (Q[1], Q[0], CLR-);  
    _2Divider1 FF2 (Q[2], Q[1], CLR-);  
    _2Divider1 FF3 (Q[3], Q[2], CLR-);  
endmodule
```

```
module _2Divider1 (Q, CP, Rd-);  
    output reg Q;  
    input CP, Rd-;  
    always @ (posedge CP or negedge Rd-)  
        if ( ! Rd- ) Q <= 1'b0;  
        else Q <= ~Q;  
endmodule
```

/* 激励块 */

```
module test_RippleCounter();  
    reg CLR-, CP;    wire [3:0] Q;  
    RippleCounter i1 (CLR-(CLR-), CP(CP), Q(Q));  
endmodule
```

initial begin

CLR- = 1'b0; CLR- = #20 1'b1;

#400 \$stop;

end

always begin

CP = 1'b0; CP = #10 1'b1; #10;

end

end module

4.7 module Reg4bit (Q, PD, CP, CLR-, Load);
output reg [3:0] Q; input wire [3:0] PD;
input CP, CLR-, Load;
always @(posedge CP or posedge CLR-)
if (1 CLR-) Q <= 4'b0;
elseif (Load) Q <= PD;
end module