

## 第3章作业

3.1 在 Verilog 语言中，下列标识符是否正确？

(1) ~~CLER~~\*T\_NET (2) ~~reg~~ (3) FqurBit\_Adder (4) ~~hexec~~ (5) MS231 (6) 2to1mux

3.3 在程序中如果没有明确地声明模块端口的数据类型，则其数据类型是什么？

3.4 试说明数据类型 wire 与 reg 的不同点。

3.9 填空题：

1) 请问下列运算的二进制值是多少？

reg [3: 0] m;

m=4'b1010;

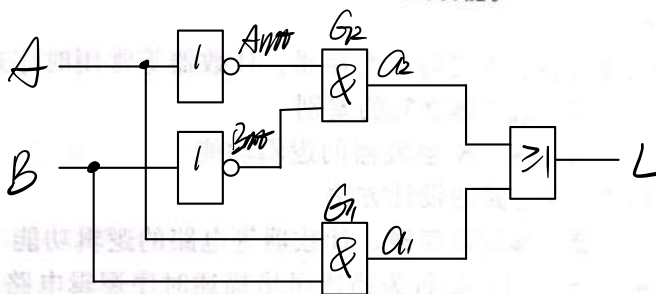
//{2{m}}的二进制值是

2) 假设 m=4'b0101，按要求填写下列运算的结果：

&m=0, |m=1, ^m=0, ~^m=1

3.10 根据下面的 HDL 描述，画出数字电路的逻辑图，说明它所完成的功能。

```
module circuit(A,B,L);
  input A,B;
  output L;
  wire a1,a2,Anot,Bnot;
  and G1(a1,A,B);
  and G2(a2,Anot,Bnot);
  not (Anot,A);
  not (Bnot,B);
  or (L,a1,a2);
endmodule
```



3.11 写出下面电路图的门级建模和数据流建模。

module Gate (A,B,C,Y);

input A,B,C;

output Y;

wire L,M,N,P,R,Q;

Xor (N,A,B);

Nor (M,~B,C);

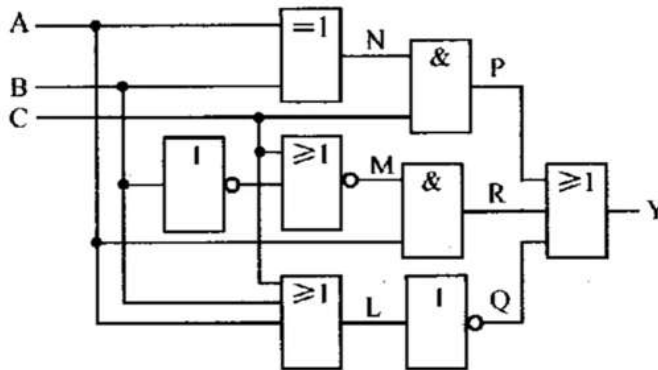
or (L,A,B,C);

and (P,N,C);

(R,M,A);

or (Y,P,R,~L);

endmodule



	非门	与门	或门	异或门
常用符号				
国标符号				
逻辑表达式	$\bar{A} = \text{NOT } A$	$F = A \cdot B$	$F = A + B$	$F = A \oplus B$

常用逻辑门符号与现有国标符号的对照

数据流

module data(A,B,C,Y);

input A,B,C;

output Y;

assign Y=((A^B)&C)|(C~(A+B+C)|(A&(C/~B))

endmodule