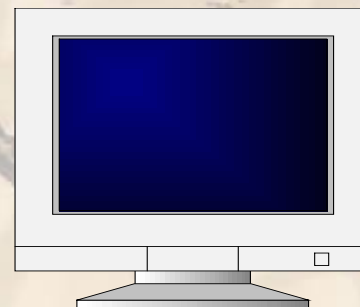


# 第2章

# 微处理器





## 主要内容：

---

- 微处理器的一般构成及工作原理；
- 8088微处理器的结构；
- 8088微处理器的内部寄存器；
- 8088微处理器的引脚；
- 8088微处理器对内存的管理；

## § 2.1 微型机概述

- 微处理器的功能;
- 微处理器的基本组成。

### 功能

是计算机系统的核心  
根据指令实现各种相应的运算  
实现数据的暂存  
实现与存储器和接口的信息通信  
.....

### 组成

运算器  
控制器  
内部寄存器组



## § 2.2 8088CPU的内部编程结构

---

- 8088内部由两部分组成:

功能上

{ 执行单元 (EU)  
总线接口单元 (BIU)



# 指令执行的一般过程

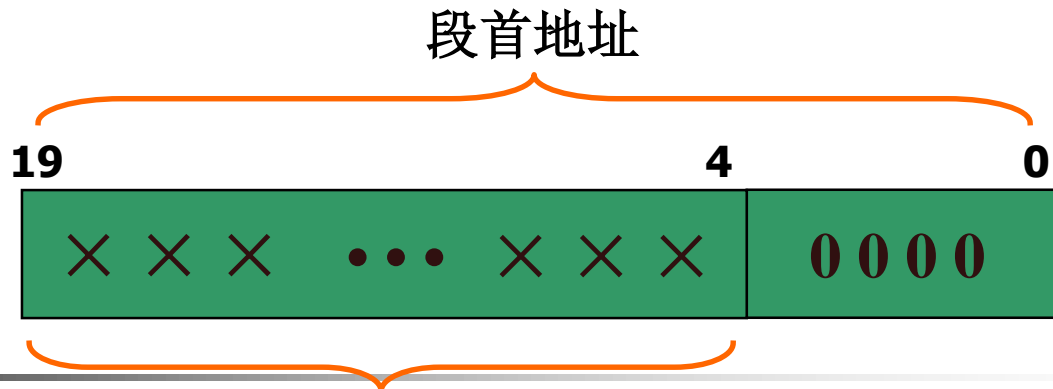
---

取指令 → 指令译码 → 读取操作数 →  
→ 执行指令 → 存放结果

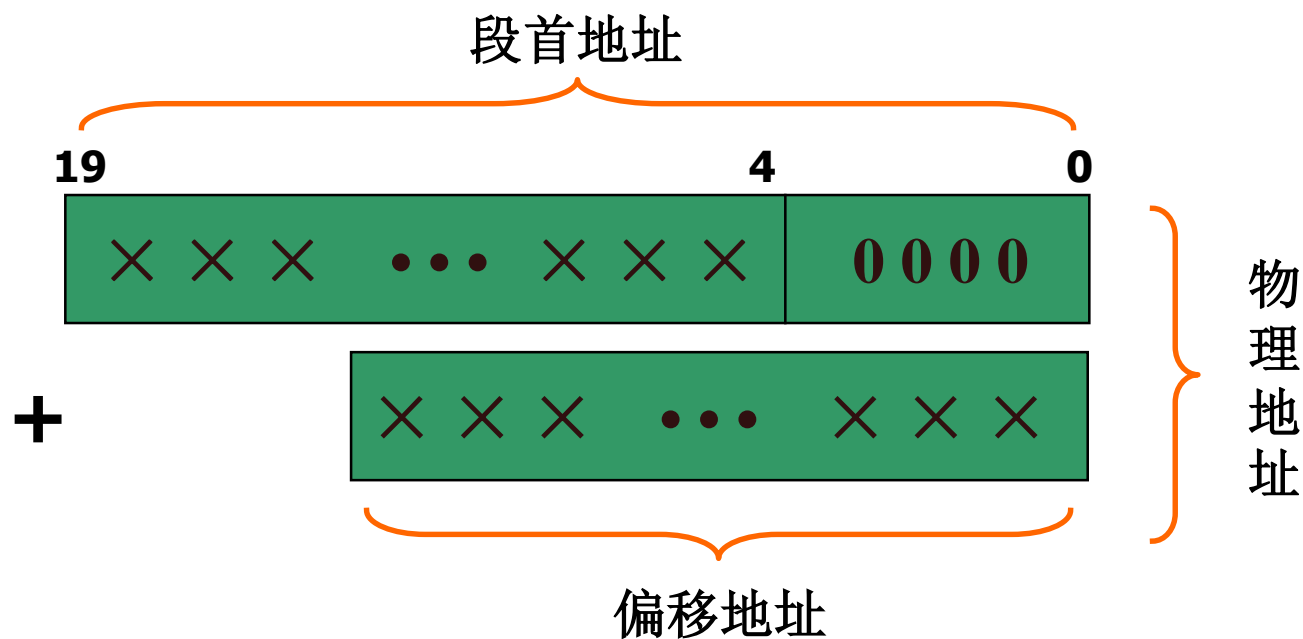
EU：指令译码、指令执行。

BIU：CPU与存储器和I/O设备间传递数据。

段首地址



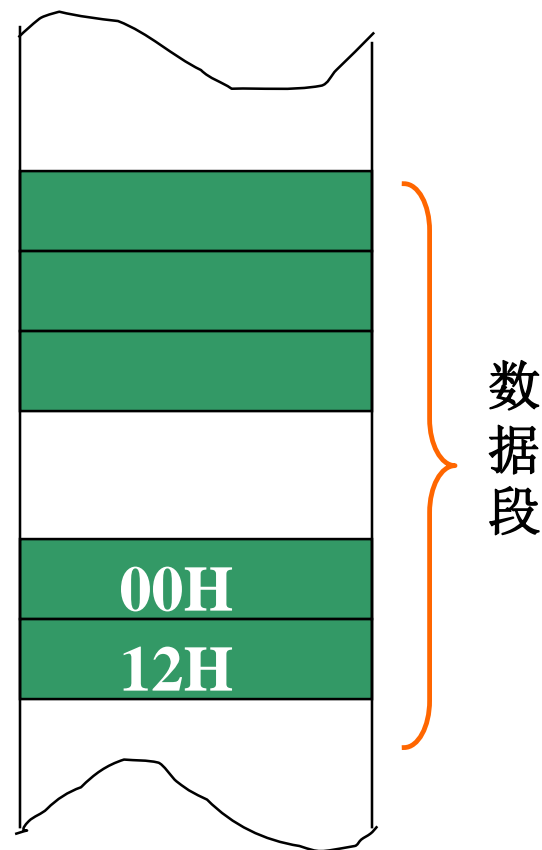
- 物理地址由段基地址和偏移地址组成



物理地址 = 段基地址 × 16 + 偏移地址

# 物理地址

- 段基地址 = **6000H**
- 段首地址 → **60000H**
- 偏移地址 → **0009H**
- 物理地址 → **60009H**
- 逻辑地址 (**6000H:**  
**0009H**)





# 总线接口单元 BIU

## 功能:

- 从内存中取指令到指令预取队列
- 负责与内存或输入/输出接口之间的数据传送

## 组成:

- (1) 4个段地址寄存器  
CS代码段 DS数据段 ES扩展段 SS堆栈段
- (2) 指令指针寄存器IP
- (3) 20位物理地址加法器和总线控制电路
- (4) 6个字节的指令队列缓冲器



# 串行和并行方式的指令流水线

## ■ 串行工作方式:

**EU**和**BIU**交替工作，按顺序完成上述指令执行过程。

## ■ 并行工作方式:

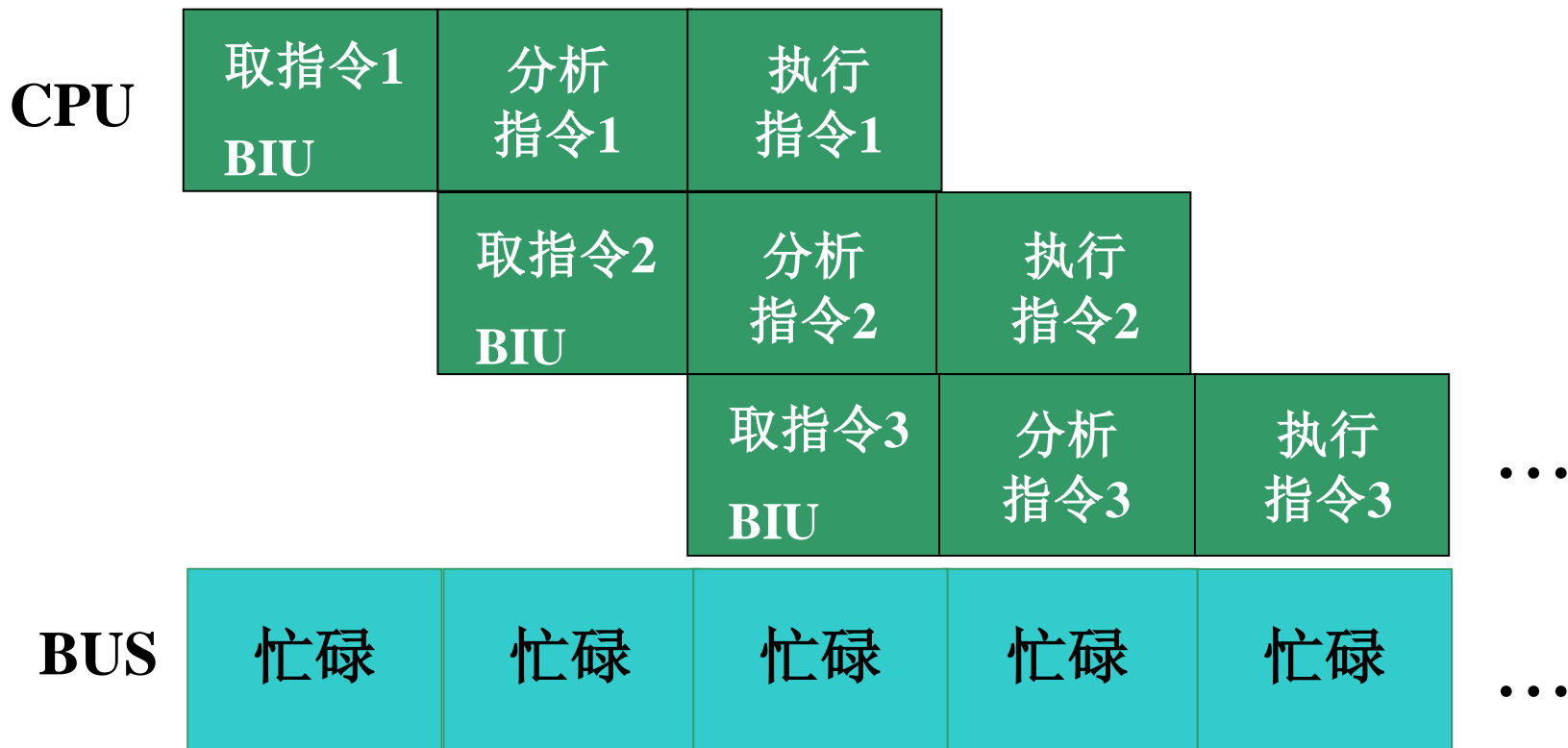
**EU**和**BIU**可同时工作。

## ■ 8088以前的CPU采用串行工作方式:



# 并行工作方式


## ■ 8088CPU采用并行工作方式





## 结论

---

- 指令预取队列的存在使**EU**和**BIU**两个部分可同时进行工作，从而
  - 提高了**CPU**的效率；
  - 降低了对存储器存取速度的要求
- 



# 执行单元 EU

■ 功能 → 指令的执行

- 指令译码
- 指令执行 → 在**ALU**中完成
- 暂存中间运算结果 → 在**通用寄存器**中
- 保存运算结果特征 → 在**标志寄存器FLAGS**中

组成:

- (1) **16位ALU**
- (2) 通用寄存器组: **AX BX CX DX SP BP SI DI**
- (3) **16位标志寄存器 FLAGS**
- (4) **EU控制电路**



## § 2.3 8088的内部寄存器

---

- 含**14**个**16**位寄存器，按功能可分为三类
  - 8**个通用寄存器
  - 4**个段寄存器
  - 2**个控制寄存器

深入理解：每个寄存器中数据的含义



# 1. 通用寄存器

数据寄存器 (**AX, BX, CX, DX**)

地址指针寄存器 (**SP, BP**)

变址寄存器 (**SI, DI**)

- 
- 仅**4个16位数据寄存器**可分为**8个8位寄存器**:
  - **AX**  **AH, AL**
  - **BX**  **BH, BL**
  - **CX**  **CH, CL**
  - **DX**  **DH, DL**



# 数据寄存器特有的习惯用法

---

- **AX**: 累加器。所有**I/O**指令都通过**AX**与接口传送信息，中间运算结果也多放于**AX**中；
- **BX**: 基址寄存器。在间接寻址中用于存放基地址；
- **CX**: 计数寄存器。用于在**循环**或**串操作**指令中存放计数值；
- **DX**: 数据寄存器。在间接寻址的**I/O**指令中存放**I/O**端口地址；在**32**位乘法运算时，存放高**16**位数。



# 1. 通用寄存器

数据寄存器 (**AX, BX, CX, DX**)

地址指针寄存器 (**SP, BP**)

变址寄存器 (**SI, DI**)

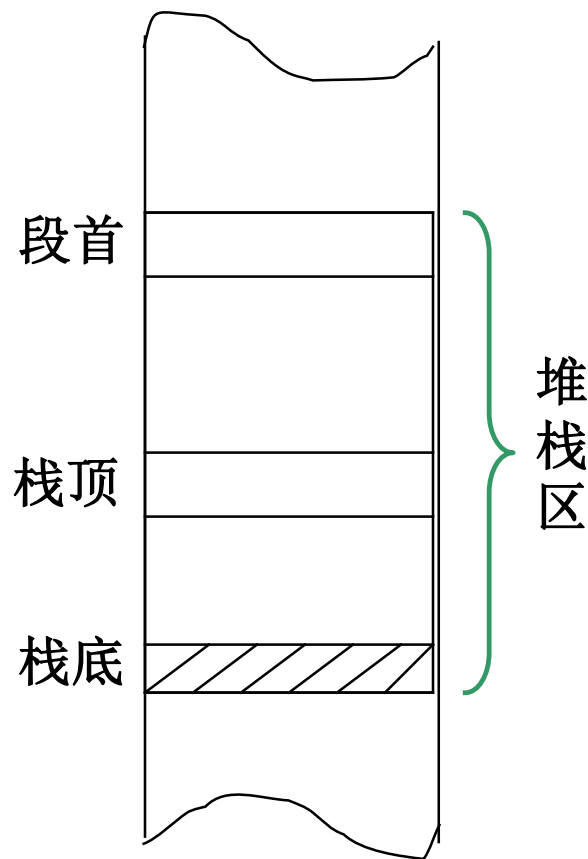
- 
- **SP**: 堆栈指针寄存器，其内容为栈顶的偏移地址；
  - **BP**: 基址指针寄存器，存放堆栈段内某一内存单元的偏移地址。



# 堆栈及堆栈段的使用

- **堆栈**：内存中一个特殊区域，用于存放暂时不用或需要保护的数据。常用于响应中断或子程序调用。

- 例：**
- 若已知 **(SS) = 1000H**  
**(SP) = 0100H**
  - 则堆栈段的段首地址 = ?
  - 栈顶地址 = ?
  - 若该段最后一个单元地址为 **10200H**，则栈底 = ?





# 1. 通用寄存器

数据寄存器 (**AX**, **BX**, **CX**, **DX**)

地址指针寄存器 (**SP**, **BP**)

变址寄存器 (**SI**, **DI**)

---

## **BX**与**BP**在应用上的区别

- 作为通用寄存器，二者均可用于存放数据；
- 作为基址寄存器，**BX**表示所寻找的数据在**数据段**；**BP**则表示数据在**堆栈段**。



数据寄存器 (**AX, BX, CX, DX**)

地址指针寄存器 (**SP, BP**)

变址寄存器 (**SI, DI**)

## 变址寄存器--与数据段相关

- **SI**: 源变址寄存器
- **DI**: 目标变址寄存器
- 变址寄存器常用于指令的间接寻址或变址寻址。特别是在串操作指令中，用**SI**存放源操作数的偏移地址，而用**DI**存放目标操作数的偏移地址。



## 2. 段寄存器

---

用于存放相应**逻辑段**的**段基地址**

64KB

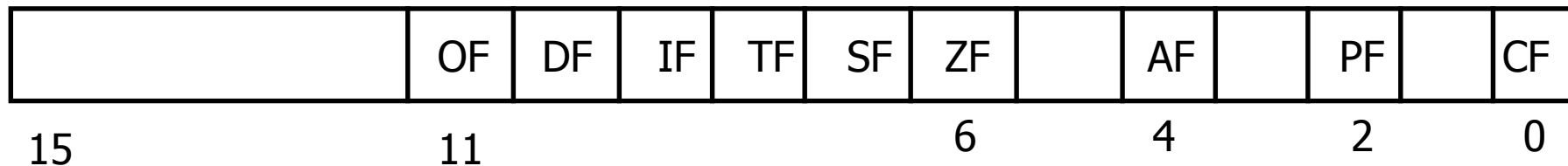
- CS:** 代码段寄存器。 **代码段**存放指令代码
  - DS:** 数据段寄存器
  - ES:** 附加段寄存器
  - SS:** 堆栈段寄存器
- } 这两个段存放操作数

### 3. 控制寄存器

- **IP**: 指令指针寄存器, 其内容为下一条要执行指令的偏移地址

- **FLAGS**: 标志寄存器, 存放运算结果的特征

6个状态标志位 (**CF, SF, AF, PF, OF, ZF**)  
3个控制标志位 (**IF, TF, DF**)



## §2.4 8088CPU的引线及功能

|          |    |    |  |
|----------|----|----|--|
| GND      | 1  | 40 | $V_{cc}(+5V)$                                  |
| $A_{14}$ | 2  | 39 | $A_{15}$                                       |
| $A_{13}$ | 3  | 38 | $A_{14} / S_3$                                 |
| $A_{12}$ | 4  | 37 | $A_{13} / S_4$                                 |
| $A_{11}$ | 5  | 36 | $A_{12} / S_5$                                 |
| $A_{10}$ | 6  | 35 | $A_{11} / S_6$                                 |
| $A_9$    | 7  | 34 | $\overline{SS}_0 / (HIG)$                      |
| $A_8$    | 8  | 33 | $\overline{MN} / \overline{MX}$                |
| $AD_7$   | 9  | 32 | $\overline{RD}$                                |
| $AD_6$   | 10 | 31 | $\overline{HOLD}(\overline{RC})$               |
| $AD_5$   | 11 | 30 | $\overline{HLDA}(\overline{RC})$               |
| $AD_4$   | 12 | 29 | $\overline{WR}(\overline{LOCK})$               |
| $AD_3$   | 13 | 28 | $\overline{MIO}(\overline{S_2})$               |
| $AD_2$   | 14 | 27 | $\overline{DT} / \overline{R}(\overline{S_1})$ |
| $AD_1$   | 15 | 26 | $\overline{DEN}(\overline{S_0})$               |
| $AD_0$   | 16 | 25 | $\overline{ALE}(\overline{QS_0})$              |
| NMI      | 17 | 24 | $\overline{INTA}(\overline{QS_1})$             |
| INTR     | 18 | 23 | $\overline{TEST}$                              |
| CLK      | 19 | 22 | READY  |
| GND      | 20 | 21 | RESET  |

### ■ 引脚定义的方法可大致分为:

- **地址/数据**分时复用引脚  
(**AD7 — AD0** 等) ;
- **地址/状态**分时复用引脚  
(**A19—A16 / S3—S6**等) ;
- **控制总线**:
  - 每个引脚只传送一种信息 ( $\overline{RD}$  等) ;
  - 引脚电平的高低不同的信号  
(**IO/ $\overline{M}$** 等) ;
  - **CPU**工作于不同方式有不同的名称和定义 ( **$\overline{WR}$ /LOCK** 等) ;
  - 引脚的输入和输出分别传送不同的信息 ( **$\overline{RQ}$ / $\overline{GT}$** )

## §2.4 8088CPU的引线及功能

|          |    |    |   |
|----------|----|----|---|
| GND      | 1  | 40 | $V_{cc}(+5V)$                           |
| $A_{14}$ | 2  | 39 | $A_{15}$                                |
| $A_{13}$ | 3  | 38 | $A_{14} / S_3$                          |
| $A_{12}$ | 4  | 37 | $A_{13} / S_4$                          |
| $A_{11}$ | 5  | 36 | $A_{12} / S_5$                          |
| $A_{10}$ | 6  | 35 | $A_{11} / S_6$                          |
| $A_9$    | 7  | 34 | $\overline{SS}_0 / (HIGH)$              |
| $A_8$    | 8  | 33 | $MN / MX$                               |
| $AD_7$   | 9  | 32 | $\overline{RD}$                         |
| $AD_6$   | 10 | 31 | $HOLD(\overline{RQ} / \overline{GT}_0)$ |
| $AD_5$   | 11 | 30 | $HLDA(\overline{RQ} / \overline{GT}_1)$ |
| $AD_4$   | 12 | 29 | $\overline{WR}(\overline{LOCK})$        |
| $AD_3$   | 13 | 28 | $\overline{MIO}(\overline{S}_2)$        |
| $AD_2$   | 14 | 27 | $DT / \overline{R}(\overline{S}_1)$     |
| $AD_1$   | 15 | 26 | $\overline{DEN}(\overline{S}_0)$        |
| $AD_0$   | 16 | 25 | $ALE(QS_0)$                             |
| NMI      | 17 | 24 | $\overline{INTA}(QS_1)$                 |
| INTR     | 18 | 23 | $\overline{TEST}$                       |
| CLK      | 19 | 22 | READY                                   |
| GND      | 20 | 21 | RESET                                   |

### ■ 地址线和数据线:

- $AD_7--AD_0$ : 低8位地址和数据信号分时复用。  
在传送地址信号时为单向，传送数据信号时为双向。
- $A_{19}--A_{16}$ : 高4位地址信号，分时复用。
- $A_{15}--A_8$ : 输出8位地址信号。

## §2.4 8088CPU的引线及功能

|          |    |    |  |
|----------|----|----|--|
| GND      | 1  | 40 | $V_{cc}(+5V)$                                  |
| $A_{14}$ | 2  | 39 | $A_{15}$                                       |
| $A_{13}$ | 3  | 38 | $A_{14} / S_3$                                 |
| $A_{12}$ | 4  | 37 | $A_{13} / S_4$                                 |
| $A_{11}$ | 5  | 36 | $A_{12} / S_5$                                 |
| $A_{10}$ | 6  | 35 | $A_{11} / S_6$                                 |
| $A_9$    | 7  | 34 | $\overline{SS}_0 / (\text{HIGH})$              |
| $A_8$    | 8  | 33 | $\text{MN} / \text{MX}$                        |
| $AD_7$   | 9  | 32 | $\overline{RD}$                                |
| $AD_6$   | 10 | 31 | $\text{HOLD}(\overline{RQ} / \overline{GT}_0)$ |
| $AD_5$   | 11 | 30 | $\text{HLDA}(\overline{RQ} / \overline{GT}_1)$ |
| $AD_4$   | 12 | 29 | $\overline{WR}(\text{LOCK})$                   |
| $AD_3$   | 13 | 28 | $\overline{MIO}(\overline{S}_2)$               |
| $AD_2$   | 14 | 27 | $\text{DT} / \overline{R}(\overline{S}_1)$     |
| $AD_1$   | 15 | 26 | $\overline{DEN}(\overline{S}_0)$               |
| $AD_0$   | 16 | 25 | $\text{ALE}(\text{QS}_0)$                      |
| NMI      | 17 | 24 | $\overline{\text{INTA}}(\text{QS}_1)$          |
| INTR     | 18 | 23 | TEST   |
| CLK      | 19 | 22 | READY  |
| GND      | 20 | 21 | RESET  |

### ■ 地址线和状态线:

#### ■ **A19—A16 / S3—S6**

分时复用、三态输出

#### ■ **S6=0, 8088连在总线上 ;**

#### ■ **S5=1, 允许可屏蔽中断;**

#### ■ **S4 S3组合表示正在使用的段寄存器;**

■ **S4=0,S3=0, ES;**

■ **S4=0,S3=1, SS;**

■ **S4=1,S3=0, CS或未使用;**

■ **S4=1,S3=1, DS;**



## §2.4 8088CPU的引线及功能

|          |    |    |  |
|----------|----|----|--|
| GND      | 1  | 40 | $V_{cc}(+5V)$                                  |
| $A_{14}$ | 2  | 39 | $A_{15}$                                       |
| $A_{13}$ | 3  | 38 | $A_{14} / S_3$                                 |
| $A_{12}$ | 4  | 37 | $A_{13} / S_4$                                 |
| $A_{11}$ | 5  | 36 | $A_{12} / S_5$                                 |
| $A_{10}$ | 6  | 35 | $A_{11} / S_6$                                 |
| $A_9$    | 7  | 34 | $\overline{SS}_0 / (\text{HIGH})$              |
| $A_8$    | 8  | 33 | $\overline{MN} / \overline{MX}$                |
| $AD_7$   | 9  | 32 | $\overline{RD}$                                |
| $AD_6$   | 10 | 31 | $\text{HOLD}(\overline{RQ} / \overline{GT}_0)$ |
| $AD_5$   | 11 | 30 | $\text{HLDA}(\overline{RQ} / \overline{GT}_1)$ |
| $AD_4$   | 12 | 29 | $\overline{WR}(\text{LOCK})$                   |
| $AD_3$   | 13 | 28 | $\overline{M}/\overline{IO}(\overline{S}_2)$   |
| $AD_2$   | 14 | 27 | $\overline{DT} / \overline{R}(\overline{S}_1)$ |
| $AD_1$   | 15 | 26 | $\overline{DEN}(\overline{S}_0)$               |
| $AD_0$   | 16 | 25 | $\text{ALE}(\overline{QS}_0)$                  |
| NMI      | 17 | 24 | $\overline{\text{INTA}}(\overline{QS}_1)$      |
| INTR     | 18 | 23 | TEST   |
| CLK      | 19 | 22 | READY  |
| GND      | 20 | 21 | RESET  |

### ■ 控制总线——地址数据相关：

- $\overline{WR}$ : 写信号；三态输出
- $\overline{RD}$ : 读控制信号、三态输出；
- $\overline{IO}/\overline{M}$ : 为“0”表示访问内存，为“1”表示访问接口，三态输出；
- $\overline{DEN}$ : 低电平有效输出时，表示数据总线具有有效数据；
- $\text{ALE}$ : 高电平有效输出时，表明CPU地址总线上具有有效地址。
- $\text{RESET}$ : 复位信号，输入，高电平有效。

- 
- 当 $\overline{WR}=1$ ,  $\overline{RD}=0$ ,  $I\overline{O}/\overline{M}=0$ 时,  
表示CPU当前正在进行读存储器操作
- 

- 当RESET高电平持续时间大于4个时钟周期, CPU产生**复位状态**;
- 恢复起始状态并重新启动,  $CS=FFFFH$ ,  $DS$ 、 $ES$ 、 $SS$ 、 $FLAGS$ 、 $IP$ 及其余寄存器清零, 指令队列清空

## §2.4 8088CPU的引线及功能

|          |    |    |  |
|----------|----|----|--|
| GND      | 1  | 40 | $V_{cc}(+5V)$                                  |
| $A_{14}$ | 2  | 39 | $A_{15}$                                       |
| $A_{13}$ | 3  | 38 | $A_{14} / S_3$                                 |
| $A_{12}$ | 4  | 37 | $A_{13} / S_4$                                 |
| $A_{11}$ | 5  | 36 | $A_{12} / S_5$                                 |
| $A_{10}$ | 6  | 35 | $A_{11} / S_6$                                 |
| $A_9$    | 7  | 34 | $\overline{SS}_0 / (\text{HIGH})$              |
| $A_8$    | 8  | 33 | $\overline{MN} / \overline{MX}$                |
| $AD_7$   | 9  | 32 | $\overline{RD}$                                |
| $AD_6$   | 10 | 31 | $\text{HOLD}(\overline{RQ} / \overline{GT}_0)$ |
| $AD_5$   | 11 | 30 | $\text{HLDA}(\overline{RQ} / \overline{GT}_1)$ |
| $AD_4$   | 12 | 29 | $\overline{WR}(\overline{LOCK})$               |
| $AD_3$   | 13 | 28 | $\overline{MIO}(\overline{S}_2)$               |
| $AD_2$   | 14 | 27 | $\overline{DT} / \overline{R}(\overline{S}_1)$ |
| $AD_1$   | 15 | 26 | $\overline{DEN}(\overline{S}_0)$               |
| $AD_0$   | 16 | 25 | $\overline{ALE}(\overline{QS}_0)$              |
| NMI      | 17 | 24 | $\overline{INTA}(\overline{QS}_1)$             |
| INTR     | 18 | 23 | TEST   |
| CLK      | 19 | 22 | READY  |
| GND      | 20 | 21 | RESET  |

### ■ 控制总线—中断相关:

- **INTR:** 可屏蔽中断  
请求输入、高电平有效
- **INTR=1,** 外设提出中断请求
- **NMI:** 非屏蔽中断  
请求输入、上升沿触发 与**IF**无关
- **INTA:** 中断响应输出, 低电平有效

## §2.4 8088CPU的引线及功能

|          |    |    |                                       |
|----------|----|----|---------------------------------------|
| GND      | 1  | 40 | $V_{cc}(+5V)$                         |
| $A_{14}$ | 2  | 39 | $A_{15}$                              |
| $A_{13}$ | 3  | 38 | $A_{16}/S_3$                          |
| $A_{12}$ | 4  | 37 | $A_{17}/S_4$                          |
| $A_{11}$ | 5  | 36 | $A_{18}/S_5$                          |
| $A_{10}$ | 6  | 35 | $A_{19}/S_6$                          |
| $A_9$    | 7  | 34 | $\overline{SS}_0/(HIGH)$              |
| $A_8$    | 8  | 33 | $MN/MX$                               |
| $AD_7$   | 9  | 32 | $\overline{RD}$                       |
| $AD_6$   | 10 | 31 | $HOLD(\overline{RQ}/\overline{GT}_0)$ |
| $AD_5$   | 11 | 30 | $HLDA(RQ/\overline{GT}_1)$            |
| $AD_4$   | 12 | 29 | $\overline{WR}(\overline{LOCK})$      |
| $AD_3$   | 13 | 28 | $\overline{MIO}(\overline{S}_2)$      |
| $AD_2$   | 14 | 27 | $DT/\overline{R}(\overline{S}_1)$     |
| $AD_1$   | 15 | 26 | $\overline{DEN}(\overline{S}_0)$      |
| $AD_0$   | 16 | 25 | $ALE(QS_0)$                           |
| NMI      | 17 | 24 | $\overline{INTA}(QS_1)$               |
| INTR     | 18 | 23 | $\overline{TEST}$                     |
| CLK      | 19 | 22 | READY                                 |
| GND      | 20 | 21 | RESET                                 |

### ■ 控制总线—总线保持:

#### ■ **HOLD:** 总线保持请求信号输入，高电平有效。

- 当**CPU**以外的其他设备要求占用总线时，通过该引脚向**CPU**发出请求。

#### ■ **HLDA:** 总线保持响应信号输出，高电平有效。

- **CPU**对**HOLD**信号的响应信号。



# 8088CPU的两种工作模式

---

- 8088可工作于两种模式下

- { 最小模式
  - 最大模式

- 最小模式为单处理器模式，控制信号较少，一般可不必接总线控制器。
- 最大模式为多处理器模式，控制信号较多，须通过总线控制器与总线相连。

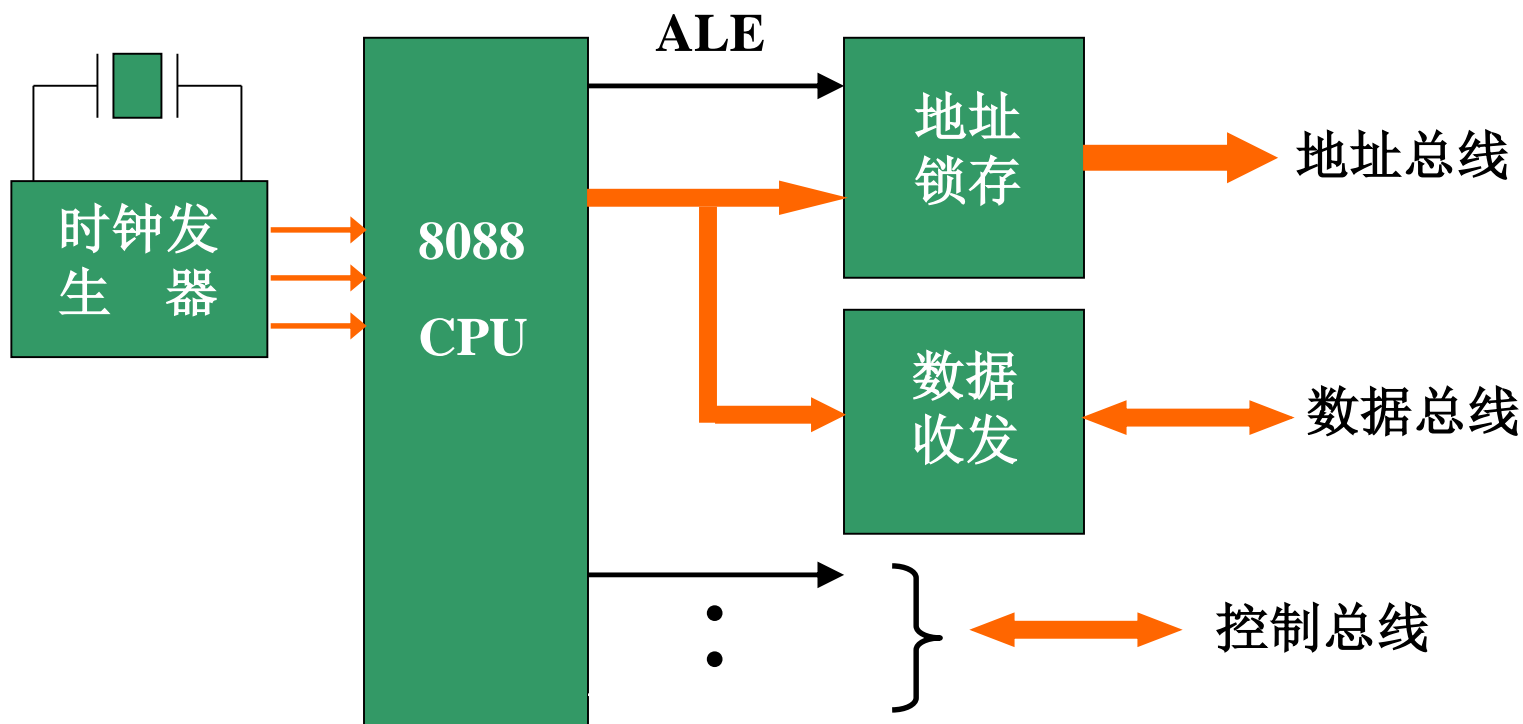
## §2.4 8088CPU的引线及功能

|          |    |    |  |
|----------|----|----|--|
| GND      | 1  | 40 | $V_{cc}(+5V)$                                  |
| $A_{14}$ | 2  | 39 | $A_{15}$                                       |
| $A_{13}$ | 3  | 38 | $A_{16} / S_3$                                 |
| $A_{12}$ | 4  | 37 | $A_{17} / S_4$                                 |
| $A_{11}$ | 5  | 36 | $A_{18} / S_5$                                 |
| $A_{10}$ | 6  | 35 | $A_{19} / S_6$                                 |
| $A_9$    | 7  | 34 | $\overline{SS}_0 / (\text{HIGH})$              |
| $A_8$    | 8  | 33 | $\overline{MN} / \overline{MX}$                |
| $AD_7$   | 9  | 32 | $\overline{RD}$                                |
| $AD_6$   | 10 | 31 | $\text{HOLD}(\overline{RQ} / \overline{GT}_0)$ |
| $AD_5$   | 11 | 30 | $\text{HLDA}(\overline{RQ} / \overline{GT}_1)$ |
| $AD_4$   | 12 | 29 | $\overline{WR}(\text{LOCK})$                   |
| $AD_3$   | 13 | 28 | $\overline{M}/\overline{IO}(\overline{S}_2)$   |
| $AD_2$   | 14 | 27 | $\overline{DT} / \overline{R}(\overline{S}_1)$ |
| $AD_1$   | 15 | 26 | $\overline{DEN}(\overline{S}_0)$               |
| $AD_0$   | 16 | 25 | $\overline{ALE}(\overline{QS}_0)$              |
| NMI      | 17 | 24 | $\overline{INTA}(\overline{QS}_1)$             |
| INTR     | 18 | 23 | $\overline{TEST}$                              |
| CLK      | 19 | 22 | READY  |
| GND      | 20 | 21 | RESET  |

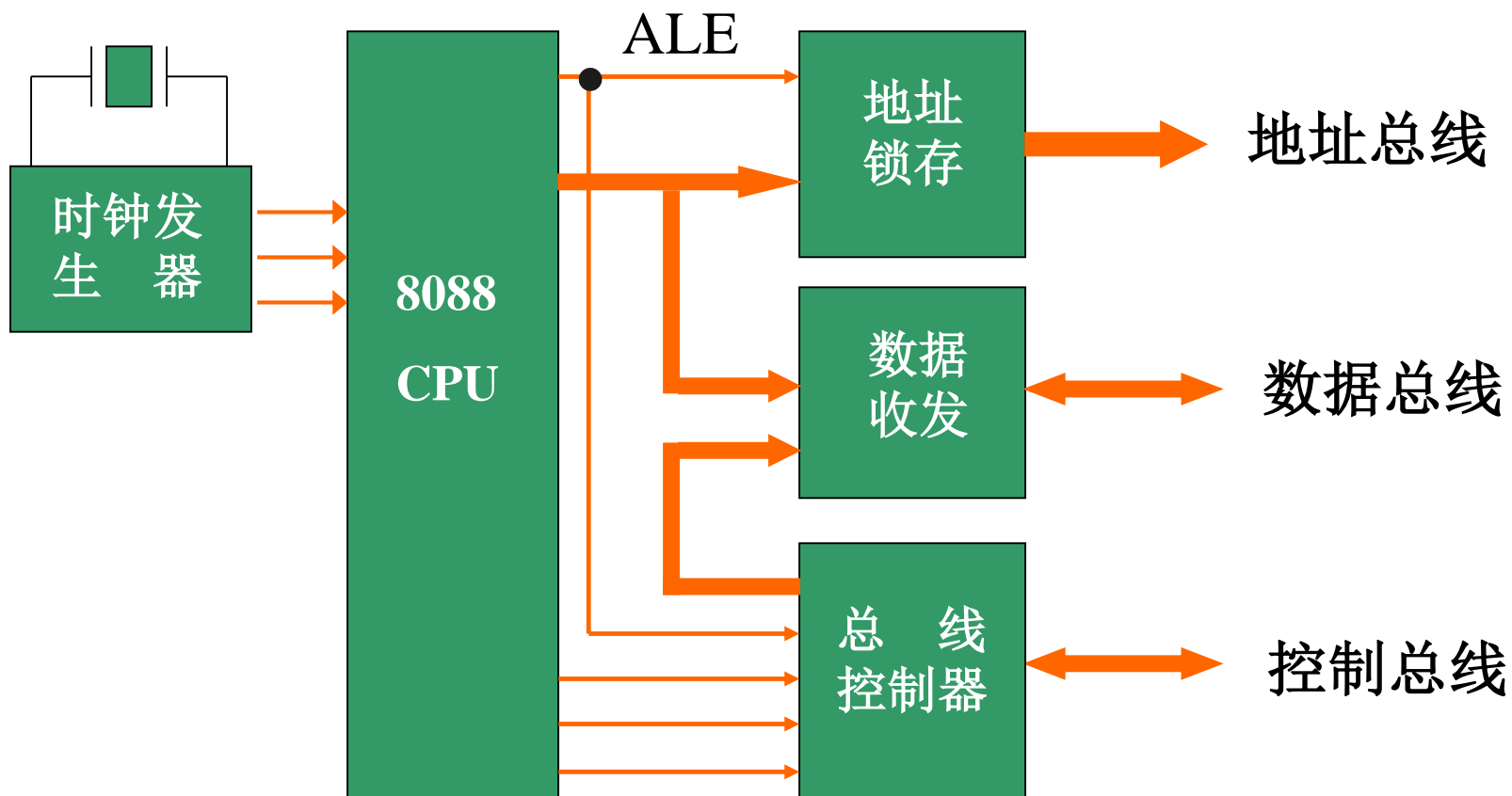
### ■ 控制总线—工作模式选择:

- **8088**是工作在最小模式还是最大模式由  **$\overline{MN}/\overline{MX}$** 端状态决定。
- **$\overline{MN}/\overline{MX}=0$** 工作于最大模式，反之工作于最小模式。
- 最大最小只区别于 **24-34**引脚括号部分

# 最小模式下的连接示意图



# 最大模式下的连接示意图





# 8086 v.s. 8088

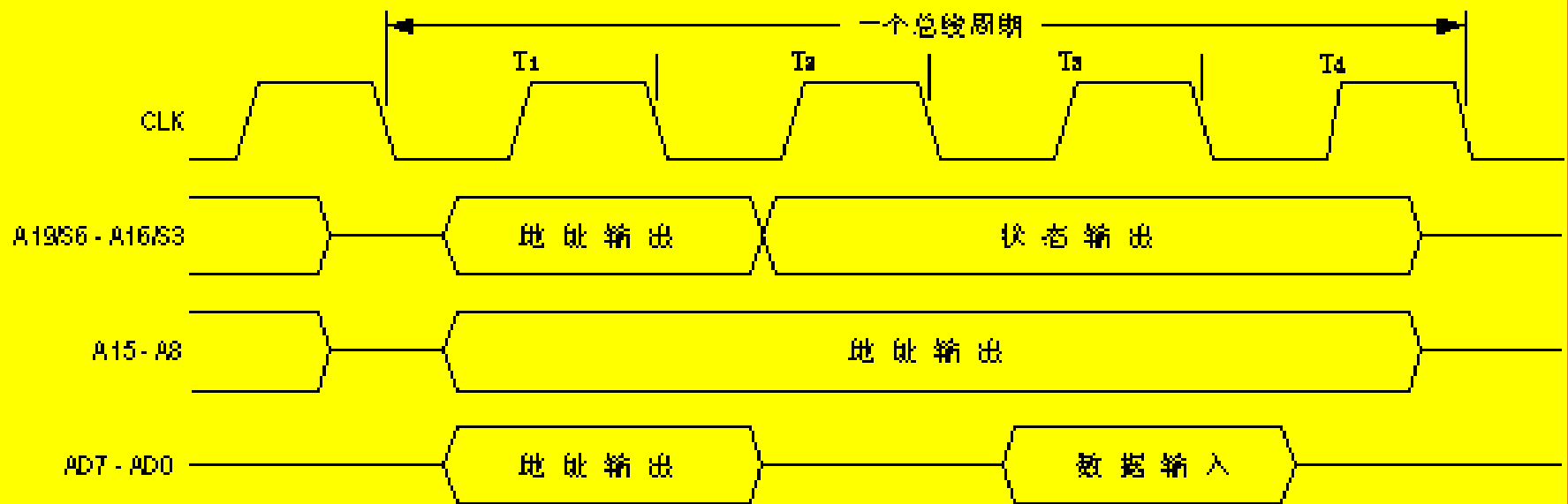
|                  |    |    |   |                 |    |    |   |
|------------------|----|----|---|-----------------|----|----|---|
| GND              | 1  | 40 | $V_{cc}(+5V)$   | GND             | 1  | 40 | $V_{cc}(+5V)$   |
| AD <sub>14</sub> | 2  | 39 | AI <sub>5</sub>                                       | A <sub>14</sub> | 2  | 39 | A <sub>15</sub>                                       |
| AD <sub>13</sub> | 3  | 38 | AI <sub>6</sub> / S <sub>3</sub>                      | A <sub>13</sub> | 3  | 38 | A <sub>16</sub> / S <sub>3</sub>                      |
| AD <sub>12</sub> | 4  | 37 | AI <sub>7</sub> / S <sub>4</sub>                      | A <sub>12</sub> | 4  | 37 | A <sub>17</sub> / S <sub>4</sub>                      |
| AD <sub>11</sub> | 5  | 36 | AI <sub>8</sub> / S <sub>5</sub>                      | A <sub>11</sub> | 5  | 36 | A <sub>18</sub> / S <sub>5</sub>                      |
| AD <sub>10</sub> | 6  | 35 | AI <sub>9</sub> / S <sub>6</sub>                      | A <sub>10</sub> | 6  | 35 | A <sub>19</sub> / S <sub>6</sub>                      |
| AD <sub>9</sub>  | 7  | 34 | $\overline{BHE}$ / S <sub>7</sub>                     | A <sub>9</sub>  | 7  | 34 | $\overline{SS_0}$ / ( <u>HIGH</u> )                   |
| AD <sub>8</sub>  | 8  | 33 | $\overline{MN}$ / $\overline{MX}$                     | A <sub>8</sub>  | 8  | 33 | $\overline{MN}$ / $\overline{MX}$                     |
| AD <sub>7</sub>  | 9  | 32 | $\overline{RD}$                                       | AD <sub>7</sub> | 9  | 32 | $\overline{RD}$                                       |
| AD <sub>6</sub>  | 10 | 31 | HOLD( $\overline{RQ}$ / $\overline{GT_0}$ )           | AD <sub>6</sub> | 10 | 31 | HOLD( $\overline{RQ}$ / $\overline{GT_0}$ )           |
| AD <sub>5</sub>  | 11 | 30 | HLDA( $\overline{RQ}$ / $\overline{GT_1}$ )           | AD <sub>5</sub> | 11 | 30 | HLDA( $\overline{RQ}$ / $\overline{GT_1}$ )           |
| AD <sub>4</sub>  | 12 | 29 | $\overline{WR}$ ( $\overline{LOCK}$ )                 | AD <sub>4</sub> | 12 | 29 | $\overline{WR}$ ( $\overline{LOCK}$ )                 |
| AD <sub>3</sub>  | 13 | 28 | M / $\overline{IO}$ ( $\overline{S_2}$ )              | AD <sub>3</sub> | 13 | 28 | $\overline{MIO}$ ( $\overline{S_2}$ )                 |
| AD <sub>2</sub>  | 14 | 27 | $\overline{DT}$ / $\overline{R}$ ( $\overline{S_1}$ ) | AD <sub>2</sub> | 14 | 27 | $\overline{DT}$ / $\overline{R}$ ( $\overline{S_1}$ ) |
| AD <sub>1</sub>  | 15 | 26 | $\overline{DEN}$ ( $\overline{S_0}$ )                 | AD <sub>1</sub> | 15 | 26 | $\overline{DEN}$ ( $\overline{S_0}$ )                 |
| AD <sub>0</sub>  | 16 | 25 | $\overline{ALE}$ ( $\overline{QS_0}$ )                | AD <sub>0</sub> | 16 | 25 | $\overline{ALE}$ ( $\overline{QS_0}$ )                |
| NMI              | 17 | 24 | $\overline{INTA}$ ( $\overline{QS_1}$ )               | NMI             | 17 | 24 | $\overline{INTA}$ ( $\overline{QS_1}$ )               |
| INTR             | 18 | 23 | $\overline{TEST}$                                     | INTR            | 18 | 23 | $\overline{TEST}$                                     |
| CLK              | 19 | 22 | READY   | CLK             | 19 | 22 | READY   |
| GND              | 20 | 21 | RESET   | GND             | 20 | 21 | RESET   |



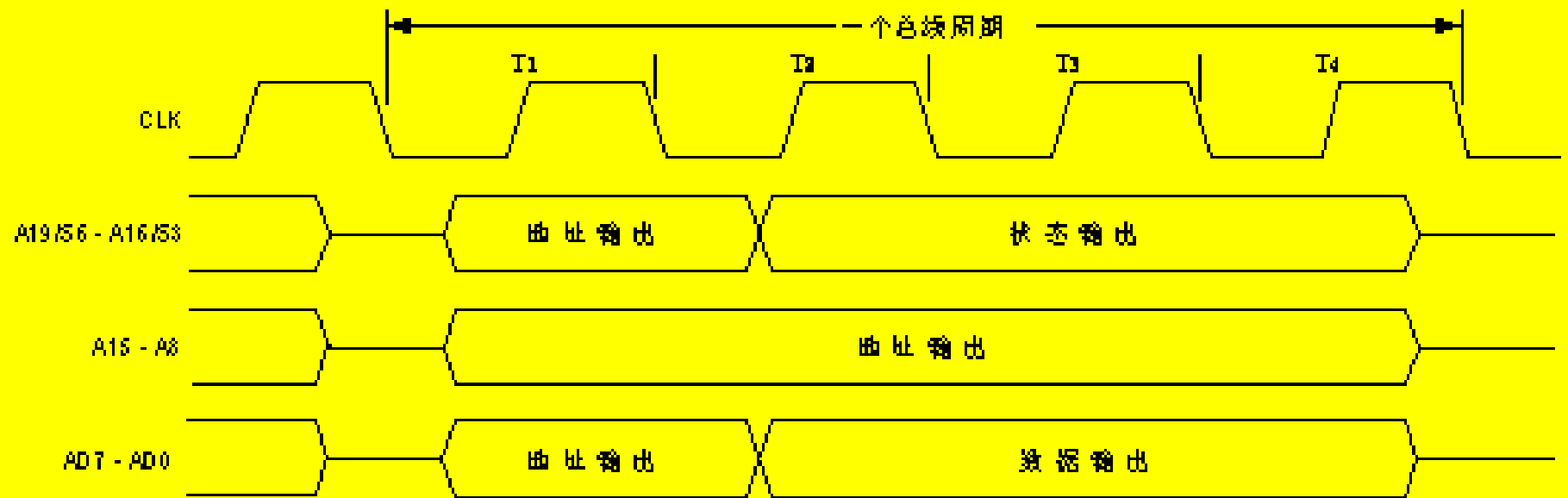
## § 2.5 8088总线操作时序

---

- **时序的概念**：**CPU**各引脚信号在时间上的关系
- **指令周期**：从取指令到执行完毕指令所需要的时间。
- **总线周期**：**CPU**从内存（或接口）存取一个字节操作所需要的时间。
- **时钟周期**：**CPU**的基本时间计量单位，由**CPU**主频决定。
- 一个**总线周期**至少包括**4**个时钟周期，每个时钟周期叫做一个**T**状态，**T1**、**T2**、**T3**、**T4**



# 8088读总线时序



## 8088写总线时序



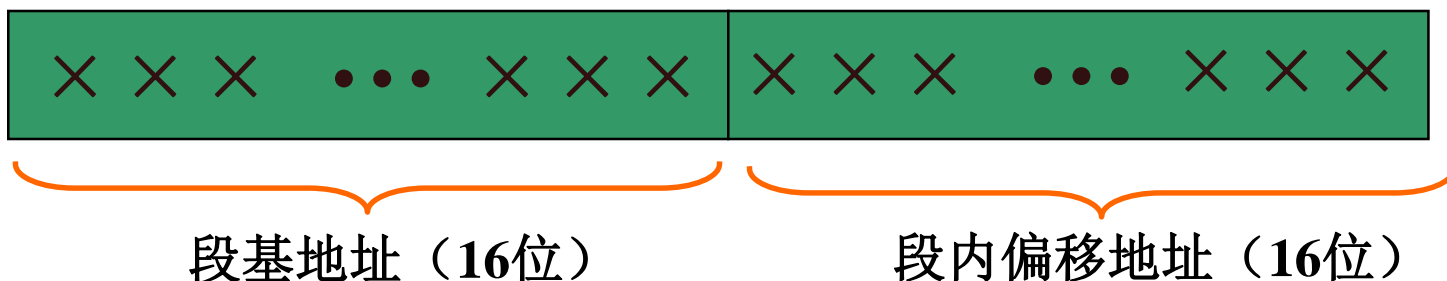
## § 2.6、存储器的组织与管理

---

- 存储器按字节组织；
- 每个存储单元存放一个字节的信息；
- 每个存储单元都有一个唯一的**20**位地址编号，这个地址被称为内存单元的**物理地址**。

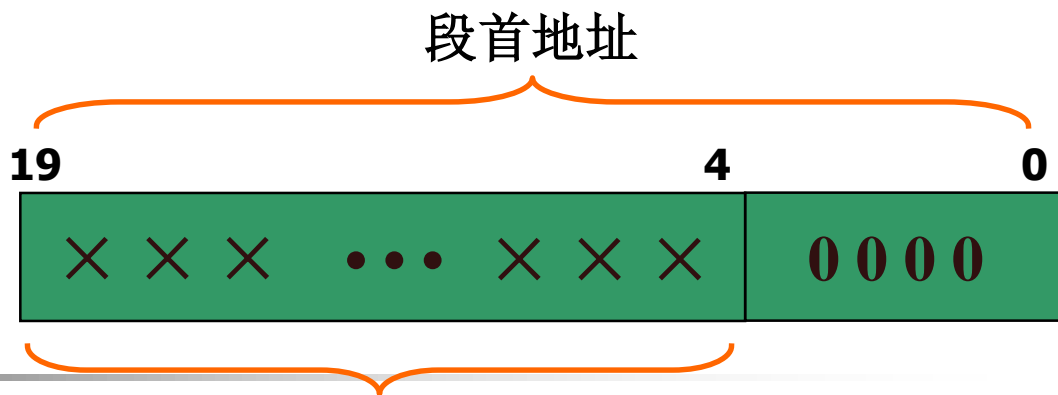
# 1. 管理原则

- (1) 分段管理 每逻辑段**64KB**
- (2) 每段的段首地址能够被**16**整除
- (3) 每个内存单元的地址用逻辑地址来表示，由段基地址和段内偏移地址两部分构成，可以写成 (**XXXXH: YYYYH**) 的形式
- $PA = XXXXH * 16 + YYYYH$

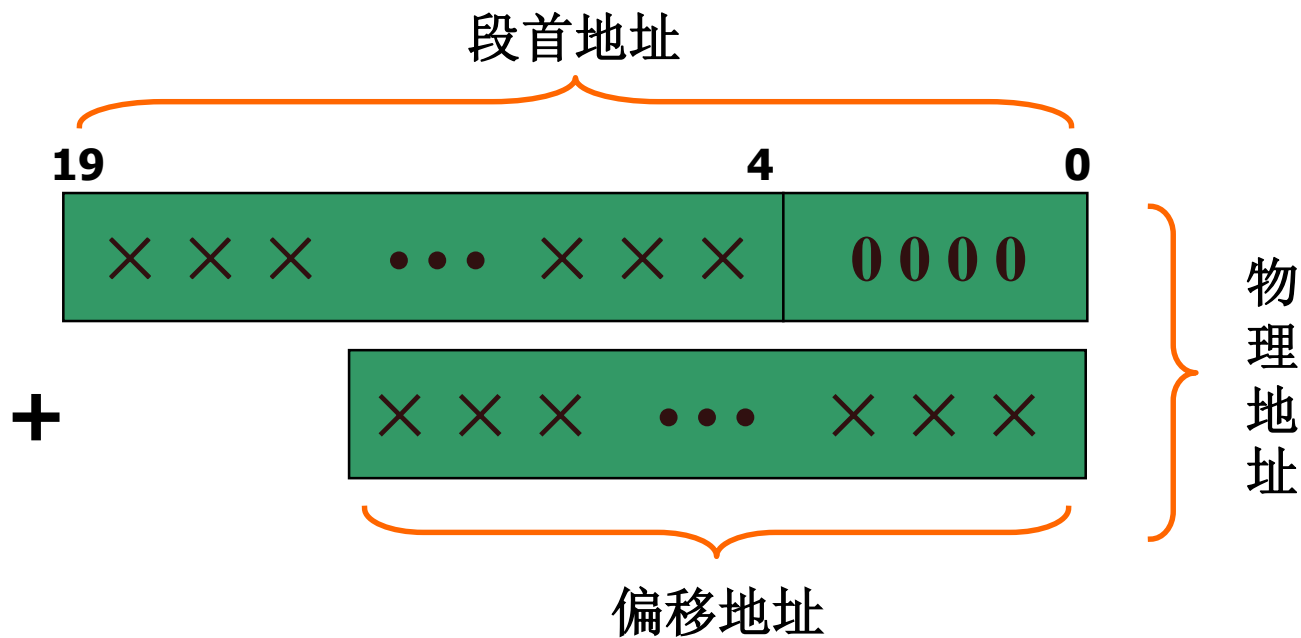


段首的偏移地址:

**0000H**



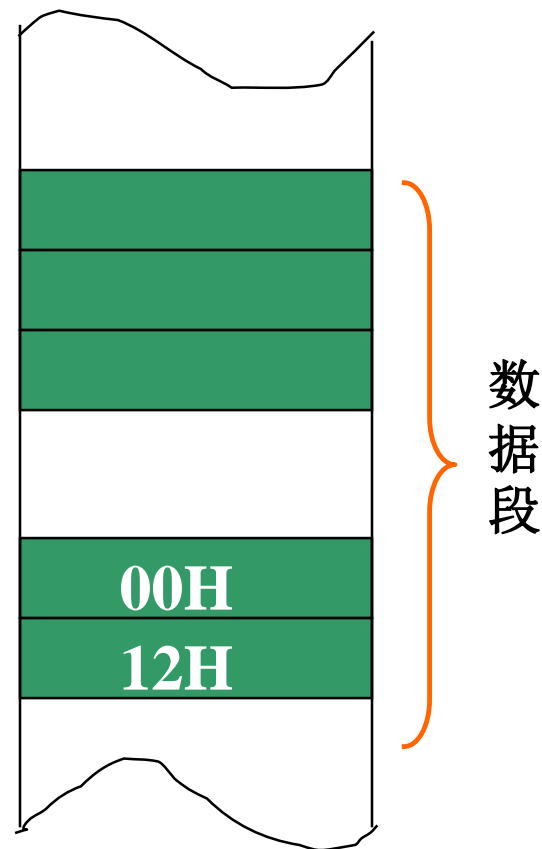
- 物理地址由段基地址和偏移地址组成



**物理地址 = 段基地址 × 16 + 偏移地址**

# 物理地址

- 段基地址 = **6000H**
- 段首地址 → **60000H**
- 偏移地址 → **0009H**
- 物理地址 → **60009H**
- 逻辑地址 (**6000H:**  
**0009H**)



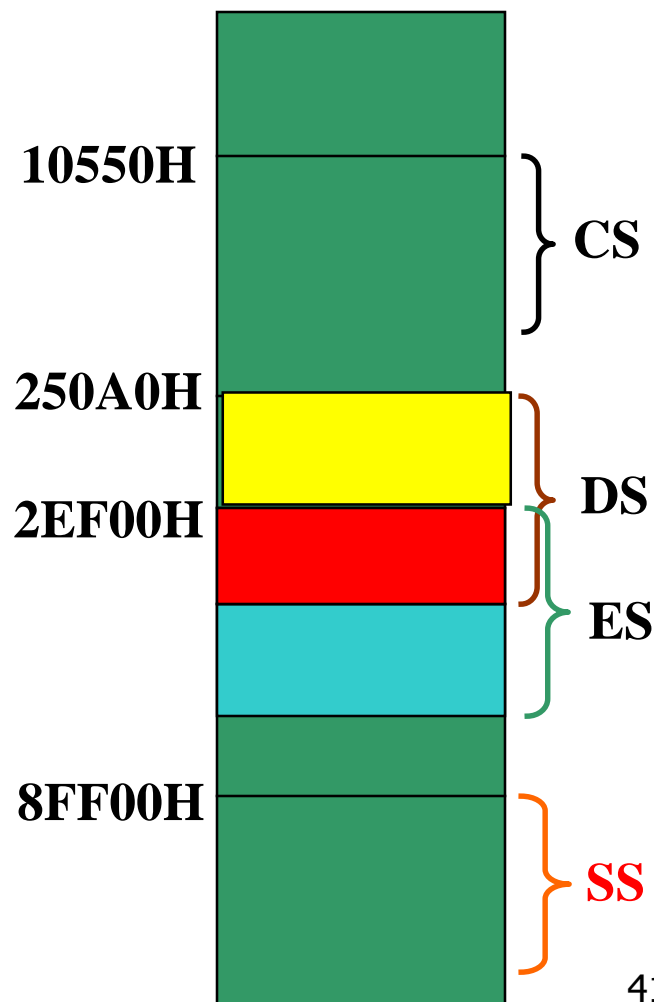


**例** ■ 已知 **CS=1055H**, **DS=250AH**, **ES=2EF0H**  
**SS=8FF0H** 某操作数偏移地址=**0204H**,

■ 画出各段在内存中的分布、段首地址及操作数的物理地址。

■ 设操作数在数据段, 则操作数的物理地址为:

■  $250AH \times 16 + 0204H$   
 $= 252A4H$





## 2.组织原则

---

- (1) 若存放**8**位字节信息，按顺序存放。
- (2) 任意两个相邻的内存单元都可以存放一个**16**位的数据，成为一个**字**；在一个字中，将字的低位字节存放在**低地址**上；高位字节存放在**高地址**上；每个字节都有相应的地址；低位字节的地址为**字地址**。
- (3) 若字地址为偶数，为规则存放，存放的字为规则字；反之，。。。



# 访问方式

---

- 对于**8086**-- **16位DB**，均为字操作
  - (1) 访问**字节**，读取其所在偶数规则字的值，省去不需要的**8位**
  - (2) 访问**字**时，若为规则字，进行一次访问；若为非规则字，连续读写两个连续的偶地址字。省去不需要的两个半字信息。
- 对于**8088**—**8位DB**，均为**字节**操作，效率高



# 8088/8086 CPU的特点

- 采用并行流水线工作方式
  - 通过设置指令预取队列实现
- 对内存空间实行分段管理
  - 将内存分为4类段并设置地址段寄存器，以实现  
对1MB空间的寻址
- 支持多处理器系统

CPU内部结构

存储器寻址部分

工作模式



## 主要内容：

---

- 微处理器的一般构成及工作原理；
- 8088微处理器的结构；
- 8088微处理器的内部寄存器；
- 8088微处理器的引脚；
- 8088微处理器对内存的管理；