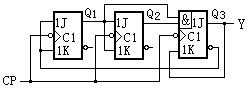
**《时序逻辑电路》练习题及答案**

**[6-1]** 分析图P6-1时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。



图P6-1

**[解]**

驱动方程：， 状态方程：；



， ；



， ；



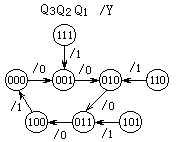
输出方程：



由状态方程可得状态转换表，如表6-1所示；由状态转换表可得状态转换图，如图A6-1所示。电路可以自启动。

表6-1

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 000  001  010  011 | 0010  0100  0110  1000 | 100  101  110  111 | 0001  0111  0101  0011 |



图A6-1

电路的逻辑功能：是一个五进制计数器，计数顺序是从0到4循环。

**[6-2]** 试分析图6-2时序电路的逻辑功能,写出电路的激励方程、状态方程和输出方程，画出电路的状态转换图。A为输入逻辑变量。

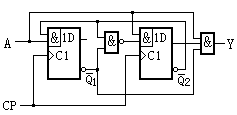


图6-2

**[解]**

驱动方程：，



状态方程：，



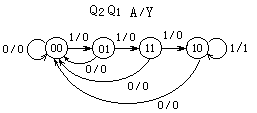
|  |  |
| --- | --- |
|  |  |
| 000  001  010  011  100  101  110  111 | 000  000  000  000  010  110  101  100 |

输出方程：表6-2



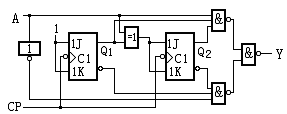
由状态方程可得状态转换表，如表6-2所示；由状态转换表可得状态转换图，如图A6-2所示。

电路的逻辑功能是：判断A是否连续输入四个和四个以上“1”信号，是则Y=1，否则Y=0。



图A6-2

**[6-3]** 分析图P6-3给出的时序电路，画出电路的状态转换图，检查电路能否自启动，说明电路实现的功能。*A*为输入变量。



图P6-3

**[解]**

，代入到特性方程，得：；



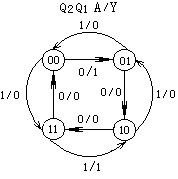
，代入到特性方程，得：；



由状态方程可得其状态转换表，如表6-3所示，状态转换图如图A6-3所示。

表6-3

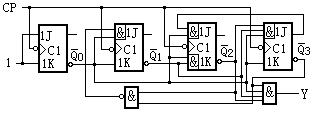
|  |  |
| --- | --- |
|  |  |
| 000  001  010  011  100  111  110  101 | 011  100  110  000  110  101  010  000 |



图A6-4

其功能为：当*A*=0时，电路作2位二进制加计数；当*A*=1时，电路作2位二进制减计数。

**[6-4]** 分析图P6-4时序逻辑电路，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。



图P6-4

**[解]** 驱动方程：

， ,



，



代入特性方程得状态方程：



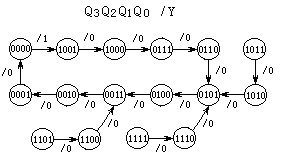
输出方程：



状态转换表如表6-4所示。 表6-4

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0000  1001  1000  0111  0110  0101  0100  0011 | 10011  10000  01110  01100  01010  01000  00110  00100 | 0010  0001  1010  1011  1100  1101  1110  1111 | 00010  00000  01010  10100  00110  11000  01010  11100 |

状态转换图如图A6-4所示。



图A6-4

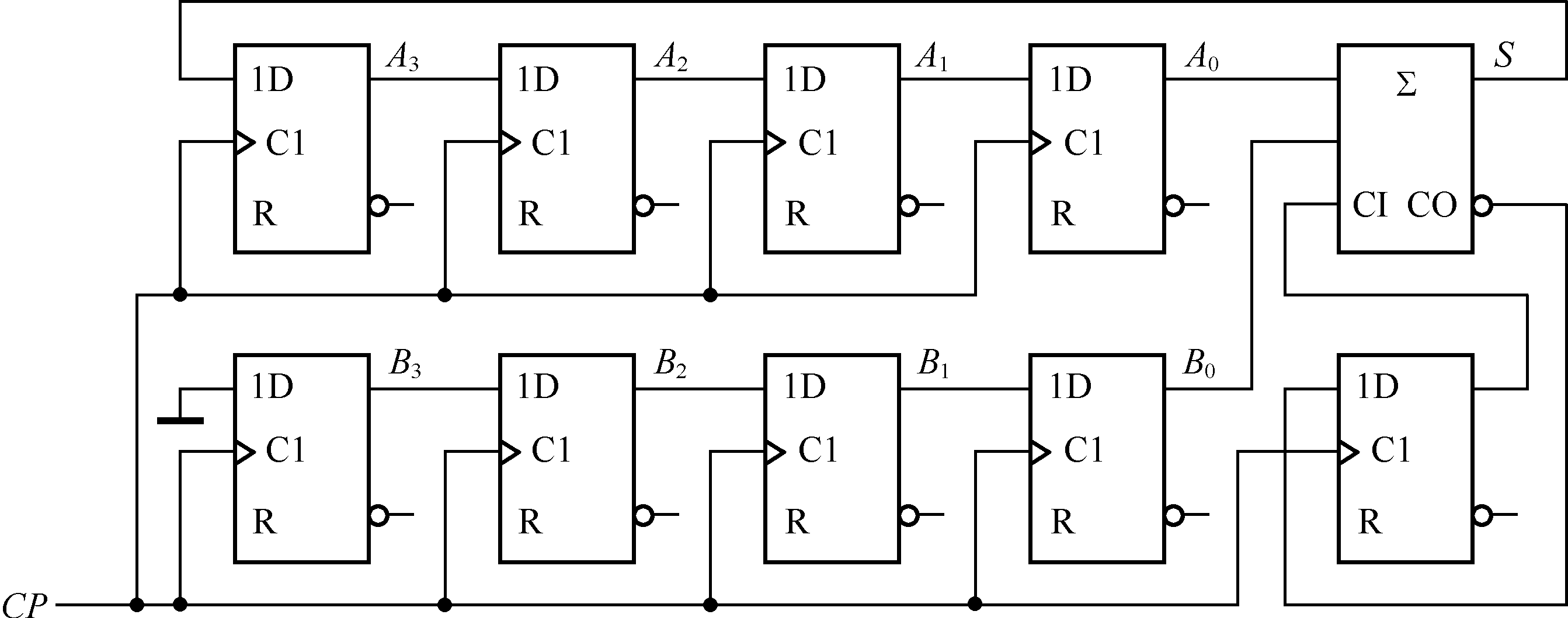
由以上分析知，图P6-4所示电路为同步十进制减法计数器，能够自启动。

**［6-5］**用移位寄存器74LS194和逻辑门组成的电路如题图6-5所示。设74LS194的初始状态*Q*3*Q*2*Q*1*Q*0=**0001**，试画出各输出端*Q*3、*Q*2、*Q*1、*Q*0和*L*的波形。



题图6-5

**［6-6］**在题图6-6电路中，若两个移位寄存器中的原始数据分别为*A*3*A*2*A*1*A*0=1001，*B*3*B*2*B*1*B*0=0011，试问经过4个CP信号作用以后两个寄存器中的数据如何？这个电路完成什么功能?



题图6-6

**[解]** 两组移位寄存器，每来一个*CP*，各位数据均向右移一位。全加器的和返送到*A*寄存器的左端输入。全加器的进位输出*CO*经一个*CP* 的延迟反送到全加器的进位输入端*CI*。在*CP*作用下，各点数据如表P6-6所示。

4个*CP*信号作用后，*A*3*A*2*A*1*A*0=1100，*B*3*B*2*B*1*B*0=0000，电路为四位串行加法器。

4个*CP*信号作用后，*B*寄存器清零，*A*寄存器数据为串行相加结果，而向高位的进位由*CO*给出。

表P6-6

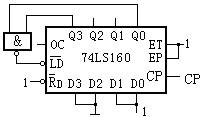
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *CP* | *A*3*A*2*A*1*A*0 | *B*3*B*2*B*1*B*0 | *CI* | *S C0* |
| 0 | 1001 | 0011 | 0 | 0 1 |
| 1 | 0100 | 0001 | 1 | 0 1 |
| 2 | 0010 | 0000 | 1 | 1 0 |
| 3 | 1001 | 0000 | 0 | 1 0 |
| 4 | 1100 | 0000 | 0 | 0 0 |

**［6-7］**分析题图6-7所示的移位寄存器74LS194和3/8译码器74LS138构成的计数分频器的工作原理，并画出当时的输出波形。



题图6-7

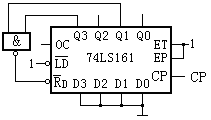
**[6-8]** 分析图P6-8的计数器电路，说明这是多少进制的计数器。十进制计数器74160的功能表见表6-3-4。



图P6-8

**[解]** 图P6-8电路为七进制计数器。计数顺序是3－9循环。

**[6.-9]** 分析图P6-9的计数器电路，画出电路的状态转换图，说明这是多少进制的计数器。十六进制计数器74LS161的功能表如表6-3-4所示。



图P6-9

**[解]** 这是一个十进制计数器。计数顺序是0－9循环。

**[6-10]** 试用4位同步二进制计数器74LS161接成十三进制计数器，标出输入、输出端。可以附加必要的门电路。74LS161的功能表见表P6-10。

表P6-10 74LS161、74 LS160功能表

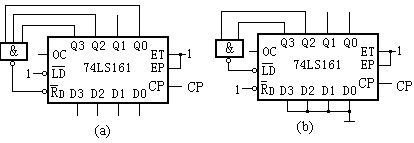
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | | 输 出 | 说 明 |
|  | **EP** | **ET** |  | **CP** | *D*3*D*2*D*1*D*0 | *Q*3*Q*2*Q*1*Q*0 | 高位在左 |
| 0 | × | × | × | × | ×××× | 0 0 0 0 | 强迫清除 |
| 1 | × | × | 0 | ↑ | D C B A | **D C B A** | 置数在*CP*↑完成 |
| 1 | 0 | × | 1 | × | ×××× | 保持 | 不影响*O*C输出 |
| 1 | × | 0 | 1 | × | ×××× | 保持 | *ET*=0 ，  *O*C=0 |
| 1 | 1 | 1 | 1 | ↑ | ×××× | 计数 |  |

注：(1)只有当*CP*=1时，*EP、ET*才允许改变状态

(2)*O*c为进位输出，平时为0，当*Q*3*Q*2*Q*1*Q*0=1111时，*O*c=1

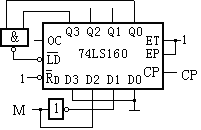
（74 LS160是当*Q*3*Q*2*Q*1*Q*0=1001时，*O*c=1）

**[解]** 可用多种方法实现十三进制计数器，根据功能表，现给出两种典型用法，它们均为十三进制加法计数器。如图A6-10(a)、(b)所示。



图A6-10

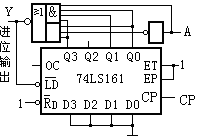
**[6.11]** 试分析图P6-11的计数器在*M*=1和*M*=0时各为几进制。74LS160的功能表同上题。



图P6-11

**[解]** *M*=1时为六进制计数器，*M*=0时为八进制计数器。

**[6.12]** 图P6-12电路是可变进制计数器。试分析当控制变量*A*为1和0时电路各为几进制计数器。74LS161的功能表见题6-10。

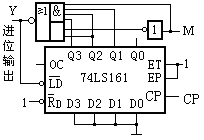


图P6-12

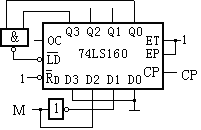
**[解]** *A*=1时为十二进制计数器，*A*=0时为十进制计数器。

**[6,13]** 设计一个可控制进制的计数器，当输入控制变量*M*=0时工作在五进制，*M*=1时工作在十五进制。请标出计数输入端和进位输出端。（第一个图对的。）

**[解]** 见图A6-13。



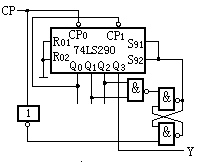
或者按如下思路修改：



图A6-13

改进后图有问题。M=0（2-9,8进制）M=1（4-9,6进制），160不可能到15进制。本身就是10进制计数器

**[6.14]** 分析图P6-14给出的计数器电路，画出电路的状态转换图，说明这是几进制计数器，74LS290的功能表如表P6-14所示。

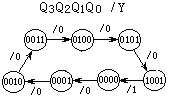


图P6-14

表P6-14 74LS290功能表

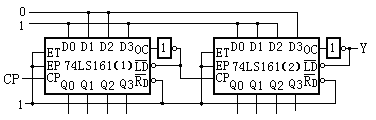
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | 输 出 | | | |
| *R*01 | *R*02 | *S*91 | *S*92 | *Q*3 | *Q*2 | *Q*1 | *Q*0 |
| 1 | 1 | 0 | × | 0 | 0 | 0 | 0 |
| 1 | 1 | × | 0 | 0 | 0 | 0 | 0 |
| × | × | 1 | 1 | 1 | 0 | 0 | 1 |
| ××  0  0 | 0  0  ×× | ×  0  ×  0 | 0  ×  0  × | 计 数  计 数  计 数  计 数 | | | |
| 注：将*Q*0与*CP*1连接,从*CP*0 送*CP*为8421码；将*Q*3与*CP*0连接,从*CP*1送*CP*为5421码 | | | | | | | |

**[解]** 图P6-14所示为七进制计数器。状态转换图如图A6-14所示。



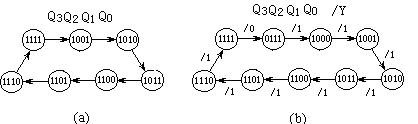
A6-14

**[6.15]** 试分析图P6-15计数器电路的分频比(即*Y*与*CP*的频率之比)。74LS161的功能表见题6-10。



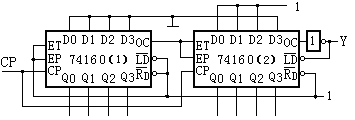
图P6-15

**[解]** 利用与上题同样的分析方法，可得74LS161(1)和74LS161(2)的状态转换图如图A6-15(a)、(b)所示。可见， 74LS 161(1)为七进制计数器，且每当电路状态由1001~1111时，给74LS 161(2)一个计数脉冲。74LS 161(2)为九进制计数器，计数状态由0111~1111循环。整个电路为63进制计数器，分频比为1:63。



图A6-15

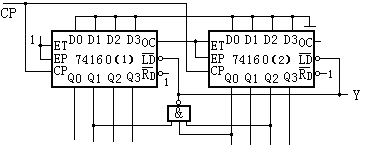
**[6.16]** 图P6-16电路是由两片同步十进制计数器74160组成的计数器，试分析这是多少进制的计数器，两片之间是几进制。74160的功能表见题6-10。



图P6-16

**[解]** 第（1）片74160接成十进制计数器，第（2）片74160接成了三进制计数器。第（1）片到第（2）片之间为十进制，两片中串联组成70~99（56-99）的三十进制计数器。

**[6.17]** 分析图P6-17给出的电路，说明这是多少进制的计数器，两片之间多少进制。74LS161的功能表见题6-10。



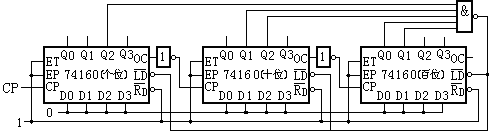
图P6-17

**[解]** 在出现信号以前，两片74LS161均按十六进制计数。即第（1）片到第（2）片之间为十六进制。当第（1）片计为2，第（2）片计为5时产生信号，总的进制为5×16＋2＋1＝83。故为八十三进制计数器。计数范围0000000~1010010（83进）。



**[6.18]** 用同步十进制计数芯片74160设计一个三百六十五进制的计数器。要求各位间为十进制关系，允许附加必要的门电路。74160的功能表见题6-10表P6-10（即与74LS161相同，仅进制不同，当*Q*3*Q*2*Q*1*Q*0=1001时，*OC*=1，其他情况*OC*=0）。

**[解]** 可用多种方法实现，这里给出其中之一，如图A6-18所示。



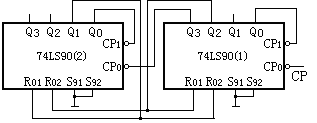
图A6-18

当计数到364(即0011，0110，0100)时，，再来*CP*脉冲时计数器全部置入“0”。



**[6.19]** 试用两片异步二~五~十进制计数器74LS90组成二十四进制计数器，74LS90的功能表与表P6-14相同。

**[解]** 如图A6-19所示。



图A6-19

［6-20］电路如题图6-16所示，图中74HC153为4选1数据选择器，74HC138为3线-8线译码器，74161为同步十六进制计数器。试问当*MN*为各种不同输入时，电路分别是那几种不同进制的计数器。



题图6-16

［6-20］用边沿D触发器设计一个模可变的同步递增计数器。当控制信号Ｘ＝0时为三进制计数器；Ｘ＝１时为四进制计数器。

［6-22］设计一“011”序列检测器，每当输入011码时，对应最后一个1，电路输出为1。选T触发器

［6-23］用边沿D触发器设计一个咖啡产品包装线上用的检测逻辑电路。正常工作状态下，传送带顺序送出成品，每三瓶一组，装入一个纸箱中，如图题图6-17所示。每组含两瓶咖啡和一瓶咖啡伴侣，咖啡的顶盖为棕色，咖啡伴侣顶盖为白色。要求在传送带上的产品排列次序出现错误时逻辑电路能发出故障信号，同时自动返回初始状态。



题图6-17

［6-24］用JK触发器和门电路设计一个4位循环码计数器，它的状态转换表如题表6-2所示。

题表**6-1**

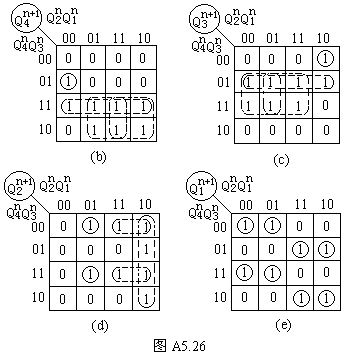
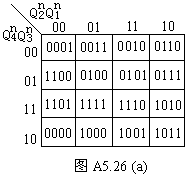
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 计数顺序 | 电路状态*Q*4*Q*3*Q*2*Q*1 | 进位输出C |  | 计数顺序 | 电路状态*Q*4*Q*3*Q*2*Q*1 | 进位输出C |
| 0  1  2  3  4  5  6  7 | 0000  0001  0011  0010  0110  0111  0101  0100 | 0  0  0  0  0  0  0  0 |  | 8  9  10  11  12  13  14  15 | 1100  1101  1111  1110  1010  1011  1001  1000 | 0  0  0  0  0  0  0  1 |

**[解]**

1．根据表P5.26画出的卡诺图如图A5.26 (a) 及图A5.26 (b)、(c)、(d) 、(e)所示。



2．用卡诺图化简，求状态方程。



与特性方程比较，可知



驱动方程 ,



与特性方程比较，可知



驱动方程



与特性方程比较，可知



驱动方程



与特性方程比较，可知



驱动方程



由表P5.26知，输出方程



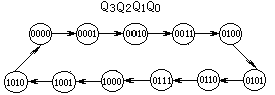
根据驱动方程和输出方程可画出逻辑电路图。（图略）

**[6.25]** 用D触发器和门电路设计一个十一进制计数器，并检查设计的电路能否启动。

解法一：方程代入法

1．确定触发器个数。需用4个D触发器。

2．设十一进制计数器的状态转换图，如图A6-27（a）所示。



图A6-27（a）

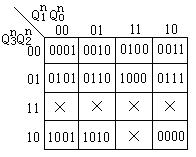
3．列状态转换表如表A6-27（a）所示。

表A6-27（a）

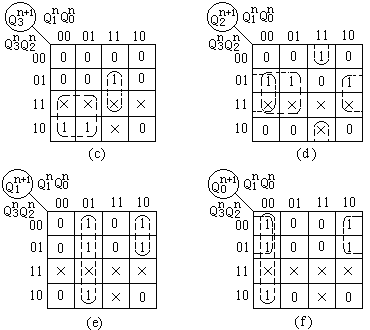
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 计数顺序 | Q3Q2Q1Q0 | 计数顺序 | Q3Q2Q1Q0 | 计数顺序 | Q3Q2Q1Q0 |
| 0  1  2  3 | 0000  0001  0010  0011 | 4  5  6  7 | 0100  0101  0110  0111 | 8  9  10  11 | 1000  1001  1010  0000 |

4．画出各触发器的次态卡诺图，如图A6-27（b）和图A6-27(c)、(d )、(e)、(f ) 所示。

5．由卡诺图化简得到各触发器的状态方程及驱动方程。



图A6-27(b)



图A6-27

，



，

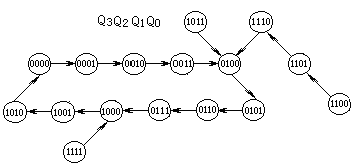


6．检查电路能否自启动。由状态方程可得完整状态转换表，如表A6-27（b）所示。因此知电路能够自启动。

表A6-27（b）

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| CP | Q3Q2Q1Q0 | CP | Q3Q2Q1Q0 | CP | | Q3Q2Q1Q0 |
| 0 | 0000 | 7 | 0111 | 1 | | 1101 |
| 1 | 0001 | 8 | 1000 | 2 | | 1110 |
| 2 | 0010 | 9 | 1001 | 3 | | 0100 |
| 3 | 0011 | 10 | 1010 | 0 | | 1011 |
| 4 | 0100 | 11 | 1011 | 1 | | 0100 |
| 5 | 0101 | 12 | 0000 | 0 | | 1111 |
| 6 | 0110 | 0 | 1100 | | 1 | 1000 |
|  |  |  |  |  |  |  |

完整状态转换图如图A6-27（g）所示。

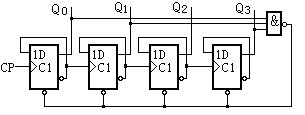


图A6-27(g)

7．由驱动方程可画出逻辑电路图（略）。

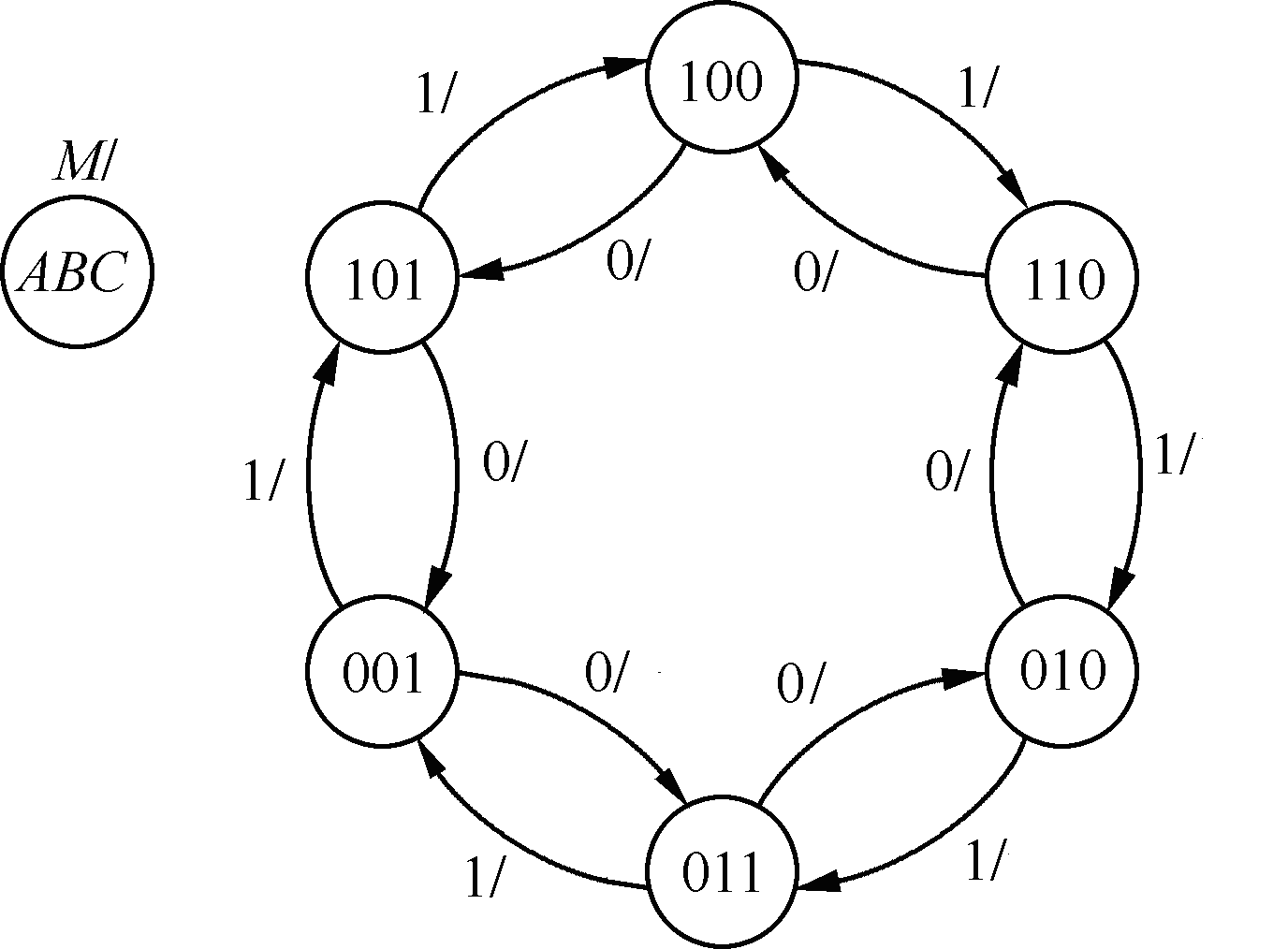
解法二：用D触发器设计异步十一进制计数器

首先要设计出二进制计数器，然后用复位法构成十一进制电路。设计异步二进制计数器可用观察法得到其逻辑关系，由于D触发器的，而二进制计数，所以各触发器的驱动方程应为。又由于是做加法，设D触发器为上升沿触发，所以低位的端应作为高位的时钟*CP*，这样，4个D触发器构成4位二进制计数，在*CP*信号作用下，从0000开始，当计到1011时，经与非门送到各触发器的直接复位端，就构成了异步十一进制计数器。如图A6-27（h）所示。



图A6-27（h）

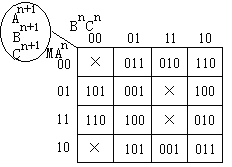
［6-26］用边沿触发方式的D触发器设计设计一个控制步进电动机三相六状态工作的逻辑电路，如果用1表示电机绕组导通，0表示电机绕组截止，则3个绕组*ABC*的状态转换图应如题图6-18所示，*M*为输入控制变量，当*M*=1时为正转，*M*=0时为反转。



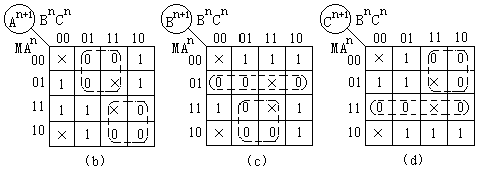
题图6-26

**[解]** 为避免与线圈*C*混淆，设正反转控制输入端为*M*，求解*A*n+1、*B*n+1、*C*n+1，用D触发器及与或非门实现之。

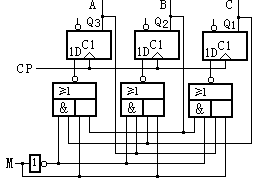
根据状态转换图P6-26画出电路次态卡诺图，如图A6-28（a）和图A6-28（b）、（c）、（d） 所示。



图A6-26（a）



图A6-26



图A6-26（e）

将卡诺图中的“0”合并，然后求反，得



实现电路如图A6-26（e）所示。

［6-27］题图6-19所示电路是用二-十进制优先编码器74LS147和同步十进制计数器74LS160组成的可控分频器，试说明当输入控制信号*A、B、C、D、E、F、G、H、I*分别为低电平时，由*Y*端输出的脉冲频率各为多少。已知CP端输入脉冲的频率为10kHz。优先编码器74LS147的功能表见表4-5。

**[6.28]** 试用同步十进制可逆计数器74LS190和二一十进制优先编码器74LS147设计一个工作在减法计数状态的可控分频器。要求在控制信号*A、B、C、D、E、F、G、H*分别为1时分频比对应为1/2、1/3、1/4、1/5、1/6、1/7、1/8、1/9。74LS190的逻辑图见教材中图6-3-25，它的功能表如6-3-5。可以附加必要的门电路。

**[解]** 可用*CP*0作为信号。因为在*CP*上升沿使以后，在这个*CP*的低电平期间，*CP*0将给出一个负脉冲。



但由于74LS190的信号是异步置数信号，所以0000状态在计数过程中是作为暂态出现的。如果为提高置数的可靠性，并产生足够宽度的进位输出脉冲，可以增设由G1、G2组成的触发器，由端给出与*CP*脉冲的低电平等宽的=0信号，并可由端给出进位输出脉冲。



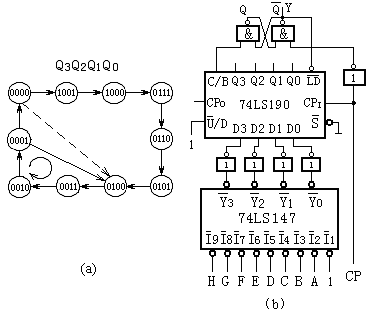
由图A6-21 (a) 中74LS190减法计数器的状态转换图可知，若时置入=0100，则得到四进制减法计数器，输出进位信号与*CP*频率之比为1/4。又由74LS147的功能表（见上题）可知，为使74LS147的输出反相后为0100，需接入低电平信号，故应接输入信号*C*。依次类推即可得到下表（表A6-21）：



表A6-21

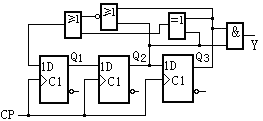
|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 接低电平的输入端 | （*A*） | （*B*） | （*C*） | （*D*） | （*E*） | （*F*） | （*G*） | （*H*） |
| 分频比（*f*Y / *f*CP） | 1/2 | 1/3 | 1/4 | 1/5 | 1/6 | 1/7 | 1/8 | 1/9 |

于是得到如图A6-21（b）的电路图。



图A6-21

**[6.29]** 图P6-29是一个移位寄存器型计数器，试画出它的状态转换图，说明这是几进制计数器，能否自启动。



图P6-29

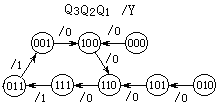
**[解]**



,



状态转换图如图A6-22，这是一个五进制计数器，能够自启动。

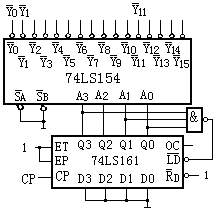


图A6-22

**[6.30]** 试利用同步4位二进制计数器74LS161和4线-16线译码器74LS154设计节拍脉冲发生器，要求从12个输出端顺序、循环地输出等宽的负脉冲。74LS154的逻辑框图及说明见[题3-9 ]，74LS161的功能表见题6-10中表6-10。

**[解]**

用置数法将74LS161接成十二进制计数器（计数从0000~1011循环），并且把它的*Q*3、*Q*2、*Q*1、*Q*0对应接至74LS154的*A*3、*A*2、*A*1、*A*0，则74LS154的可顺序产生低电平。为拍脉冲发生器的输出端，如图A6-30所示。



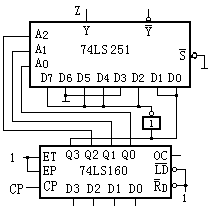
图A6-30

**[6.31]** 设计一个序列信号发生器电路，使之在一系列CP信号作用下能周期性地输出“0010110111”的序列信号。

**[解]** 可以用十进制计数器和8选1数据选择器组成这个序列信号发生器电路。若将十进制计数器74160的输出状态作为8选1数据选择器的输入，则可得到数据选择器的输出*Z*与输入之间关系的真值表。



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Q*3 | *Q*2 | *Q*1 | *Q*0 | *Z* |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |



图A6-24（a）

若取用8选1数据选择器74LS251（见图A6-24（a）），则它的输出逻辑式可写为



由真值表写出*Z*的逻辑式，并化成与上式对应的形式，则得到

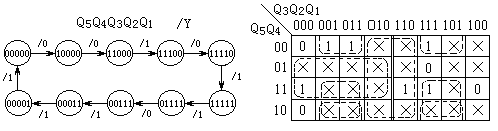


令*A*2=*Q*2，*A*1=*Q*1，*A*0=*Q*0，*D*0=*D*1=*Q*3 ，*D*2=*D*4=*Q*5=*Q*7=，*D*3=*D*6=0，



则数据选择器的输出*Y*即所求之*Z*。所得到的电路如图A6-24(a)所示。

**[解法2]**  因为周期性输出信号为十节拍，所以可用五位扭环形计数器及门电路构成。设输出为Y，则状态转换图如图A6-24（b）所示。



图A6-24(b) 图A6-24(c)

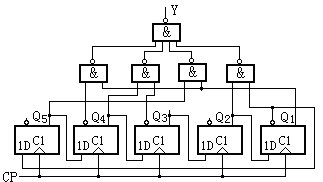
输出



利用约束条件，用卡诺图（如图A6-24（c）所示）化简，得



由此可得序列信号发生器电路如图A6-24（d）所示。



图A6-24（d）

**[6.32]** 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表P6-25规定的顺序转换状态。表中的1表示“亮”，0表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

表P6-25

|  |  |  |  |
| --- | --- | --- | --- |
| CP顺序 | 红 黄 绿 | CP顺序 | 红 黄 绿 |
| 0 | 000 | 4 | 111 |
| 1 | 100 | 5 | 001 |
| 2 | 010 | 6 | 010 |
| 3 | 001 | 7 | 100 |

**[解]** 因为输出为八个状态循环，所以用74LS161的低三位作为八进制计数器。若以*R、Y、G*分别表示红、黄、绿三个输出，则可得计数器输出状态*Q2、Q1、Q0*与*R、Y、G*关系的真值表：

|  |  |  |  |
| --- | --- | --- | --- |
|  | **RYG** |  | **RYG** |
| 000 | 000 | 100 | 111 |
| 001 | 100 | 101 | 001 |
| 010 | 010 | 110 | 010 |
| 011 | 001 | 111 | 100 |

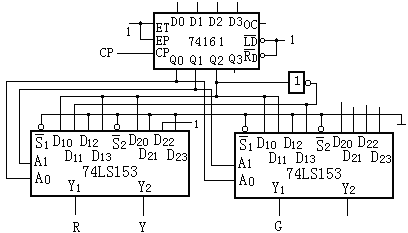
题6-25的真值表

选两片双4选1数据选择器74LS153作通用函数发生器使用，产生*R、Y、G*。

由真值表写出*R、Y、G*的逻辑式，并化成与数据选择器的输出逻辑式相对应的形式



电路图如图A6-25。



图A6-25。

**［6-32］**有一个外输入A及一个输出Z的时序电路其状态表如题表6-3所示，试用边沿JK触发器及二选一数据选择器设计此时序电路，要求电路尽量简单，写出设计过程，画出电路图。

题表6-3 电路状态表

|  |  |  |
| --- | --- | --- |
|  |  |  |
| 0 0 0 | 0 0 0/ 0 | 0 0 1/ 0 |
| 0 0 1 | 0 0 0/ 0 | 0 1 0/ 0 |
| 0 1 0 | 0 0 0/ 0 | 0 1 1/ 0 |
| 0 1 1 | 1 0 0/ 0 | 0 1 1/ 0 |
| 1 0 0 | 0 0 0/ 1 | 0 0 1/ 0 |
| 1 0 1 | 0 0 0/ 1 | 0 1 0/ 0 |
| 1 1 0 | 0 0 0/ 1 | 0 1 1/ 0 |
| 1 1 1 | 0 0 0/ 1 | 0 1 1/ 0 |

**［6-33］**用双向移位寄存器74LS194及其他必要的器件设计状态表如题表6-3所示的时序电路，写出设计过程，画出电路图。