

# LR アルバイト課題2



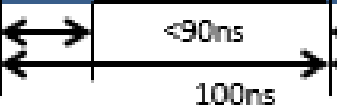


東海大学 情報通信学研究科  
古川 大鷹

使用ツール：xschem  
ngspice

# 課題内容

抵抗ラダー、キャパシタタイプ14bitDAC回路設計、シミュレーション

入力・出力信号情報  
VDD:3.3V±10%  
Vrefh:VDD  
din[13:0]:VIL=VDDx0.2, VIH=VDD\*0.8, trise=tfall=1ns  
Vrefl:VSS  
dout:Vrefh/16384 x din(バイナリ値)  
VSS:0V  
din⇒dout出力遅延時間:90ns max

din[14'h0000]		din[14'h3fff]		din[14'h1fff]		din[14'h0fff]		din[14'h1111]	
不定	<u>dout=0</u>	不定	<u>dout=3.3</u>	不定	<u>dout=1.75</u>	不定	<u>dout=0.875</u>	不定	<u>dout=0.879</u>
									

回路の仕様

# 抵抗ラダー型 14ビットDACの回路図

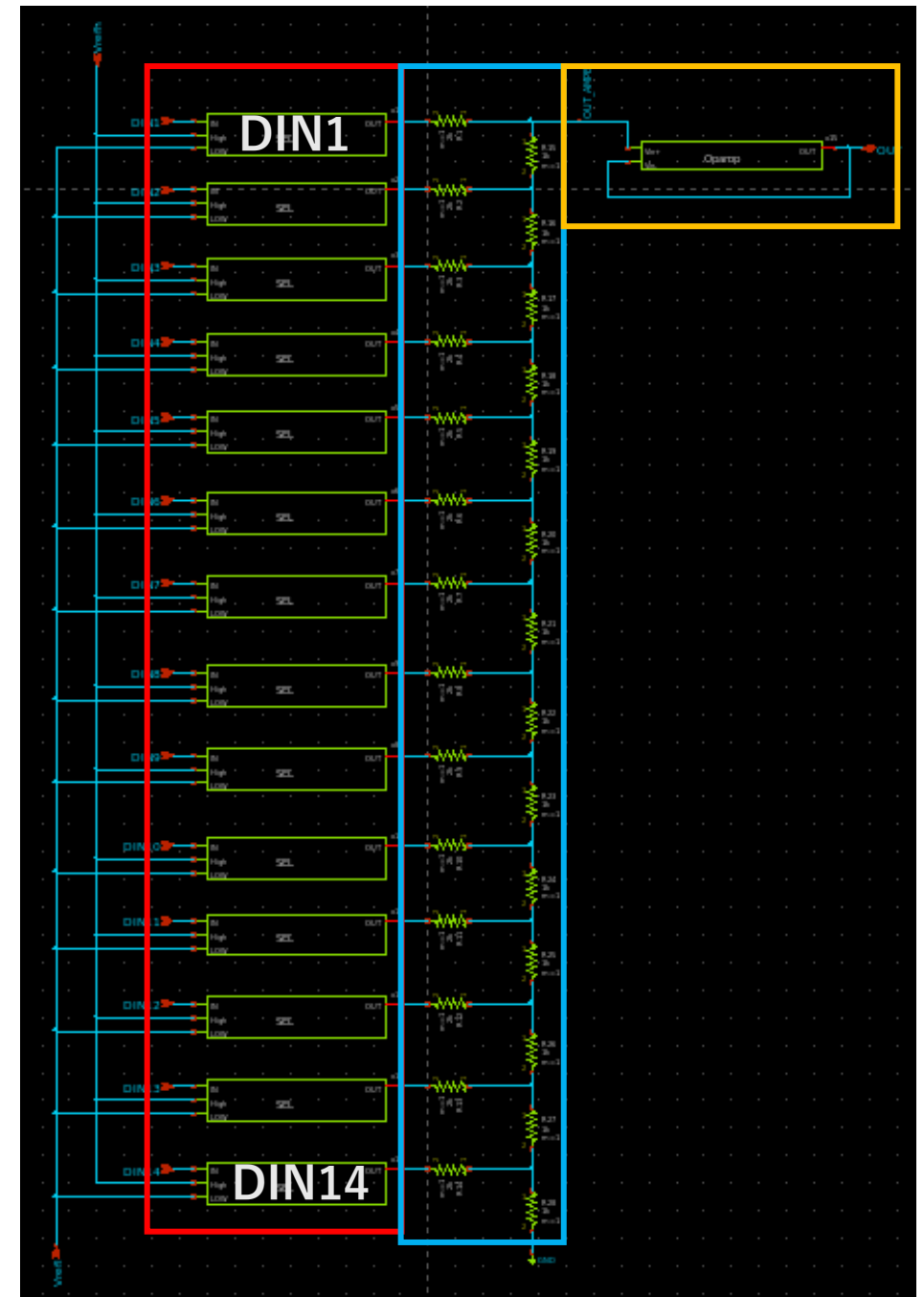
入力信号：DIN1～DIN14

出力信号：OUT

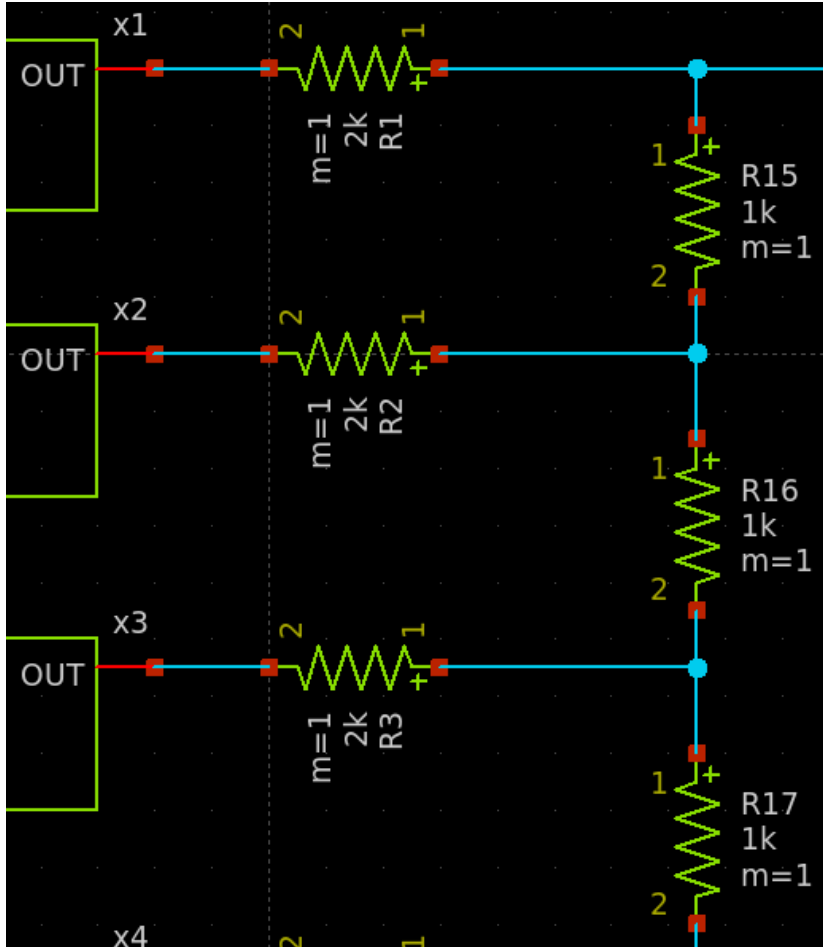
赤枠：入力信号によって $V_{DD}$ [V] or 0[V]を  
出力するセレクタ群

青枠：抵抗ラダー群(R-2R型)

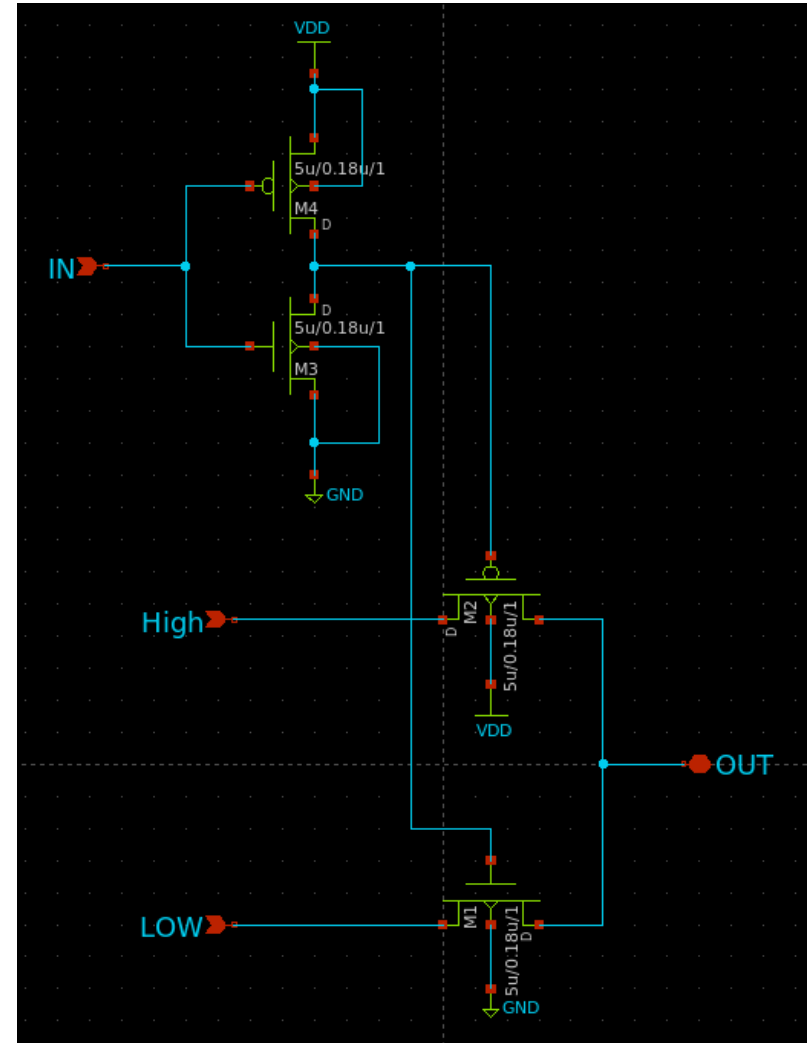
橙枠：出力部(オペアンプは未完成)



# 抵抗ラダー型14ビットDACの回路図



抵抗ラダー群, 縦 : 横 = 1 : 2 で設計



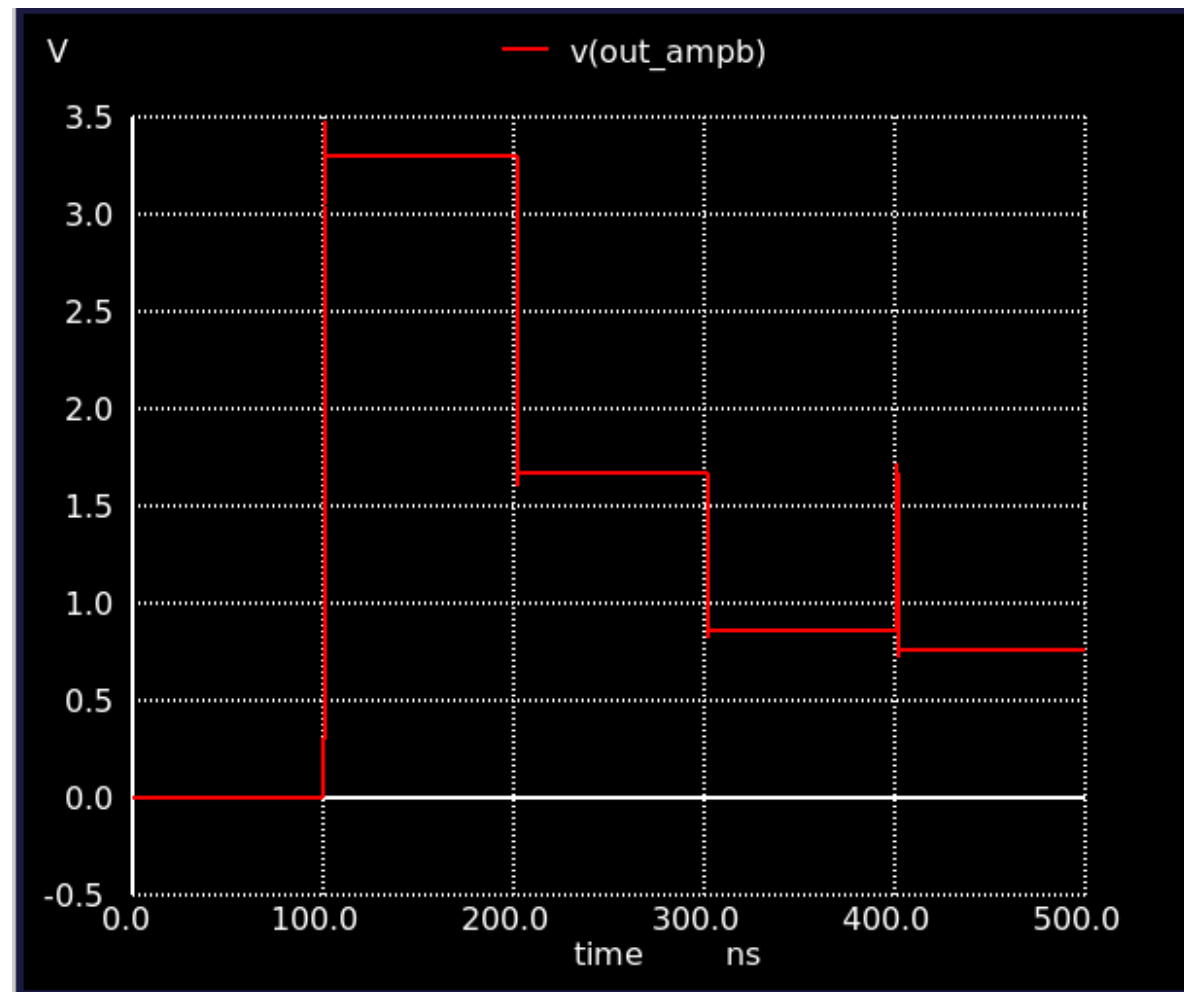
セレクタの回路図

# シミュレーション結果

```
VVDD VDD 0 dc 3.3
VVrefh Vrefh 0 dc 3.3
VVrefl Vrefl 0 dc 0

VDIN1 DIN1 0 pulse(0 3.3 100n 1n 1n 100n 400n)
VDIN2 DIN2 0 pulse(0 3.3 100n 1n 1n 200n 300n)
VDIN3 DIN3 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN4 DIN4 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN5 DIN5 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN6 DIN6 0 pulse(0 3.3 100n 1n 1n 400n 500n)
VDIN7 DIN7 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN8 DIN8 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN9 DIN9 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN10 DIN10 0 pulse(0 3.3 100n 1n 1n 400n 500n)
VDIN11 DIN11 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN12 DIN12 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN13 DIN13 0 pulse(0 3.3 100n 1n 1n 300n 500n)
VDIN14 DIN14 0 pulse(0 3.3 100n 1n 1n 400n 500n)
```

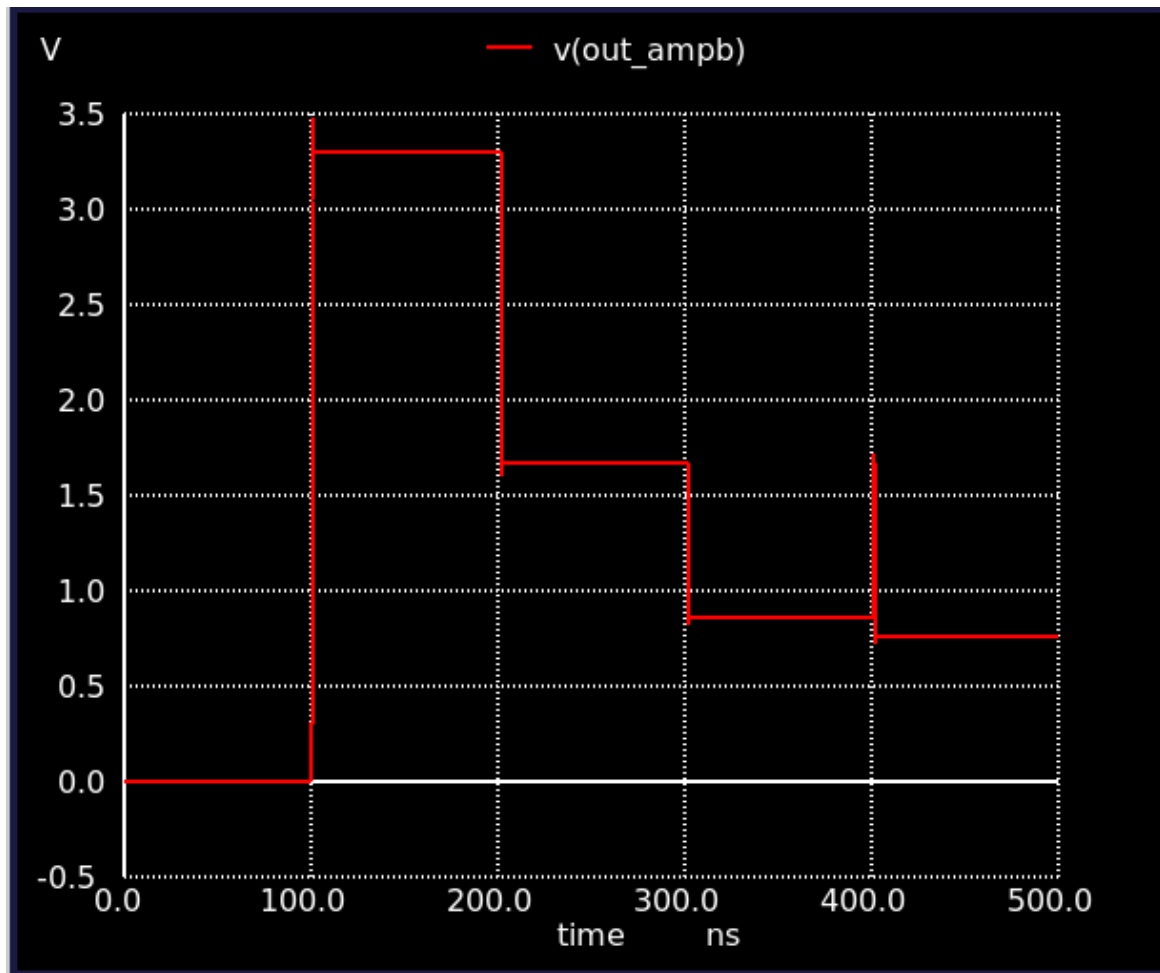
入力信号



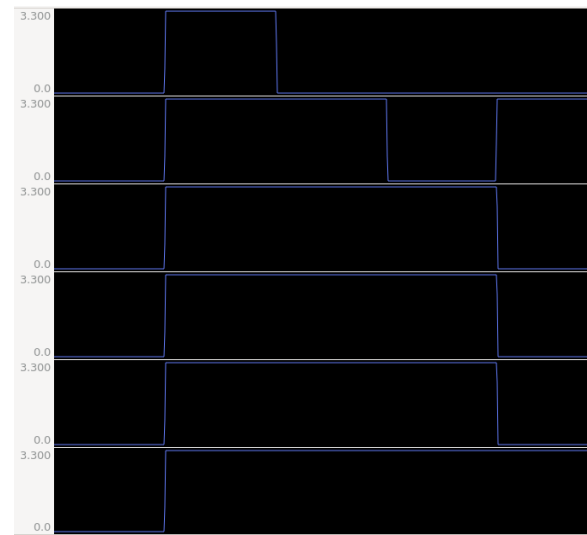
出力信号

# シミュレーション結果

0[V]    3.3[V]    1.67[V]    0.861[V]    0.765[V]



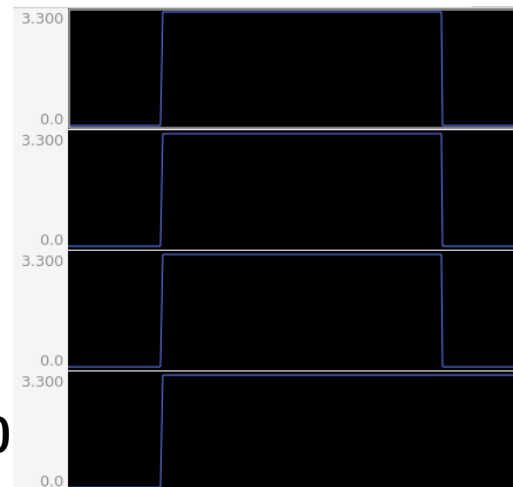
DIN1



~

DIN6

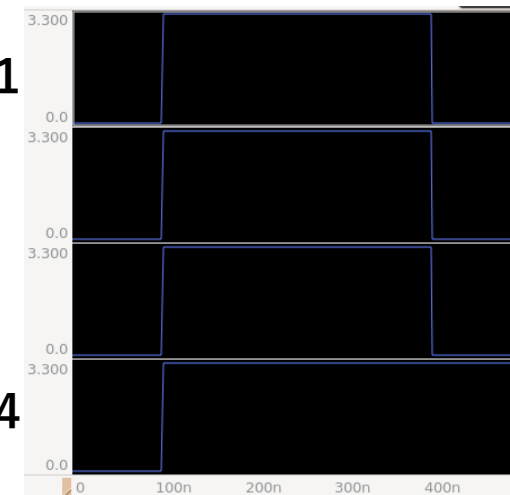
DIN7



~

DIN10

DIN11



DIN14

概ねDACとしての動作は得られたが、配線による減衰の影響で理論値とは多少異なる結果となった