

LR アルバイト課題3

東海大学 情報通信学研究科

古川 大鷹

使用ツール：xschem, ngspice

課題内容

抵抗ラダー・キャパシタタイプ14bitDAC+ボルテージフォロワの回路設計、シミュレーション

入力・出力信号情報

VDD:3.3V±10%、VSS:0V

VREFH:VDD、Vrefl:VSS、入力範囲:VSS～VDD

DIN[13:0]:VIL=VDD×0.2, VIH=VDD×0.8, $t_{rise}=t_{fall}=1ns$

$DACO=(V_{refh}-V_{refl})/16384 \times din$ (バイナリ値)

PD:PD=VILでパワーダウンモード

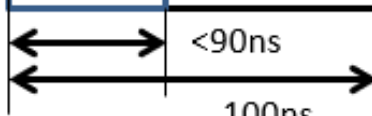
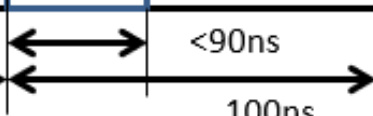
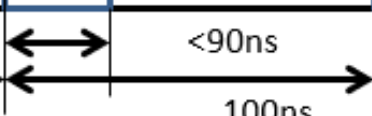
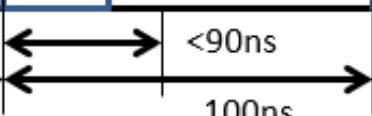
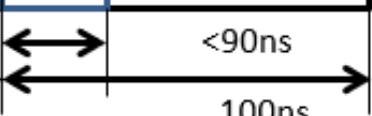
Iref:10uAのバイアス電流源

VOUT:DACOをボルテージフォロアアンプを経由した出力

din⇒dout出力遅延時間:90ns max

$vm=VDD/16384$

【タイムチャート】以下参照

din[14'h0000]		din[14'h3fff]		din[14'h1fff]		din[14'h0fff]		din[14'h1111]	
不定	dout=0	不定	dout=VDD	不定	dout=vm*8192	不定	dout=vm*4096	不定	dout=vm*4369
									

設計した 抵抗ラダー型14ビットDAC

入力信号：DIN1～DIN14

DAC出力：DAC0

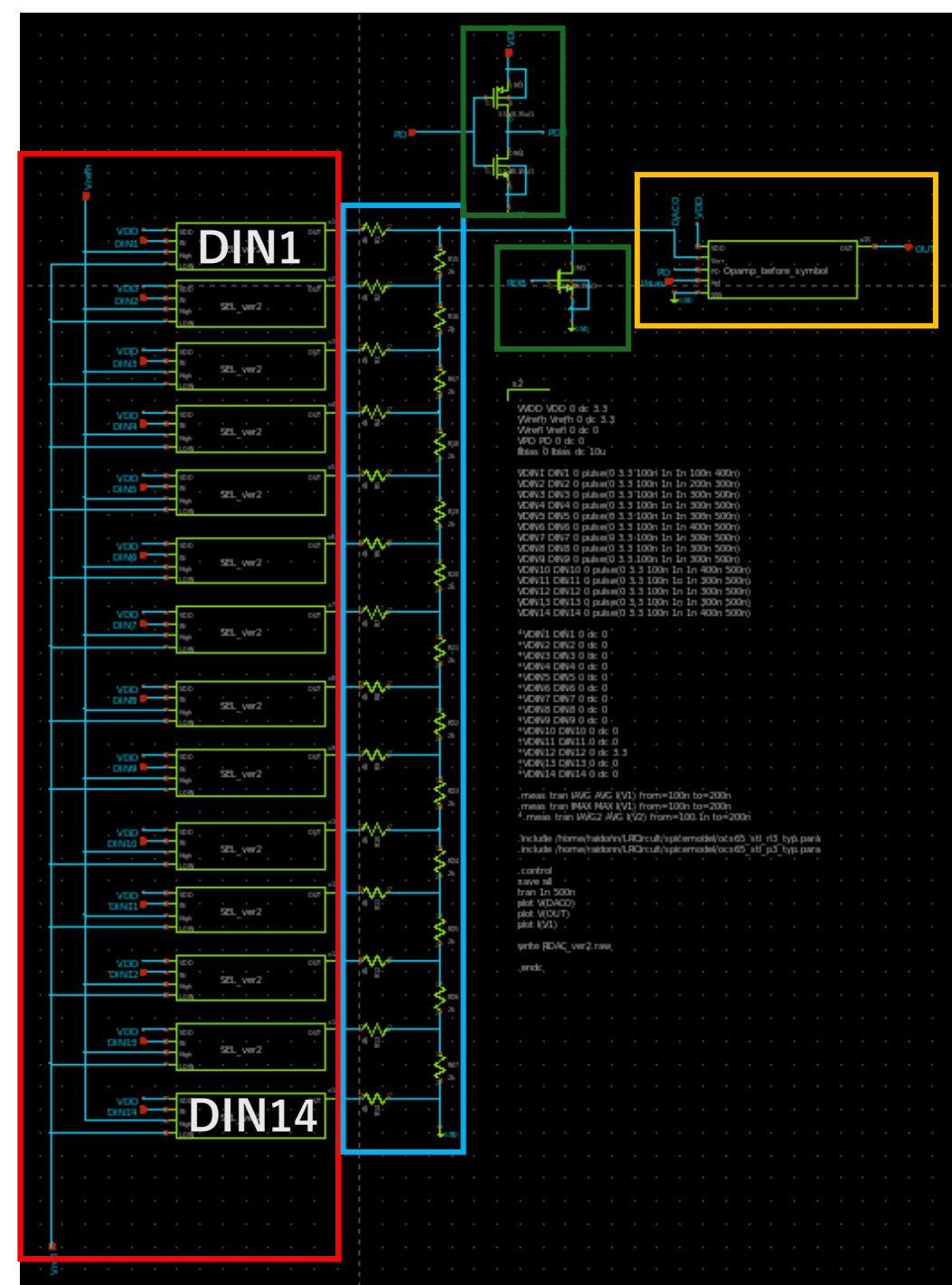
出力信号：OUT

赤枠：入力信号によって V_{DD} [V] or 0[V]を
出力するセレクタ群

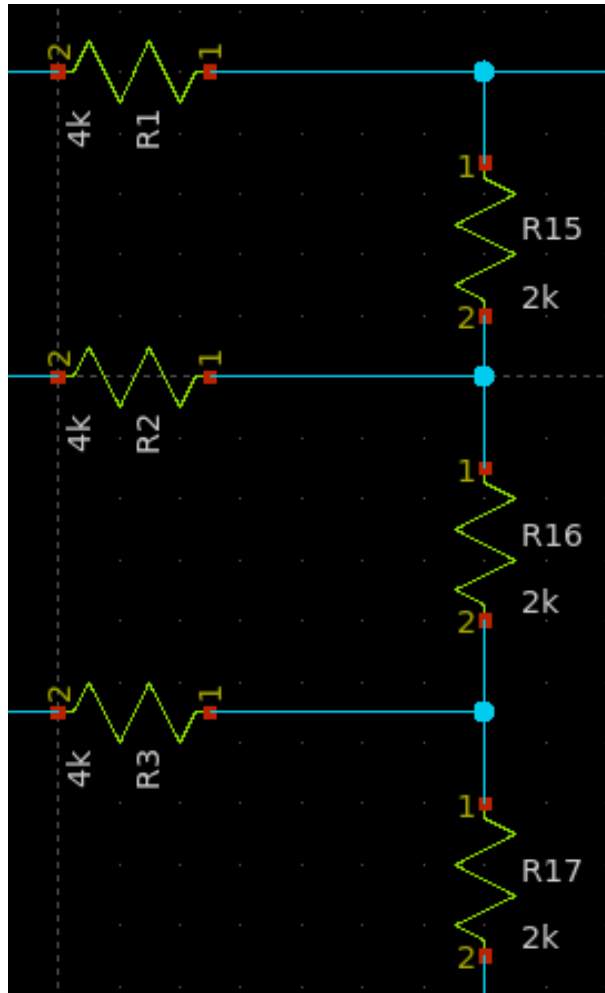
青枠：抵抗ラダー群(R-2R型)

橙枠：ボルテージフォロワ

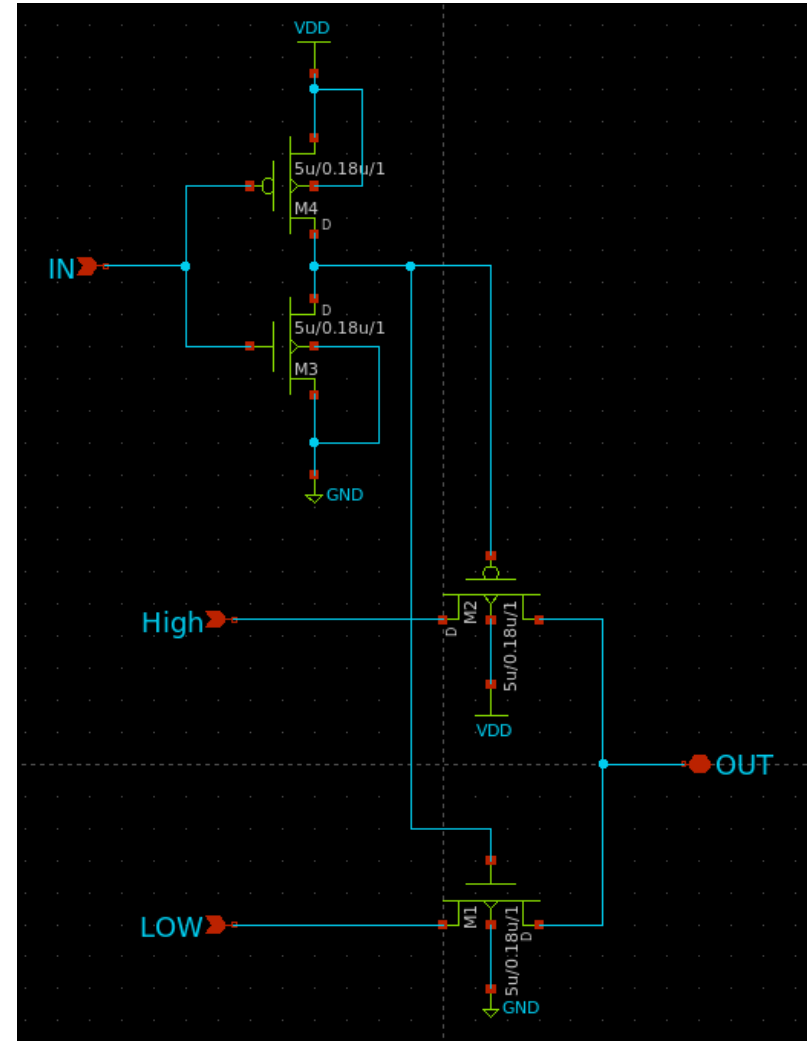
緑枠：パワーダウン回路



抵抗ラダー型14ビットDACの回路図

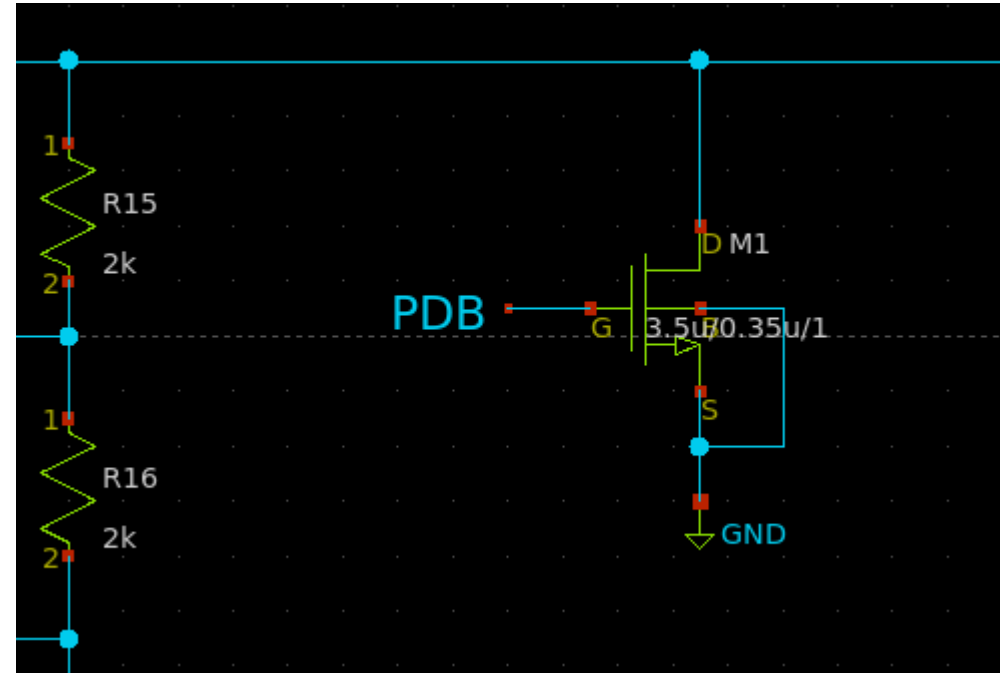
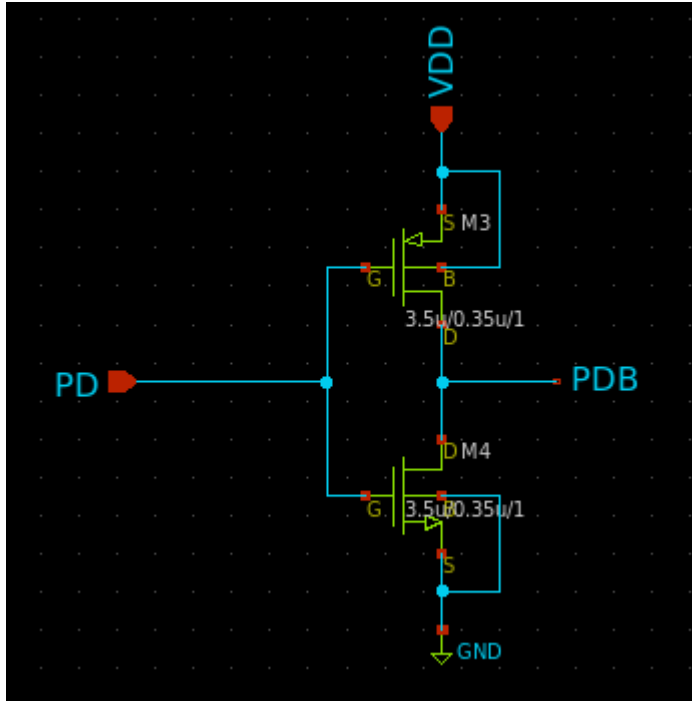


抵抗ラダー群, 縦 : 横 = 1 : 2 で設計
抵抗値を2K : 4Kに変更



セレクタの回路図(変更なし)

RDAC部のパワーダウン回路



DACの出力DACOの前にnMOSを配置

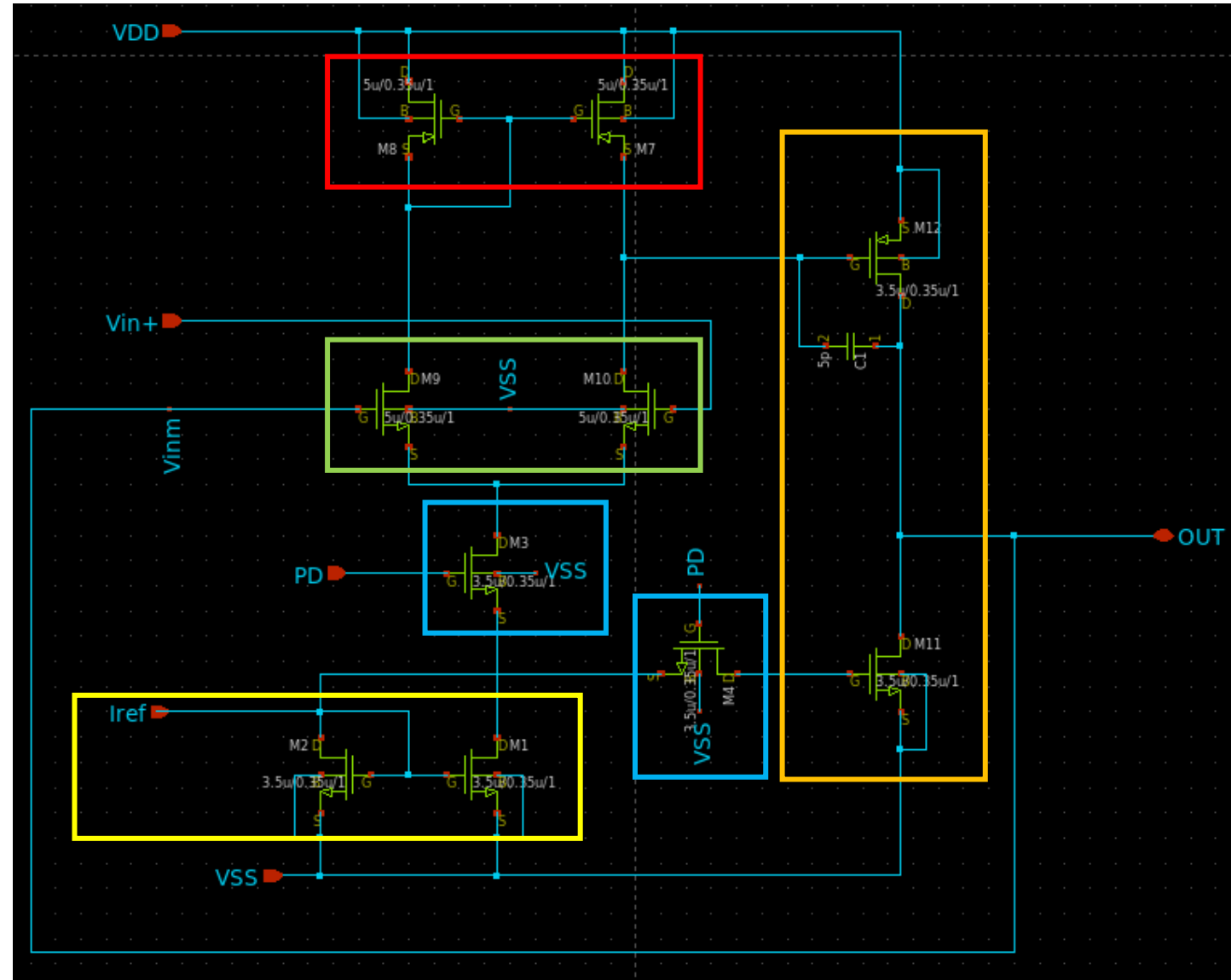
PDがLowレベルになると、DACOとGNDが導通しDACOの電圧が下がる

ボルテージフォロワ

- 赤枠：カレントミラー
- 緑枠：差動増幅回路
- 橙枠：ソースフォロワ回路
- 青枠：パワーダウン回路
- 黄枠：電流源

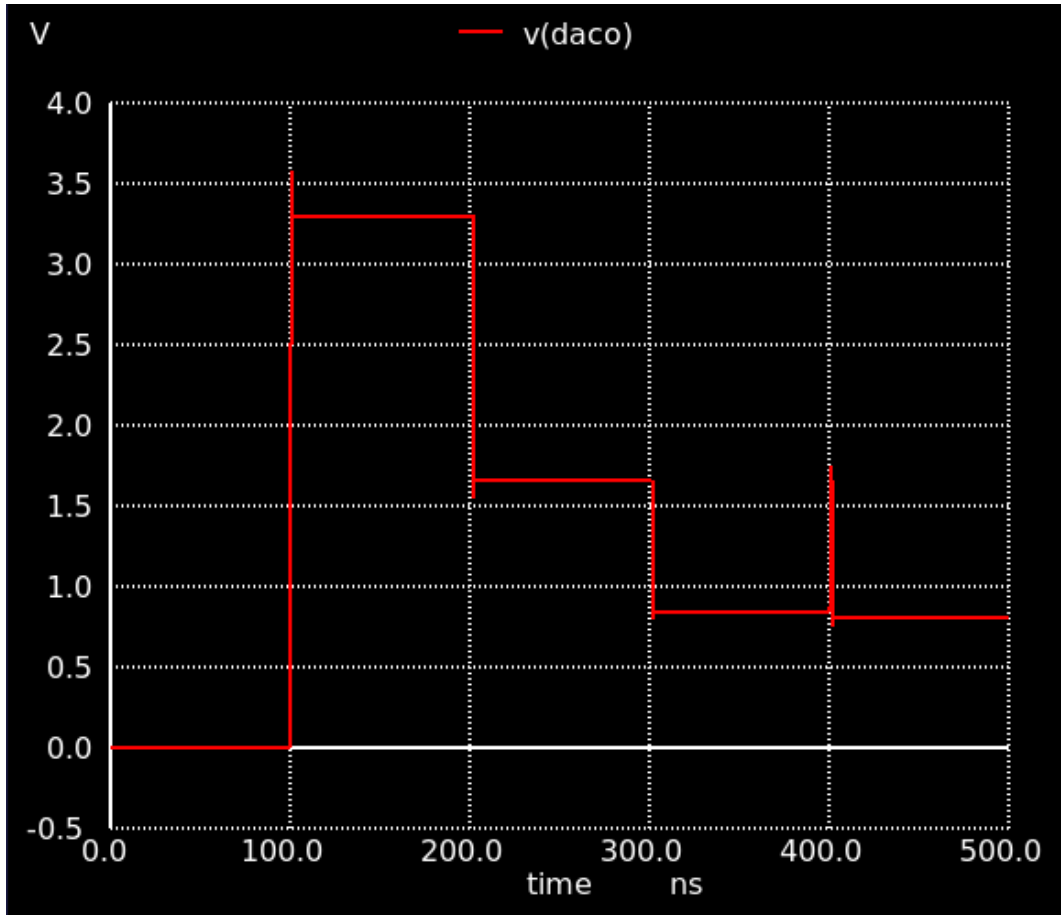
各MOSの寸法は検討できていない
位相補償のキャパシタは5pF

パワーダウン回路は、電流源をカットできる
ようにnMOSを配置
(まだ検討途中で完全ではない)

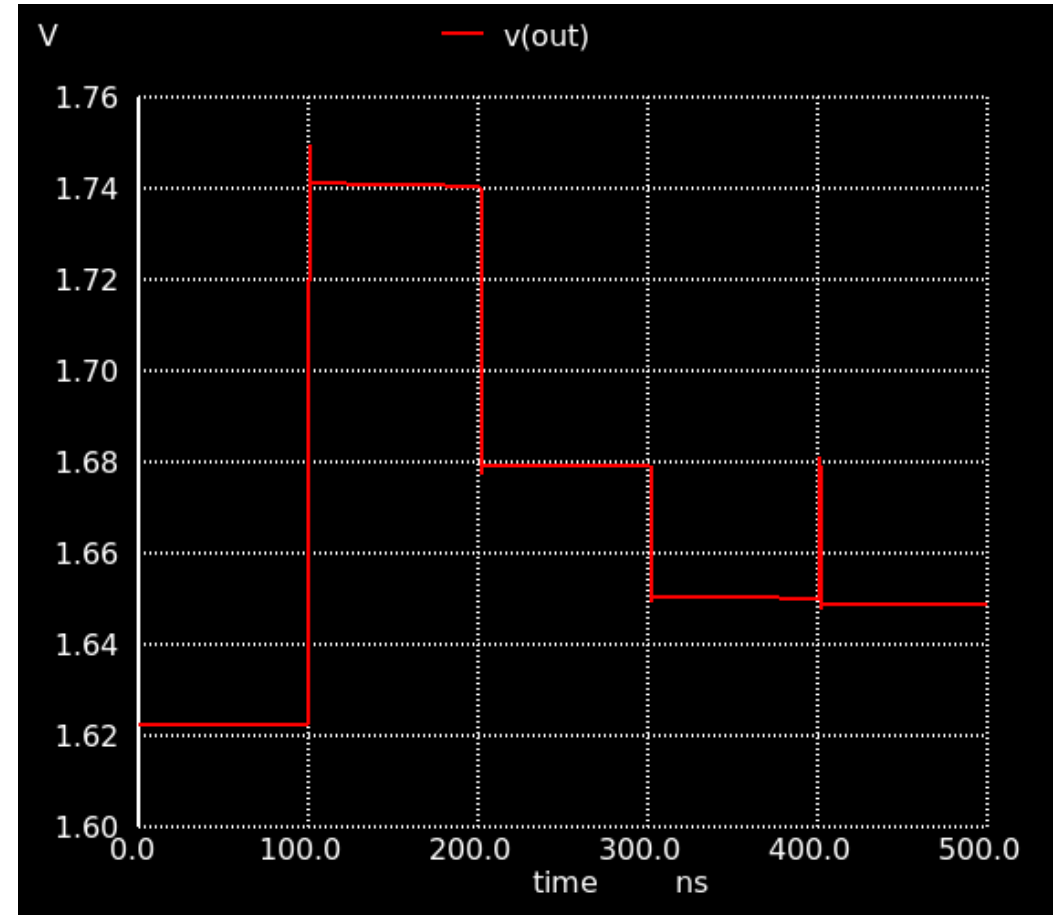


シミュレーション

DAC部



PD = High(3.3V)

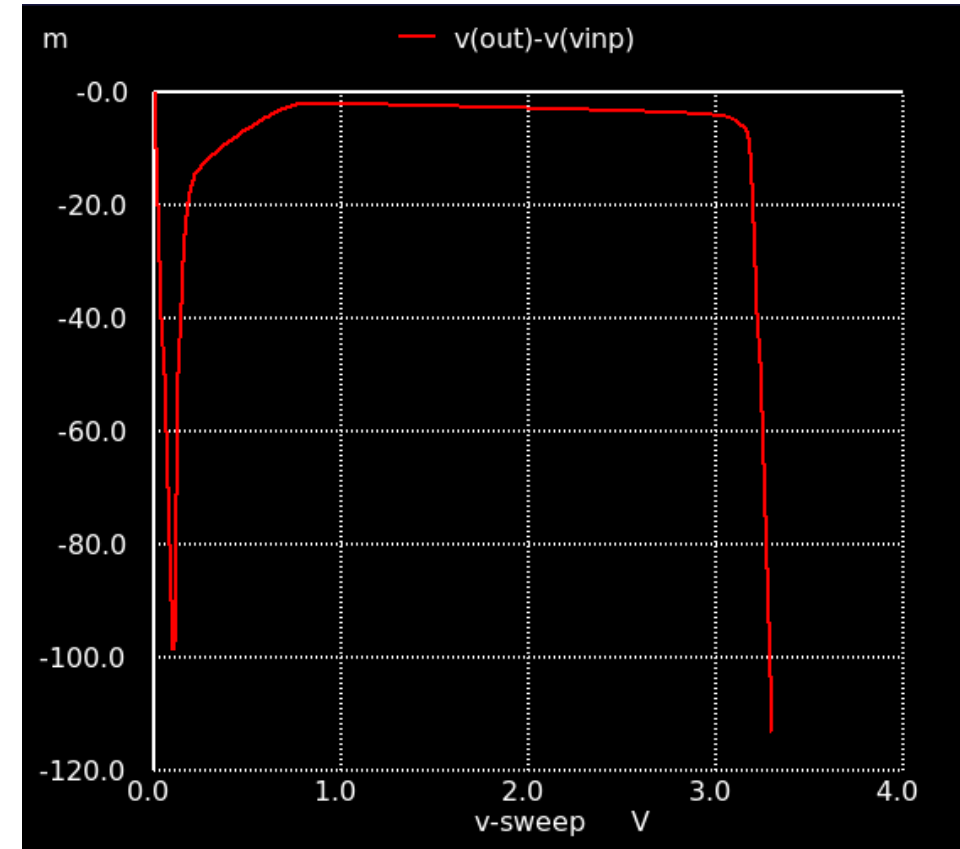
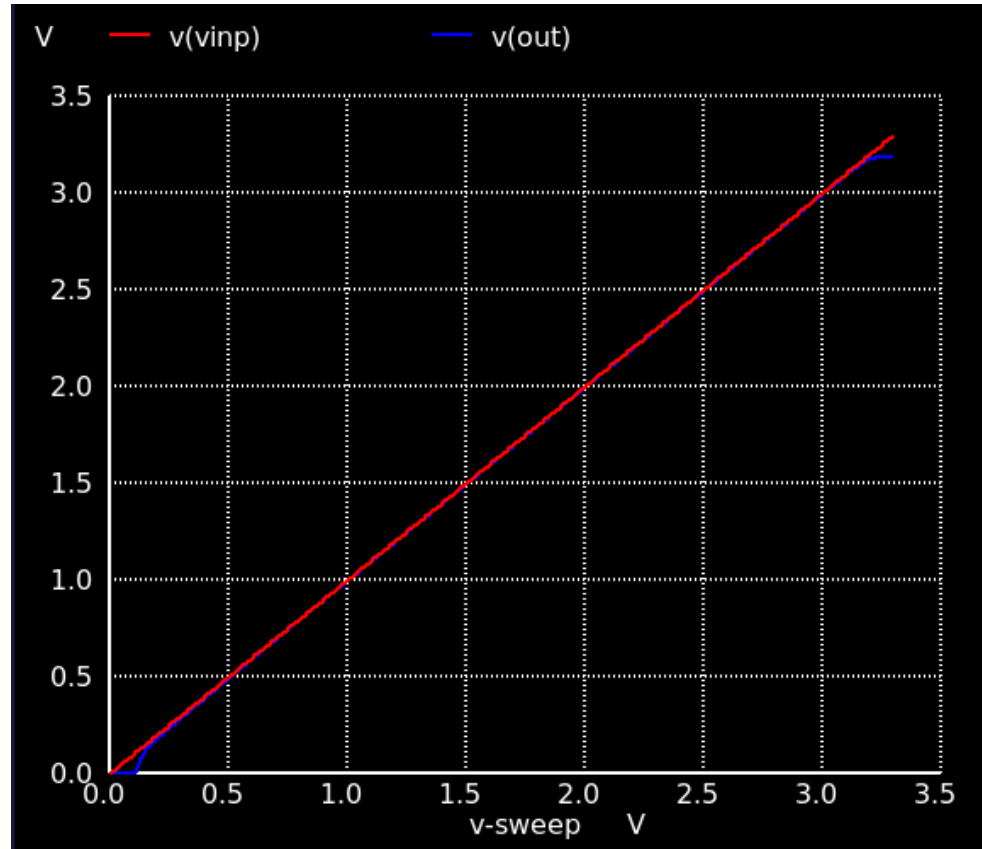


PD = Low(0V)

入力信号は課題内容スライドのタイムチャートを満たすように入力している

ボルテージフォロワ

DC解析でボルテージフォロワの機能を確認



ある程度 $V_{in} = V_{out}$ の関係にはなっているが、
0V 付近と 3.3V 付近はその関係が崩れている
現実的に利用できる範囲は 0.8V ~ 2.5V あたりと思われる

評価(DAC)

DAC部(VDD=3.3V, VSS=0V)						
項目	Symbol	条件	目標値	<u>typ</u>	ワースト	単位
INLエラー	INL	データ=x0000-x3ffff	±2	+1.26		LSB
DNL	DNL	データ=x0000-x3ffff	±1	+1.61		LSB
オフセットエラー	<u>Vos</u>	VIN=0x0000	5	ほぼ0%		%of FSR
Gain エラー	<u>gE</u>	VIN=0x3fff	5	0.05		%of FSR
消費電流	IDD	VIN=0x3FFF, PD=VIH, f=10MHz*	5	0.108		<u>mA</u>
スタンバイ電流	IDDS	PD=VIL	100	26.181		<u>uA</u>

INL, DNL

本来は0x0000~0x3fffまで比較し、その最大値を記載する

→ 時間の関係上、1サンプルのみの比較です

$$1\text{LSB} = 3.3/2^{14} = 200[\mu\text{V}]$$

$$\text{din} = 0\text{x}0003 = 352.0366[\mu\text{V}] \text{ (理想: } 604.2480[\mu\text{V}])$$

$$\text{din} = 0\text{x}0004 = 875.6003[\mu\text{V}] \text{ (理想: } 805.6640[\mu\text{V}])$$

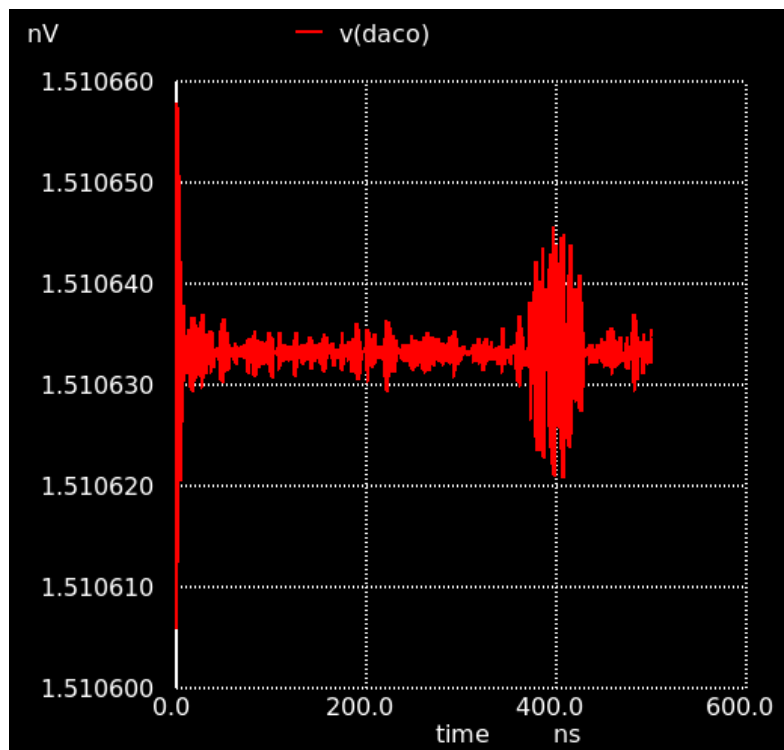
INL: 理想値から測定値の差を取り、1LSBで割る

$$\text{INL} = (604.2480 - 352.0366) / 1\text{LSB} = +1.26$$

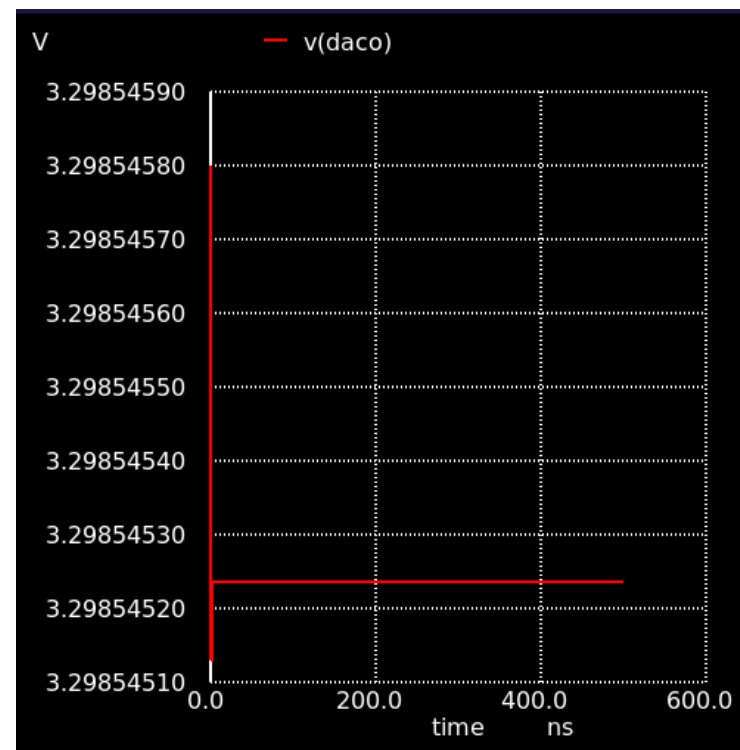
DNL: 隣り合うデータの測定値の差を取り、1LSBで割る

$$\text{DNL} = (875.6003 - 352.0366) / 1\text{LSB} = +1.61$$

オフセット・Gainエラー

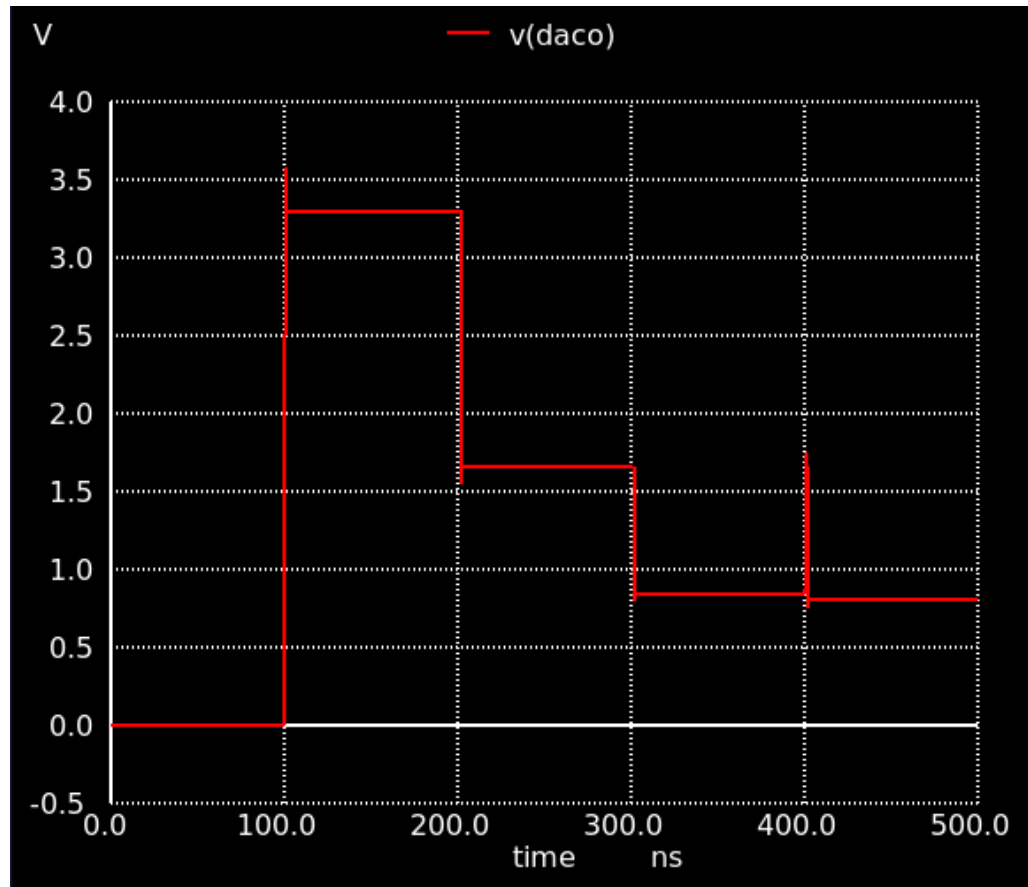


din=0x0000 (理想 : 0V)
測定値 : 1.510634[nV]
誤差 : 0.000000151%(ほぼ0%)



din=0x3fff (理想 : 3.3V)
測定値 : 3.298545[V]
誤差 : 0.05%

消費電流



左記の波形の100nsから200nsを測定した

No. of Data Rows : 567

Measurements for Transient Analysis

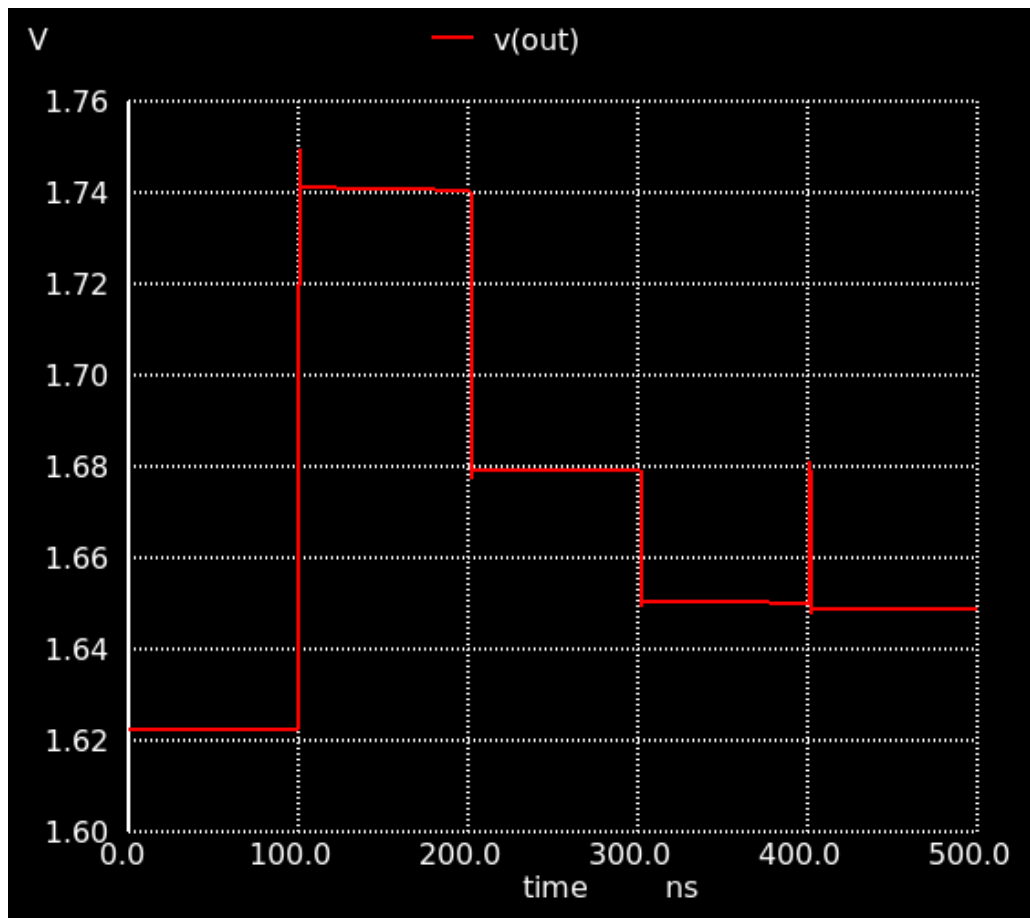
idd = 1.086285e-04 at= 1.004868e-07

binary raw file "RDAC_ver2.raw"

ngspice 2 -> █

$$IDD = 0.108[\text{mA}]$$

スタンバイ電流



左記の波形の100nsから200nsを測定した

Measurements for Transient Analysis

idds = 2.618066e-05 at= 1.004998e-07

binary raw file "RDAC_ver2.raw"

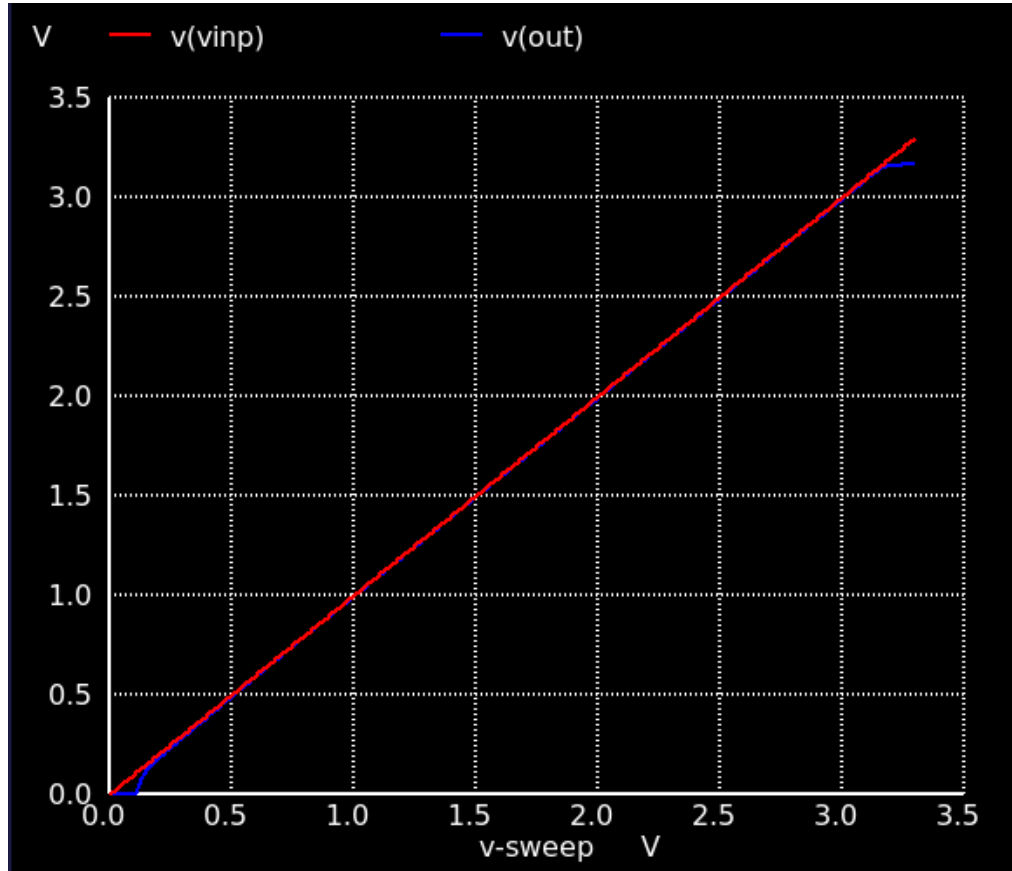
ngspice 2 -> █

$$IDDS = 26.181[\mu A]$$

評価(オペアンプ)

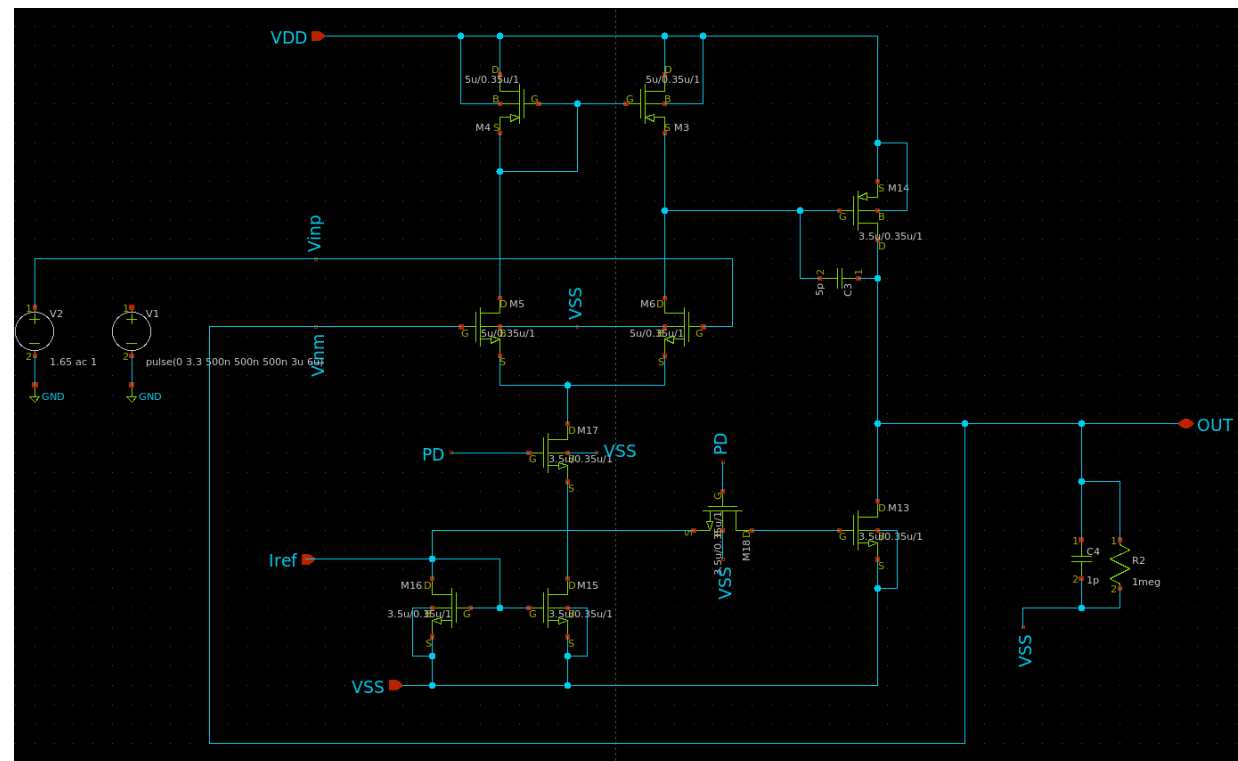
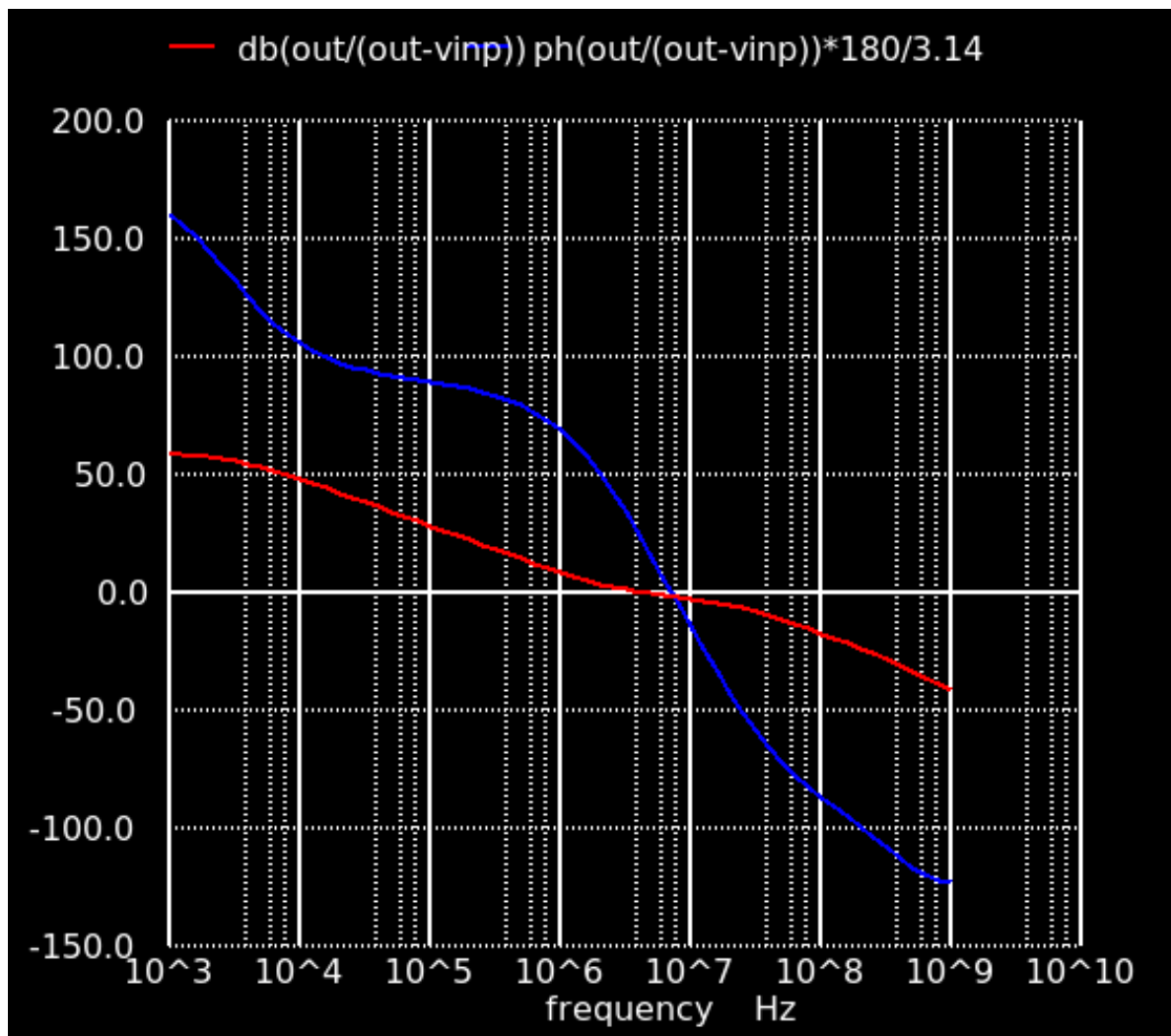
ボルテージフォロワーアンプ部(VDD=3.3V, VSS=0V)						
出力電圧範囲	VOUT		VREFH-VREFL	59.9n~3.16		V
位相裕度	Φ		90	33.8		°
Slew Rate	SR	RL=1M Ω , CL=1pF	0.1	2.29		V/us
出力電流	IOUT	CL=1pF	1	0.78		<u>mA</u>

出力電圧範囲



Voutの範囲：59.85n[V]～3.166[V]

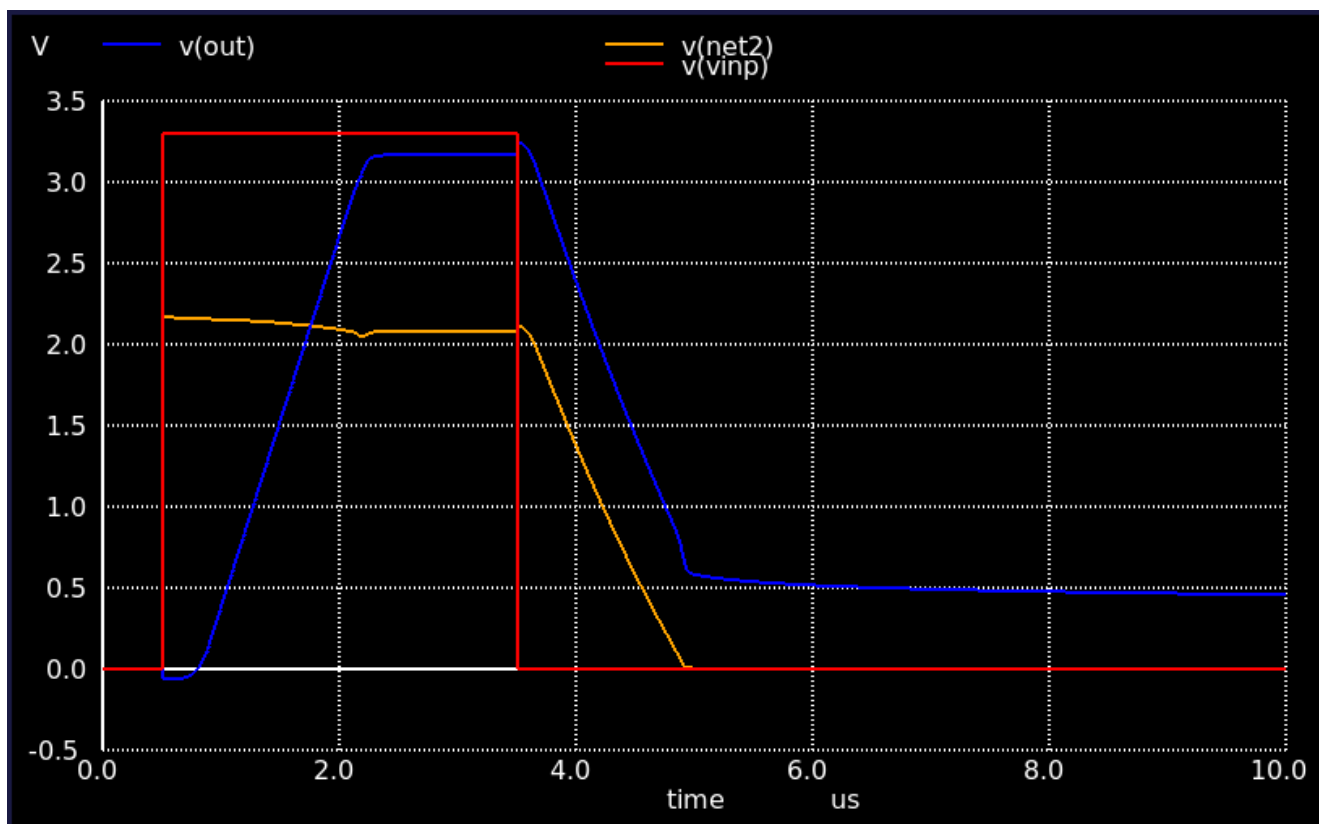
位相余裕



AC 10k~10G

位相余裕：33.84822°

スルーレート



立ち上がり

10% 0.3166V 1.1131 μ s

90% 2.8494V 2.236 μ s

SR = 2.2921[V/ μ s]

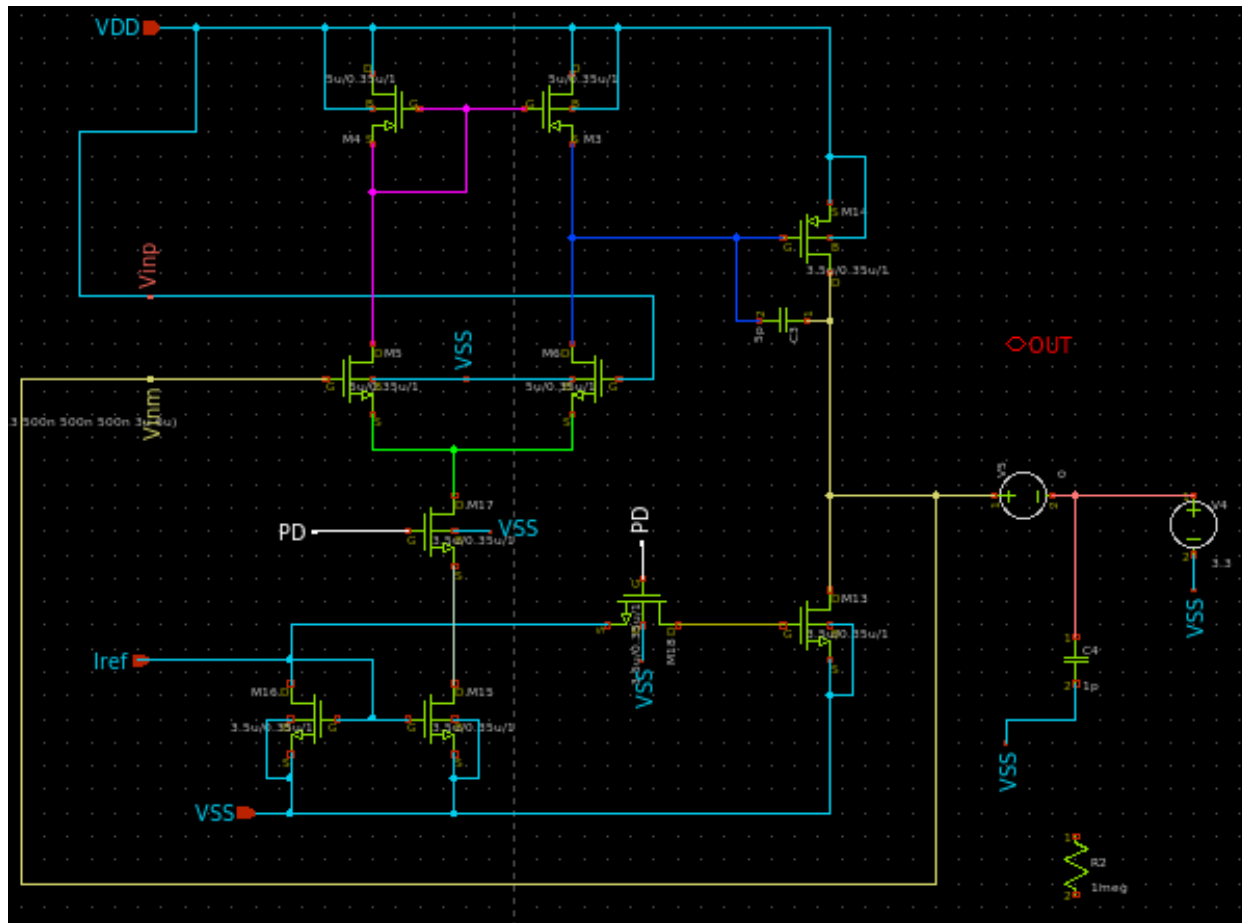
立ち下がり

10% 0.8347V 5.377 μ s

90% 2.9069V 4.277 μ s

-SR = -1.8736[V/ μ s]

出力電流



Vin+をVDDに接続し、VOUTに電源VOLを挿入しdc解析

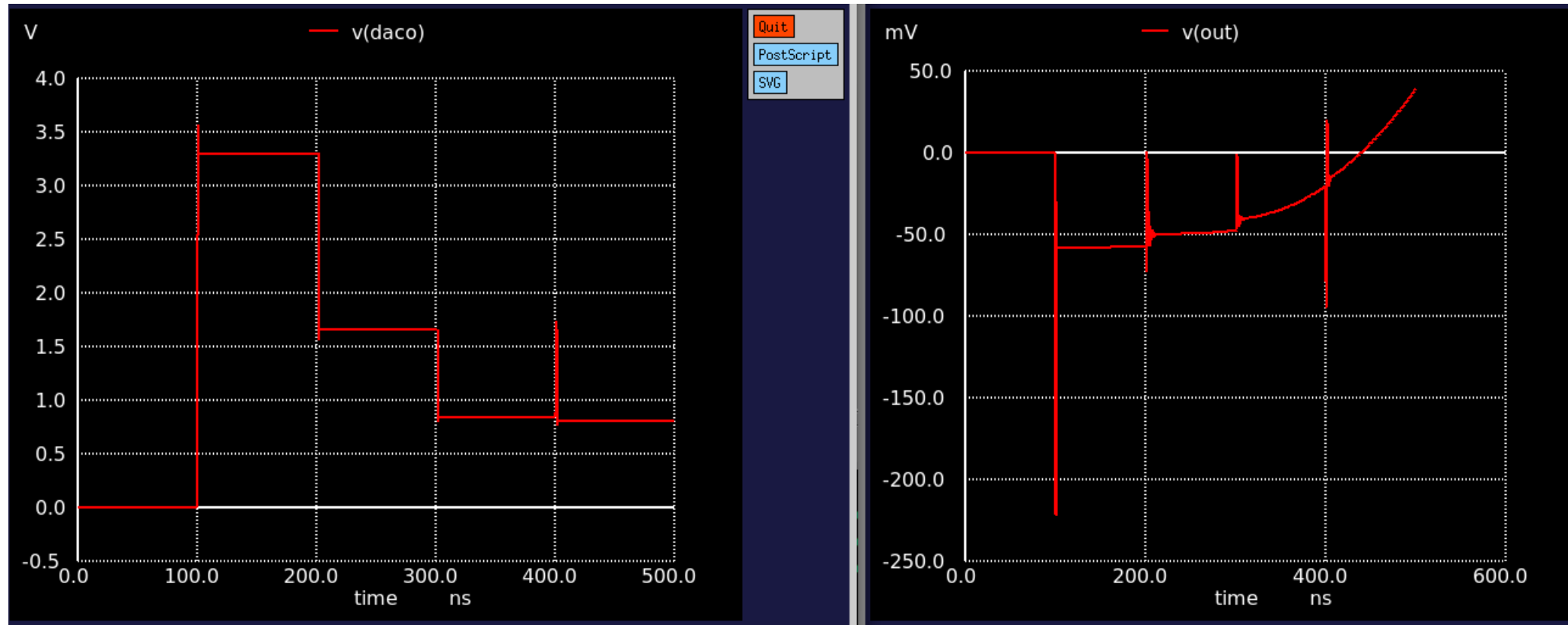
Measurements for DC Analysis

iout = 7.830670e-04 at= 0.000000e+00

binary raw file "Opamp_before_sim.raw"
ngspice 2 -> █

783 μ A(0.78mA)

DACとVFの組み合わせ

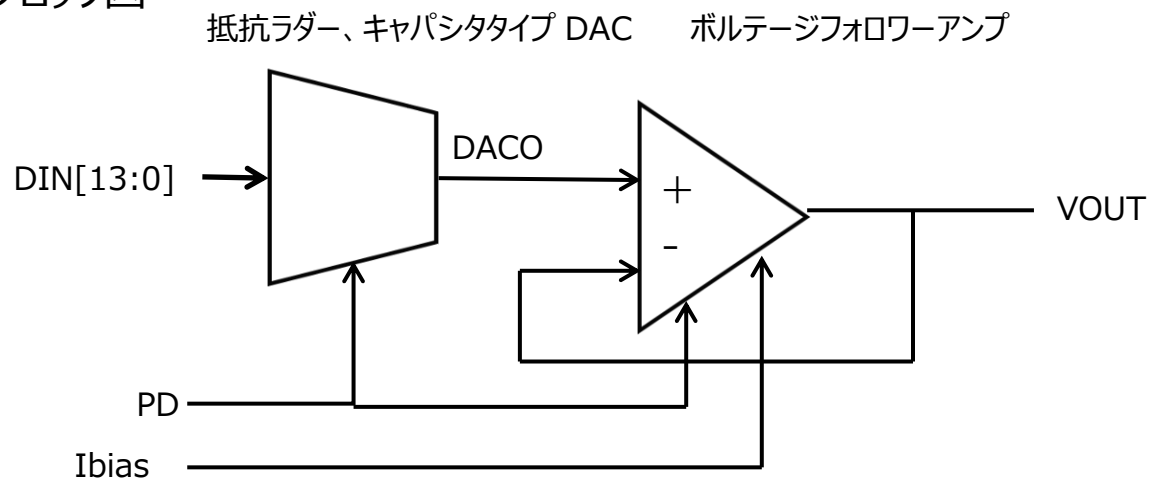


DACとVFを組み合わせてみたが、DACの出力に対しVF側が全く追いついていない
設計したオペアンプのスルーレートが悪かったのもあるが、
目標変換速度の10MSPS(周期サイクル100ns)はかなり厳しいと思われる

データシートのフォーマット

DAC部(VDD=3.3V, VSS=0V)						
項目	Symbol	条件	目標値	typ	ワースト	単位
INLエラー	INL	データ=x0000-x3ffff	±2	+1.26		LSB
DNL	DNL	データ=x0000-x3ffff	±1	+1.61		LSB
オフセットエラー	Vos	VIN=0x0000	5	ほぼ0%		%of FSR
Gain エラー	gE	VIN=0x3fff	5	0.05		%of FSR
消費電流	IDD	VIN=0x3FFF, PD=VIH, f=10MHz*	5	0.108		mA
スタンバイ電流	IDDS	PD=VIL	100	26.181		uA
ボルテージフォロワーアンプ部(VDD=3.3V, VSS=0V)						
出力電圧範囲	VOUT		VREFH-VREFL	59.9n~3.16		V
位相裕度	Φ		90	33.8		°
Slew Rate	SR	RL=1MΩ, CL=1pF	0.1	2.29		V/us
出力電流 *f=DINのサイクル周波数	IOUT	CL=1pF	1	0.78		mA

ブロック図



まとめ

抵抗ラダー型DAC及びボルテージフォロワを設計したが、
目標仕様とは程遠い結果となった

特にボルテージフォロワ部に課題点が多かったので、
適宜見直しが必要

また、DACとVFを組み合わせた場合にVF側が全く
追いつけなかったが、今の回路で変化できる速度を確かめる必要が
あると感じた