

广东工业大学考试试卷 (B)

课程名称: 数字逻辑与系统设计 试卷满分 100 分

考试时间: 2017 年 12 月 9 日 (第 14 周 星期六)

考试形式: 闭卷

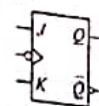
题号	一	二	三	四	五	六	七	八	九	十	总分
评卷得分											
评卷签名											
复核得分											
复核签名											

一、单选题 (1-6 题每题 1 分, 7-13 题每题 2 分, 共 20 分)

- 进制转换: $(63)_8 = ()_2$
 A. 111111 B. 110011
 C. 11011 D. 1100011
- 5 的 4 位二进制补码数是 ()。
 A. 1101 B. 1110
 C. 1011 D. 1010
- 下列器件中, 能实现数据并行到串行传输转化的器件是 ()。
 A. 数据选择器 B. 译码器
 C. 加法器 D. 计数器
- 下列标识符 () 是合法的。
 A. \$display B. 'test
 C. _abc D. t?
- $110|0101$ 的结果是 ()。
 A. 0111 B. 110
 C. 101 D. 逻辑概念错误
- 3 位二进制同步加法计数器, 当前计数值是 111, 经过 () 个时钟 Clk 后, 计数值变成 011。
 A. 2 B. 4
 C. 6 D. 8

- 由 4 个 JK 触发器构造的 14 进制计数器, 有多少个无效状态? ()
 A. 2 B. 4
 C. 6 D. 8
- 'timescale 10ns/1ns 表示 ()。
 A. 时间单位 100ns B. 时间精度 10ns
 C. 时间单位 10ns D. 时间精度不确定

- 右图所示的 JK 触发器中, 当 $J=0, K=1$ 时, Clk 下降沿到来, 触发器的状态 ()。
 A. 保持
 B. 触发器置 1
 C. 触发器置 0
 D. 翻转

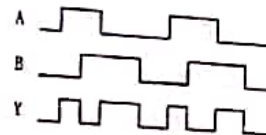


- 右图是共阴极七段 LED 数码管显示译码器框图, 要显示字符 "5", 则译码器输出 a~g 应为 ()。
 A. 0000101
 B. 0110111
 C. 1011011
 D. 1101101



- 已知逻辑表达式 $F = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + \overline{A}B + \overline{B} + BC$, 与它功能相等的函数表达式是 ()。
 A. $F = \overline{A}B + \overline{B} + BC$
 B. $F = \overline{A} + \overline{B} + C$
 C. $F = A + \overline{B} + C$
 D. $F = AC + \overline{B}$

- 右图所示波形, 其反映的逻辑关系是 ()。



- 不能自启动电路是指 ()。
 A. 不存在无效状态的电路
 B. 存在无效状态的电路
 C. 存在无效状态, 且无效状态构成循环的电路
 D. 存在无效状态, 但无效状态经过若干个时钟后会进入有效状态的电路。
- 两片八进制计数器级联后, 最大计数容量为 ()。
 A. 16
 B. 8
 C. 256
 D. 64

15. 若有一个模块的文件名为: GatesFile.v, 模块详细定义为: ()

```
module gates (a, b, en, y);
```

```
.....
```

```
endmodule
```

测试平台文件名为 TestIncodeFile.v, 详细代码为:

```
module TestbenchGates();
```

```
.....
```

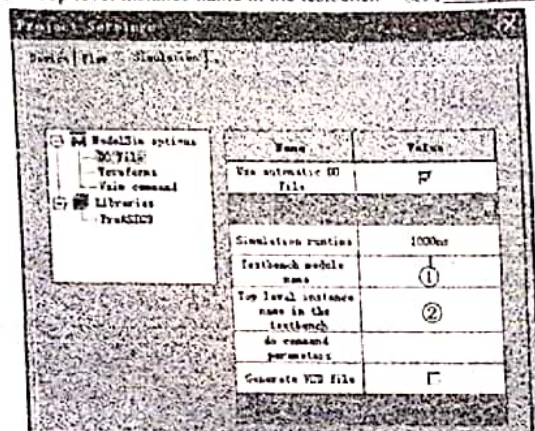
```
gates Gates(pa, pb, en, py);
```

```
.....
```

```
endmodule
```

则进行 Libero IDE 环境中的 ModelSim 仿真前, 应在 Options 设置 (下图) 中, 将 "Testbench module name" 设为 ①, 将 "Top level instance name in the testbench" 设为 ②。

- A. ① GatesFile ② TestGates
B. ① TestGates ② gates
C. ① TestbenchGates ② Gates
D. ① TestbenchGates ② gates



二、填空题 (每题 2 分, 共 20 分)

1. 十进制数 93 用 8421BCD 码表示为 _____。

2. 锁存器对 _____ 信号敏感。

3. 对于 RS 触发器, 若要置 0 功能, 则 RS = _____。

4. 下降沿触发的 JK 触发器的特性方程是 _____。

5. 时序逻辑电路的特点是 _____。

6. 当 ABCD 分别取值 0101 时, $A \oplus B \oplus C \oplus D \oplus 1$ 的运算结果是: _____。

7. $\sim 2'b1011$ 的运算结果是: _____。

8. 表达式 $(9 < 8) ? 1 : 0$ 的运算结果是 _____。

9. Libero IDE 的各个模块能实现硬件描述语言的编码、仿真、综合、_____。

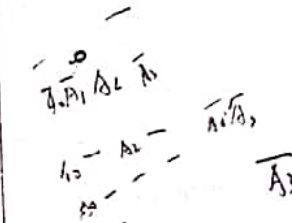
烧录等。

10. $2'b11 \wedge 2'b10$ 的运算结果为 _____。

三、分析题 (每题 5 分, 共 20 分)

1. 用卡诺图化简并写出输出 $Y = F(A_3, A_2, A_1, A_0) = \sum m(0, 2, 3, 4, 6, 8, 9, 10, 11, 12, 13, 14)$ 的最简与或表达式。

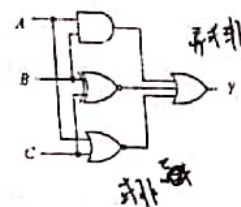
$A_3 A_2$	00	01	11	10
00				
01	✓			✓
11	✓	✓		✗
10				



2. 组合逻辑电路分析。分析右图组合逻辑电路:

(1) 写出该组合逻辑的函数表达式;

(2) 根据表达式写出真值表。



3. 分析以下电路。

(1) 请说出电路稳定后的输出规律；(2)

(2) 画出电路稳定后 Q3Q2Q1Q0 及输出 C 的状态图 (不需考虑无效状态和自启动); (3)

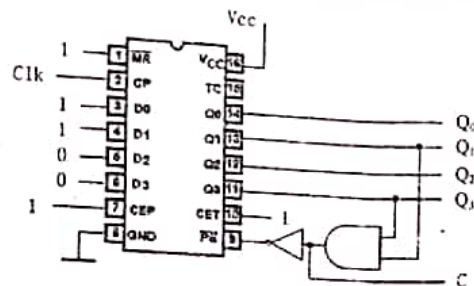


表 1 4 位二进制同步计数器 74HC161 功能表

输入端						输出端		功能说明
\overline{MR}	CP	CEP	CET	\overline{PE}	D_i	Q_i^{n+1}	TC	
L	x	x	x	x	x	L	L	复位
H	↑	x	x	L	L	L	L	并行装载
H	↑	x	x	L	H	H	*	并行装载
H	↑	H	H	H	x	Count	*	计数
H	x	L	x	H	x	Q_i^n	*	保持
H	x	x	L	H	x	Q_i^n	L	保持

*注: $TC = CET \cdot Q_3^n \cdot Q_2^n \cdot Q_1^n \cdot Q_0^n$

4. 分析以下 Verilog HDL 程序, 回答问题:

(1) 说明该程序代码的功能;

(2) 在原波形图上, 画出 B 的波形图

```
module encoder4_2(in, eo, out);
```

```
input [3:0] in;
```

```
output eo;
```

```
output [1:0] out;
```

```
reg [1:0] out;
```

```
reg e;
```

```
integer i;
```

```
always @ (In)
```

```
begin
```

```
out=0;
```

```
eo=1;
```

```
for (i = 0; i < 4; i = i + 1)
```

```
begin
```

```
if (in[i])
```

```
begin
```

```
out = i;
```

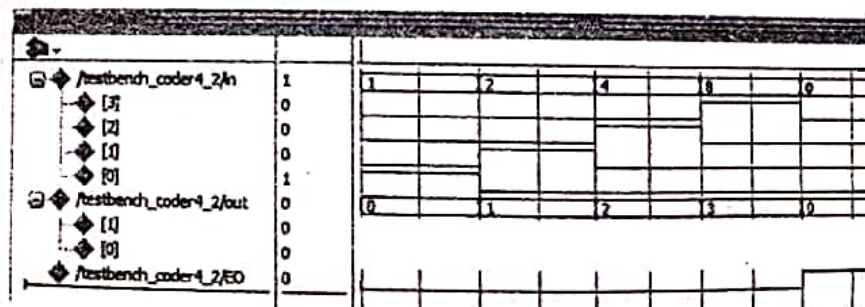
```
eo = 0;
```

```
end
```

```
end
```

```
end
```

```
endmodule
```



四、综合设计题（每题 10 分，共 30 分）

1. 根据给定的模块功能表，将该模块的 VerilogHDL 程序代码补充完整。

JK 触发器功能表				输出		功能说明
输入				nQ^{n+1}	nQ^{n+1}	
R	clk	J	K	nQ^{n+1}	nQ^{n+1}	异步复位
H	x	x	x	L	H	保持不变
L	↑	L	L	Q^n	Q^n	置 0
L	↑	L	H	L	H	置 1
L	↑	H	L	H	L	翻转
L	↑	H	H	Q^n	Q^n	

```

module jk_ff(______);
input _____;
output _____;
reg Q;
assign Qn=~Q;
always @(_____)
begin
    if (R)
        Q <= 1'b0;
    else
        begin
            case({J,K})
                2'b00:Q<=Q;
                2'b01:Q<=1'b0;
                2'b10:Q<=1'b1;
                _____;
                default:Q<=1'bx;
            endcase
        end
    end
endmodule
    
```

2. 将下面模块的测试平台代码补充完整，要求输入信号的各种组合情况都考虑到。

```

module gates(a,b,y1,y2,y3,y4,y5);
input a,b;
output y1,y2,y3,y4,y5;

assign y1=a&b;
assign y2=a|b;
assign y3=a^b;
assign y4=~(a&b);
assign y5=~(a|b);
endmodule
    
```

//测试平台

```

`timescale 1ns/1ns
module testbench ()
reg _____;
wire _____;

gates _____(a,b,y1,y2,y3,y4,y5);

initial //以下可填写多行代码
    
```

endmodule