

广东工业大学考试试卷 (A)

课程名称: 数字逻辑与系统设计 试卷满分 100 分

考试时间: 2018年1月8日 (第19周星期一)

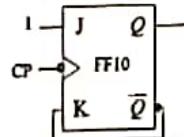
考试形式: 闭卷

题号	一	二	三	四	五	六	七	八	九	十	总分
评卷得分											
评卷签名											
复核得分											
复核签名											

请将答案直接写在试卷上!

一、单选题 (每题 2 分, 共 30 分)

- 十进制数 25 用 8421BCD 码表示为 ()。
 - A. 10101
 - B. 00100101
 - C. 10010100
 - D. 10100
- 某商场的顾客意见信箱, 需要 A、B 两名工作人员同时插入钥匙才可以打开, 这种逻辑关系为 ()。
 - A. 与关系
 - B. 或关系
 - C. 异或关系
 - D. 无法判断
- 以下说法正确的是 ()。
 - A. 逻辑变量的取值, 1 比 0 大
 - B. 在逻辑运算中 $1+1=10$
 - C. 在逻辑代数中 $1+1=2$
 - D. 若两个函数具有相同的真值表, 则两个函数必然相等
- 下列标识符 () 是合法的。
 - A. \$display
 - B. !mux2_1
 - C. _Flase
 - D. sel?
- 右图所示的触发器中, 假定 Q 的初始状态是 0 状态。当接通 CP 时, 触发器 Q 端的状态为 ()。
 - A. 当 CP 下降沿到来时, 变为 1 状态, 并一直保持下去
 - B. 每当 CP 上升沿到来时便翻转一次状态
 - C. 一直保持 0 状态
 - D. 当 CP 上升沿到来时, 变为 1 状态, 并一直保持下去
- 'timescale 100ns/10ns 表示 ()。
 - A. 时间单位 10ns
 - B. 时间单位 100ns
 - C. 时间精度 1ns
 - D. 时间精度 100ns



7. 右图是共阴极七段 LED 数码管显示译码器框图, 要显示字符 "C", 则译码器输出 a~g 应为 ()。

- A. 1110111 B. 0011111 C. 1001110 D. 0111101

8. 在一个 8 位的存储单元中, 能够存储的最大无符号整数是 ()。

- A. (256)₁₀ B. (127)₁₀ C. (377)₁₀ D. (255)₁₀

9. reg regi[7:0] 表示 ()。

- A. regi 是 1 个 8 位的向量 B. regi 是 7 个元素组成的数组
C. regi 是 1 个 7 位的向量 D. regi 是 8 个元素组成的数组

10. 利用卡诺图化简逻辑函数时, 8 个相邻的最小项可消去 () 个变量。

- A. 1 B. 2 C. 3 D. 4

11. 若在编码器中有 50 个编码对象, 则要求输出二进制代码的位数为 () 位。

- A. 5 B. 6 C. 10 D. 50

12. 把一个五进制计数器和一个四进制计数器串联可得到 () 进制计数器。

- A. 4 B. 5 C. 9 D. 20

13. 若有一个模块的文件名为: AdderFile.v, 模块详细定义为:

```
module Adder(a, b, s, c);
```

```
.....
```

```
endmodule
```

测试平台文件名为 TestAdderFile.v, 详细代码为:

```
module TestAdder;
```

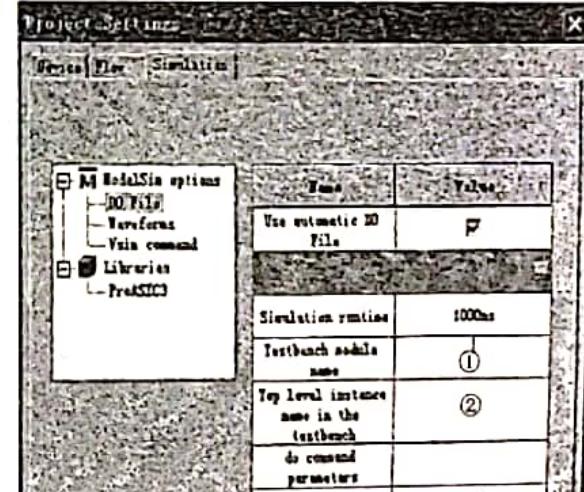
```
.....
```

```
    Adder coder(pa, pb, ps, pc);
```

```
.....
```

```
endmodule
```

则进行 Libero IDE 环境中的 ModelSim 仿真前, 应在 Options 设置 (下图) 中, 将 "Testbench module name" 设为 (1), 将 "Top level instance name in the testbench" 设为 (2)。()



14. 有如下代码，运行后 sum 的结果为（ ）。

```
reg [2:0]sum, data1;
reg [1:0]data2;
initial
begin
    data1=b111;
    data2=b11;
    sum=data1+data2;
end
```

- A. 4'b1010 B. 3'b010 C. 溢出出错 D. 3'b110
15. 在没有修改设计代码的情况下，关于三次仿真描述正确的是（ ）。
- A. 起始会慢慢被修正，越来越小
B. 前两次仿真结果正确，不代表第三次也正确
C. 布局布线前后的两次仿真结果是完全一样的
D. 每次仿真的结果完全一致

二、填空题（每空 1 分，共 15 分）

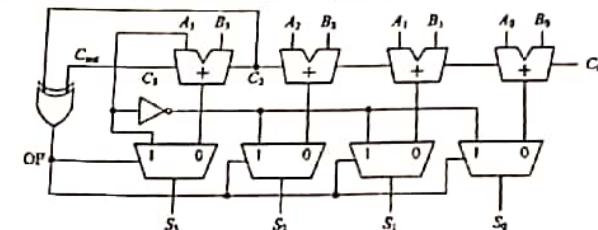
1. 在 Verilog 中，最常见的程序描述风格有_____风格、_____风格和_____风格。
2. 在 Verilog 中，6HZ 中的“6”是指_____。
3. 对于 JK 触发器，若要置 1 功能，则 JK =_____。
4. 在 Verilog 中，想要声明 pa 为 16 个 8 位 reg 变量构成的存储器，请完善以下语句：reg _____;
5. 在 Verilog 中，运算符号 “<<” 指的是_____。
6. “测试平台”的定义：_____。
7. 某组合电路输入为 a、b、c，输出为 $y=a \& b \& c$ ，需要监控变量 a、b、c 的变化，则该电路描述中 always 的事件表达式应写为 always@(_____) y=a & b & c;
8. 在 Verilog 中，表达式 “4'b1100>>1” 的运算结果是_____。
9. Libero IDE 里完成 Simulation（仿真）功能的工具名称是_____。
10. 时序电路在结构上，通常包含组合电路和_____，它的输出状态必须_____到组合电路的输入端，与输入信号一起，共同决定组合电路的输出。
11. 时序电路按输出和输入的关系分类，可分为_____型和_____型。

三、简答题（共 30 分）

1. 分析下图所示的有符号数加法器逻辑图，回答问题。（5分）

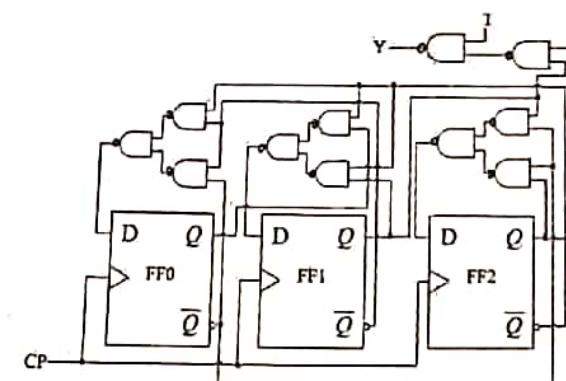
(1) 写出 OF 的逻辑表达式；(2 分)

(2) 当 $A_3A_2A_1A_0=1100$ 、 $B_3B_2B_1B_0=1010$ 、 $C_m=1$ 时，是否发生溢出？请写出 $S_3S_2S_1S_0$ 的输出结果，并写出输入、输出所对应的十进制数运算式。(3 分)



2. 分析下图所示电路，写出输出函数、各激励函数、次态函数，列出状态表，并画出状态图、时序图（设初始状态为 001），说明电路功能。（10 分）

说明：以下已列出主要步骤，考生只需直接填写即可。



解：

(1) 输出函数为：

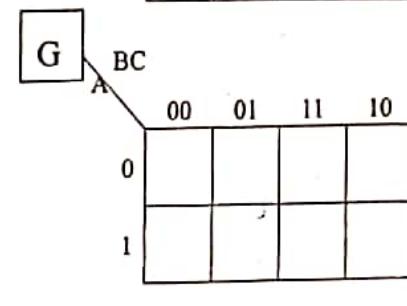
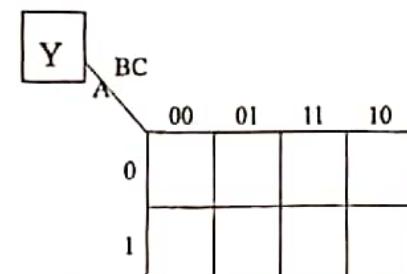
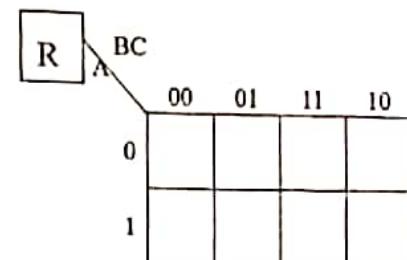
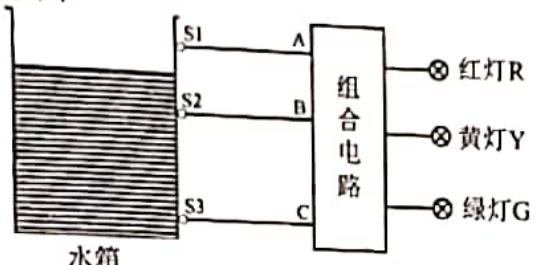
下图为水箱液位监测示意图。S1、S2、S3是液位传感器，其输出为A、B、C。当液位达到S1及以上位置时，A输出为“0”，否则为“1”；液位达到S2及以上位置时，B输出为“0”，否则为“1”；液位达到S3及以上位置时，C输出为“0”，否则为“1”。请设计一组合电路，当液位在S1以上（含S1）或S3以下时，红灯R亮；当液位在S1、S2（含S2）之间时黄灯Y亮；当液位在S2、S3（含S3）之间时绿灯G亮。设灯亮为“1”，灯灭为“0”。试建立此逻辑命题的逻辑函数表达式，用卡诺图进行化简，并画出逻辑电路图。（15分）

说明：以下已列出主要步骤，考生只需直接填写即可。

解：根据描述可得以下真值表：

A	B	C	R	Y	G
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

逻辑表达式：



逻辑电路图：

四、综合设计题（第1题10分，第2题15分，共25分）

1. 用Verilog设计一个8位可逆计数器。（10分）

可逆计数器根据计数脉冲的不同，控制计数器在同步信号脉冲的作用下，进行加1或者减1操作，带异步清零端，计数方向由控制端 updown 控制，C_B 为进位或借位输出。真值表如下：

clr	updown	clk	$Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0$	C_B
1	X	X	0 0 0 0 0 0 0 0	0
0	1	↑	加1操作	*
0	0	↑	减1操作	**

* $C_B = updown \cdot Q_7 \cdot Q_6 \cdot Q_5 \cdot Q_4 \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$ (当 updown=1 时)

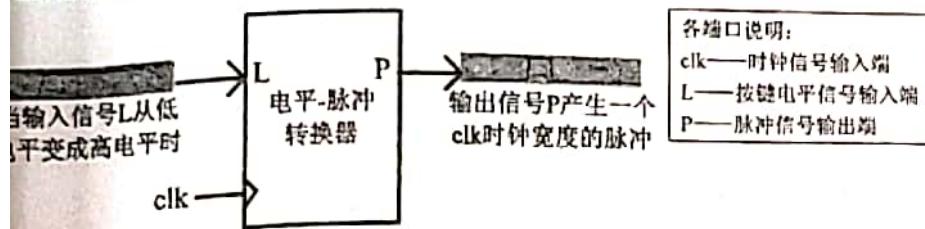
** $C_B = \overline{updown} \cdot \overline{Q_7} \cdot \overline{Q_6} \cdot \overline{Q_5} \cdot \overline{Q_4} \cdot \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}$ (当 updown=0 时)

请写出模块代码（不需要写测试平台）。

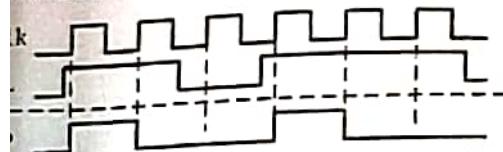
module counter8(clk, updown, clr, Q, C_B);

ndmodule

2. 我们在按下按键时，常常会发生释放不及时，致使按键一直处在被按下的状态。请设计一个电平到脉冲的转换器 FSM 状态机，将按键按下的电平信号转换为脉冲信号。示意图如下图所示。(15 分)



序示意图如下：



D) 画出摩尔机的状态转换图：

(2) 写出该模块的 Verilog HDL 代码 (用三 always 模块方式)

(3) 写出测试平台代码。