



**数字逻辑与系统设计**

**实验报告**

**学院 先进制造学院**

**专业 人工智能**

**年级班别2023级（1）班**

**学号 3123009048**

**学生姓名 廖卓远**

**指导教师 龙晓琼**

**2024年12月**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 成绩评定栏（教师填写） | | | | |
| 实验操作 | 实验报告 | 总评百分制 | 总评等级 | 签名 |
|  |  |  |  |  |

# 实验一基于实验箱的数字逻辑实验——经典门电路、门电路综合（2学时）

1. 熟悉实验箱的使用

2. 基本门电路及门电路综合实验

## 基本门电路及门电路综合实验

**一、实验目的**

1. 了解基本门电路的主要用途以及验证它们的逻辑功能。

2. 熟悉数字电路实验箱的使用方法。

3. 掌握利用基本门电路来实现具体电路的方法。

4. 掌握电路变换的方法。

**二、实验仪器及元器件**

1. 数字逻辑与系统设计实验箱。

2. 元器件：与非门74HC00、或非门74HC02、非门74HC04、与门74HC08、或门74HC32、异或门74HC86。

**三、实验原理**

数字电路研究的对象是电路的输入与输出之间的逻辑关系，这些逻辑关系是由逻辑门电路的组合来实现的。门电路是数字电路的基本逻辑单元。要实现基本逻辑运算和复合逻辑运算可用这些单元电路（门电路）进行搭建。门电路以输入量作为条件，输出量作为结果，输入与输出量之间满足某种逻辑关系（即“与、或、非、异或”等关系）。

电路输入与输出量均为二值逻辑的1和0两种逻辑状态。实验中用高低电平分别表示为正逻辑的1和0两种状态。

输出端的1和0两种逻辑状态可用两种方法判定：①将电路的输出端接实验箱的某一位LED，当某一位的LED灯亮时，该位输出高电平，表示逻辑“1”；LED灯不亮时，输出低电平，表示逻辑“0”。②用逻辑笔功能区可以测量输出端的逻辑值。

**四、实验结果和数据处理**

1、基本门电路验证实验

请将实验数据填到表1至表6中。

表1 74HC00输入输出状态

| 输入端 | | 输出端Y | |
| --- | --- | --- | --- |
| A | B | LED（亮/灭） | 逻辑状态 |
| 0 | 0 | 亮 | 1 |
| 0 | 1 | 亮 | 1 |
| 1 | 0 | 亮 | 1 |
| 1 | 1 | 灭 | 0 |

表274HC02输入输出状态

|  |  |  |  |
| --- | --- | --- | --- |
| 输入端 | | 输出端Y | |
| A | B | LED（亮/灭） | 逻辑状态 |
| 0 | 0 | 亮 | 1 |
| 0 | 1 | 灭 | 0 |
| 1 | 0 | 灭 | 0 |
| 1 | 1 | 灭 | 0 |

表374HC04输入输出状态

|  |  |  |
| --- | --- | --- |
| 输入端 | 输出端Y | |
| A | LED（亮/灭） | 逻辑状态 |
| 0 | 亮 | 1 |
| 1 | 灭 | 0 |

表474HC08输入输出状态

|  |  |  |  |
| --- | --- | --- | --- |
| 输入端 | | 输出端Y | |
| A | B | LED（亮/灭） | 逻辑状态 |
| 0 | 0 | 灭 | 0 |
| 0 | 1 | 灭 | 0 |
| 1 | 0 | 灭 | 0 |
| 1 | 1 | 亮 | 1 |

表574HC32输入输出状态

| 输入端 | | 输出端Y | |
| --- | --- | --- | --- |
| A | B | LED（亮/灭） | 逻辑状态 |
| 0 | 0 | 灭 | 0 |
| 0 | 1 | 亮 | 1 |
| 1 | 0 | 亮 | 1 |
| 1 | 1 | 亮 | 1 |

表674HC86输入输出状态

|  |  |  |  |
| --- | --- | --- | --- |
| 输入端 | | 输出端Y | |
| A | B | LED（亮/灭） | 逻辑状态 |
| 0 | 0 | 灭 | 0 |
| 0 | 1 | 亮 | 1 |
| 1 | 0 | 亮 | 1 |
| 1 | 1 | 灭 | 0 |

2、门电路综合实验

（1）参考课本P272图8-2举重裁判表决电路逻辑图，搭建电路并测试。测试结果填入表7。

表7 举重比赛裁判表决电路输入输出状态（方案一）

|  |  |  |  |
| --- | --- | --- | --- |
| 输入端 | | | 输出端 |
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

（2）参考课本P273图8-4举重裁判表决电路逻辑图，搭建电路并测试。测试结果填入表8。

表8 举重比赛裁判表决电路输入输出状态（方案二）

|  |  |  |  |
| --- | --- | --- | --- |
| 输入端 | | | 输出端 |
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

（3）参考课本P273图8-7举重裁判表决电路逻辑图，搭建电路并测试。测试结果填入表9。

表9交通灯故障检测电路输出状态

| R | Y | G | Z |
| --- | --- | --- | --- |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

# 实验二基于实验箱的数字逻辑实验——经典组合电路（4学时）

1.验证组合逻辑电路芯片功能74HC148、74HC138

2. 验证组合逻辑电路芯片功能74HC153、74HC85

3. 验证组合逻辑电路芯片功能74HC283、74HC4511

4.组合逻辑电路综合实验

## 组合逻辑电路

**一、实验目的**

1. 了解和掌握编码器的工作原理及逻辑功能。

2. 了解和掌握译码器的工作原理及逻辑功能。

3. 了解和掌握数据选择器的工作原理及逻辑功能。

4. 了解和掌握数值比较器的工作原理及如何比较大小。

5. 了解全加器的工作原理及其典型的应用，并验证4位全加器功能。

6. 了解集成数码显示译码器的工作原理及其典型的应用，并实现七段数码管的驱动。

**二、实验仪器及元器件**

1.数字逻辑与系统设计实验箱。

2. 元器件：8-3编码器74HC148、3-8译码器74HC138、4选1数据选择器74HC153、4位数值比较器74HC85、4位全加器74HC283、集成数码显示译码器74HC4511、4数字共阴极八段显示数码管LN3461Ax。

**三、实验结果和数据处理**

1、验证74HC148、74HC138、74HC153、74HC85、74HC283、74HC4511，将实验数据填到表10至表15中。

表10 74HC148输入/输出状态

| 控制 | 十进制数字信号输入 | | | | | | | | 二进制数码输出 | | | 状态输出 | |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | X | X | X | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | X | X | X | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | X | X | X | X | X | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | X | X | X | X | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | X | X | X | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | X | X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

注：X为任意状态

表11 74HC138输入/输出状态

| 使能输入 | | | 数据输入 | | | 译码输出 | | | | | | | |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | E3 | A2 | A1 | A0 |  |  |  |  |  |  |  |  |
| 1 | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | 0 | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

注：X为任意状态

表1274 HC153输入/输出状态

| 选择输入 | | 数据输入 | | | | 输出使能输入 | 输出 |
| --- | --- | --- | --- | --- | --- | --- | --- |
| S1 | S0 | 1I0 | 1I1 | 1I2 | 1I3 |  | 1Y |
| X | X | X | X | X | X | 1 | 0 |
| 0 | 0 | 0 | X | X | X | 0 | 0 |
| 0 | 0 | 1 | X | X | X | 0 | 1 |
| 1 | 0 | X | X | 0 | X | 0 | 0 |
| 1 | 0 | X | X | 1 | X | 0 | 1 |
| 0 | 1 | X | 0 | X | X | 0 | 0 |
| 0 | 1 | X | 1 | X | X | 0 | 1 |
| 1 | 1 | X | X | X | 0 | 0 | 0 |
| 1 | 1 | X | X | X | 1 | 0 | 1 |

注：X为任意状态

表13 74HC85输入/输出状态

| 比较输入 | | | | | | | | 级联输入 | | | 输出 | | |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A3 | A2 | A1 | A0 | B3 | B2 | B1 | B0 | IA>B | IA=B | IA<B | OA>B | OA=B | OA<B |
| 1 | X | X | X | 0 | X | X | X | X | X | X | 1 | 0 | 0 |
| 0 | X | X | X | 1 | X | X | X | X | X | X | 0 | 0 | 1 |
| 1 | 1 | X | X | 1 | 0 | X | X | X | X | X | 1 | 0 | 0 |
| 0 | 0 | X | X | 0 | 1 | X | X | X | X | X | 0 | 0 | 1 |
| 1 | 0 | 1 | X | 1 | 0 | 0 | X | X | X | X | 1 | 0 | 0 |
| 0 | 0 | 0 | X | 0 | 0 | 1 | X | X | X | X | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | X | X | X | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | X | X | X | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | X | 1 | X | 0 | 1 | 0 |

注：X为任意状态

表14 74HC283输入/输出状态

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 4位被加数输入 | | | | 4位加数输入 | | | | 输出加法结果和进位 | | | | |
| A4 | A3 | A2 | A1 | B4 | B3 | B2 | B1 | COUT | S4 | S3 | S2 | S1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |

思考：如增加Cin，输出结果会如何？请自行在表上增加，并验证其他取值的加法结果，填入表中。

表14已经填了Cin为0的结果，故不重复，详见表14.5。

表14.5 74HC283输入/输出状态 增加Cin = 1

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 4位被加数输入 | | | | 4位加数输入 | | | | 输出加法结果和进位 | | | | |
| Cin | A4 | A3 | A2 | A1 | B4 | B3 | B2 | B1 | COUT | S4 | S3 | S2 | S1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |

下表中，同时将输入信号送入带数码显示管的74HC4511，同时观察数码显示内容。

表15 74HC4511输入/输出状态

| 使能输入 | | | 数据输入 | | | | 译码输出 | | | | | | | 字形 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | LE | D | C | B | A | a | b | c | d | e | f | g |
| 0 | X | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 8 |
| 1 | 0 | X | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 无 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 2 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 3 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 4 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 5 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 6 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 7 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 8 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 9 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 无 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 无 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 无 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 无 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 无 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 无 |

注：X为任意状态

思考：如果要同时显示4个数字，应如何处理？

答：

如果是显示四个不同的，则可以用一个控制电路来周期性地切换每个数码管的使能信号，让它们按顺序依次亮起来。先显示第一个数字，显示几毫秒后切换到第二个，依此类推。虽然每个数码管亮的时间很短，但由于频繁切换，人眼就会看到四个数字都在显示。

如果是显示4个相同的，只需要将数码管的四个显示端都与74HC4511的GND相连即可。

**四、组合逻辑电路综合实验**

根据电路逻辑图，搭建电路并测试，回答电路实现的功能。测试结果填入表中。

图示

描述已自动生成

表16

| 输入端 | | 输出端 | | |
| --- | --- | --- | --- | --- |
| A | B | Y1 | Y2 | Y3 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |

图示, 示意图

描述已自动生成

表17

|  |  |  |  |
| --- | --- | --- | --- |
| 输入端 | | | 输出端 |
| A | B | C | Y |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

图示, 示意图

描述已自动生成

表18

| 输入端 | | | 输出端 |
| --- | --- | --- | --- |
| R | Y | G | Z |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

# 实验三基于实验箱的数字逻辑实验——经典时序电路（4学时）

1. 验证时序逻辑电路芯片功能74HC74、74HC112

2. 验证时序逻辑电路芯片功能74HC194、74HC161

3. 时序逻辑电路综合实验

## 时序逻辑电路

**一、实验目的**

1. 掌握D触发器的逻辑功能和测试方法，熟悉74HC74的引脚排列及其功能。

2. 掌握JK触发器的逻辑功能和测试方法，熟悉74HC112的引脚排列及其功能。

3 掌握移位寄存器的工作原理及其应用，熟悉74HC194的逻辑功能及实现各种移位功能的方法。

4 掌握计数电路的工作原理和各控制端的作用，测试并验证74HC161的逻辑功能。

**二、实验仪器及元器件**

1.数字逻辑与系统设计实验箱。

2. 元器件：双D触发器74HC74、双JK触发器74HC112、双向移位寄存器74HC194、计数器74HC161。

**三、实验结果和数据处理**

1、验证芯片74HC74、74HC112、74HC194、74HC161，将实验数据填到表16至表19中。

表19 D触发器74HC74输入/输出状态

| 输入 | | | | 输出 | | 功能说明 |
| --- | --- | --- | --- | --- | --- | --- |
| 置位输入 | 复位输入 | 1CP | 1D | 1Qn+1 | 1 |
| 0 | 1 | X | X | 1 | 0 | 异步置1 |
| 1 | 0 | X | X | 0 | 1 | 异步置0 |
| 1 | 1 | ↑ | 0 | 0 | 1 | 同步置0 |
| 1 | 1 | ↑ | 1 | 1 | 0 | 同步置1 |
| 0 | 0 | X | X | 1 | 1 | 未定义 |

注：X为任意状态

表20 JK触发器74HC112输入/输出状态

| 输入 | | | | | 输出 | | 功能说明 |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 置位输入 | 复位输入 | 1 | 1J | 1K | 1Qn+1 | 1 |
| 0 | 1 | X | X | X | 1 | 0 | 异步置1 |
| 1 | 0 | X | X | X | 0 | 1 | 异步置0 |
| 0 | 0 | X | X | X |  | Qn | 翻转 |
| 1 | 1 | ↓ | 1 | 1 | 0 | 1 | 同步置1 |
| 1 | 1 | ↓ | 0 | 1 | 1 | 0 | 同步置1 |
| 1 | 1 | ↓ | 1 | 0 | 1 | 1 | 未定义 |
| 1 | 1 | ↓ | 0 | 0 | Qn |  | 保持不变 |

注：X为任意状态

表21 74HC194输入/输出状态

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | | | | | | 输出 | | | | 功能说明 |
|  | 模式 | | 串行 | | CP | 并行 | | | |
| S1 | S0 | DSR | DSL | D0 | D1 | D2 | D3 | Q0n+1 | Q1n+1 | Q2n+1 | Q3n+1 |
| 0 | X | X | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 | 异步清零 |
| 1 | 1 | 1 | X | X | ↑ | D0 | D1 | D2 | D3 | D0 | D1 | D2 | D3 | 并行输入 |
| 1 | 0 | 0 | X | X | X | X | X | X | X | Q0n | Q1n | Q2n | Q3n | 保持 |
| 1 | 0 | 1 | 0 | X | ↑ | X | X | X | X | 0 | Q0n | Q1n | Q2n | 串行右移输入 |
| 1 | 0 | 1 | 1 | X | ↑ | X | X | X | X | 1 | Q0n | Q1n | Q2n | 串行右移输入 |
| 1 | 1 | 0 | X | 0 | ↑ | X | X | X | X | Q1n | Q2n | Q3n | 0 | 串行左移输入 |
| 1 | 1 | 0 | X | 1 | ↑ | X | X | X | X | Q1n | Q2n | Q3n | 1 | 串行左移输入 |

注：X为任意状态

思考：输出值跟哪些输入量有关？CP接单个脉冲或连续的时钟信号有何区别？

答：输出值和DSR、DSL、D0、D1、D2、D3。区别在于单个脉冲信号只进行一次，连续的进行多次。

表22 74HC161输入/输出状态

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | | | | | 输出 | | | | | 功能说明 |
|  | CP | CEP | CET |  | D3 | D2 | D1 | D0 | Q3 | Q2 | Q1 | Q0 | TC |
| 0 | X | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 复位，异步置零 |
| 1 | ↑ | X | X | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 并行输入 |
| 1 | ↑ | 1 | 1 | 0 | D3 | D2 | D1 | D0 | D3 | D2 | D1 | D0 | \* | 同步置数 |
| 1 | ↑ | 1 | 1 | 1 | X | X | X | X | Count | Count | Count | Count | \* | 计数 |
| 1 | X | 0 | X | 1 | X | X | X | X | Q3 | Q2 | Q1 | Q0 | \* | 保持 |
| 1 | X | X | 0 | 1 | X | X | X | X | Q3 | Q2 | Q1 | Q0 | 0 | 保持 |

注：X为任意状态

思考：接连续的时钟信号中任何一路有何区别？

答：区别在于频率和计数快慢不一样。

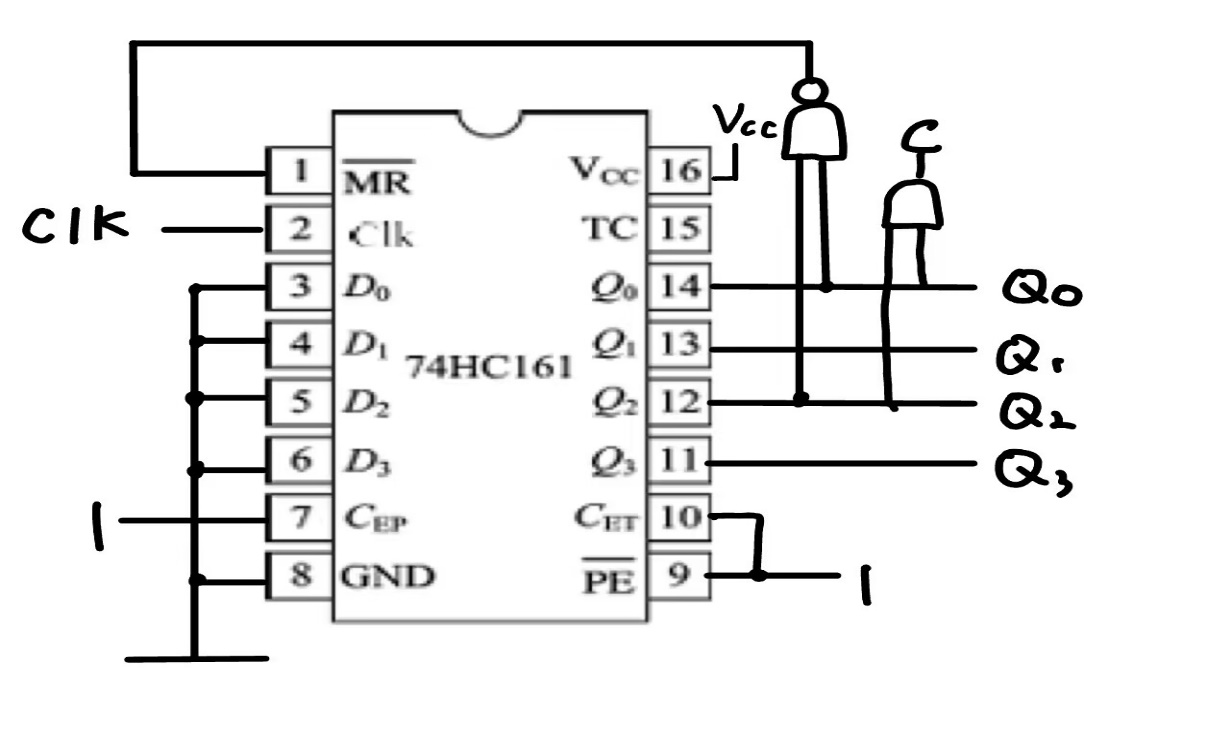
**四、时序逻辑电路综合实验**

1、用74HC161设计一个N(5)（上课布置）进制计数器，并给老师检查。

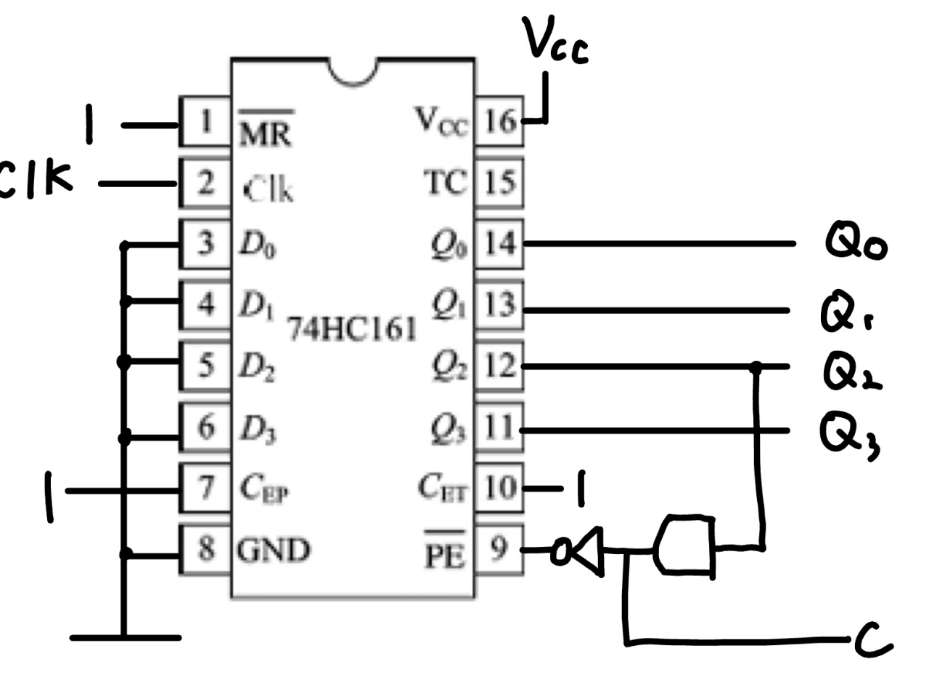
（1）考虑将计数结果显示到数码管上。

（2）分别使用以下三种方法实现，画出连线图。

方法一：利用异步清零方式清零，画出逻辑图。

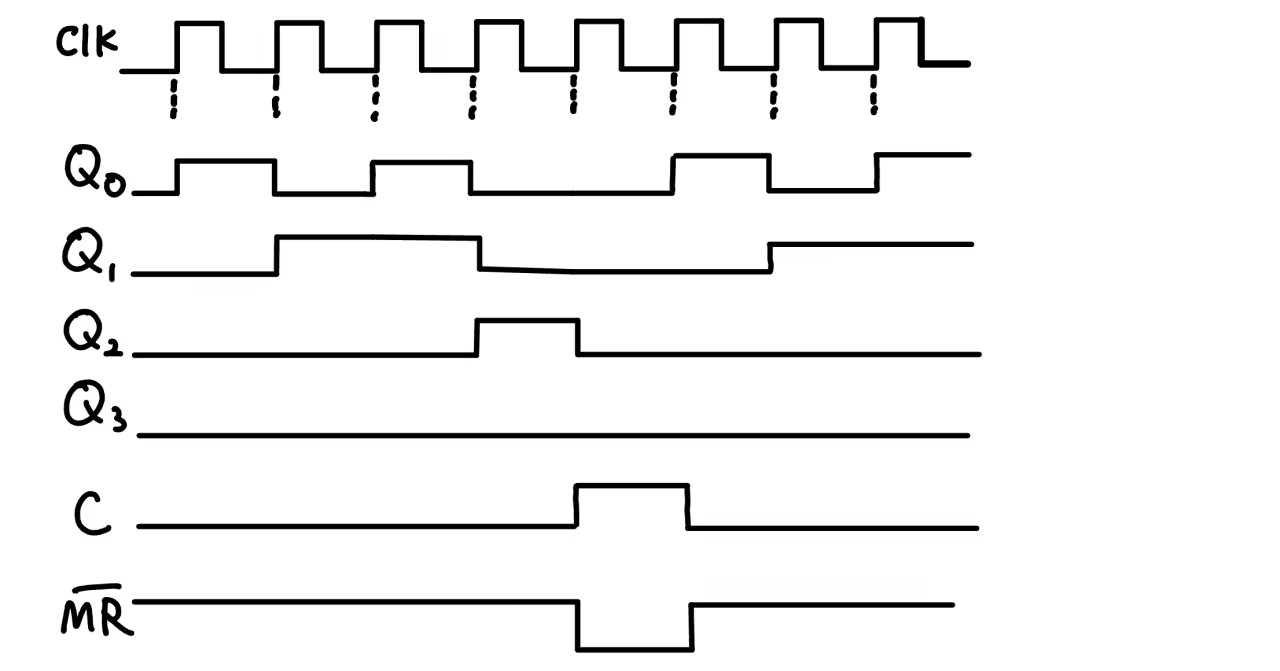


方法二：利用同步置位方式置零，画出逻辑图。

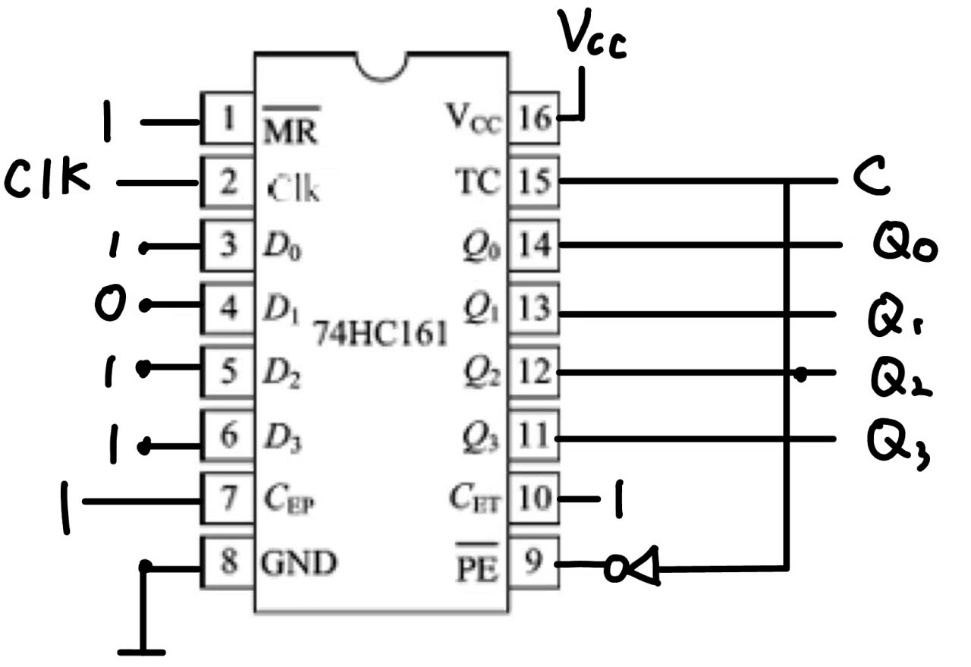


画出使用方法一或方法二的时序图：

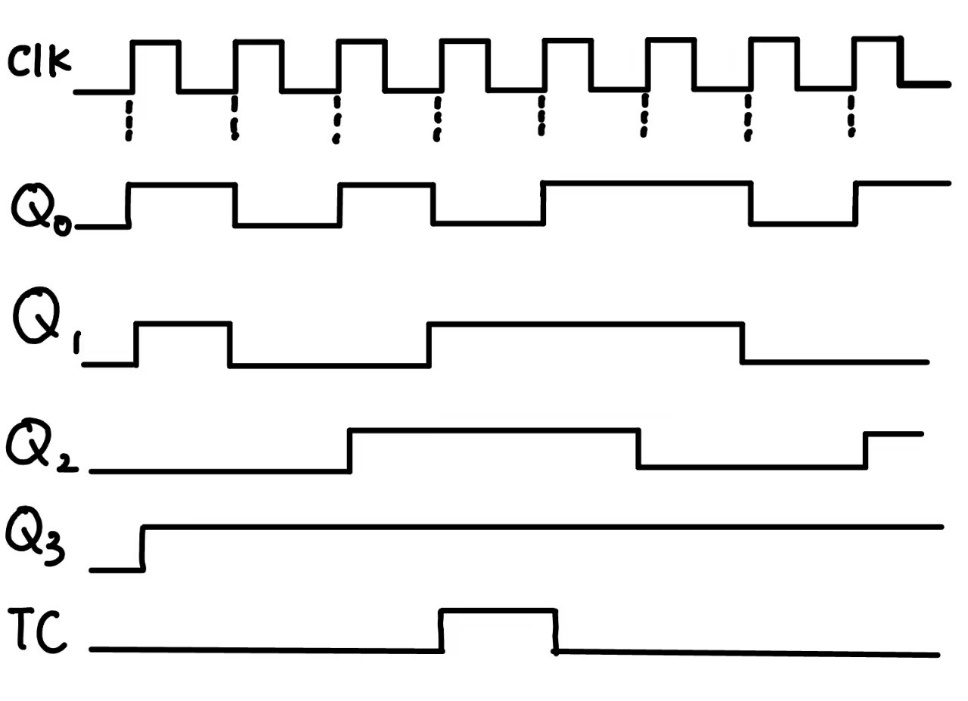
方法一:



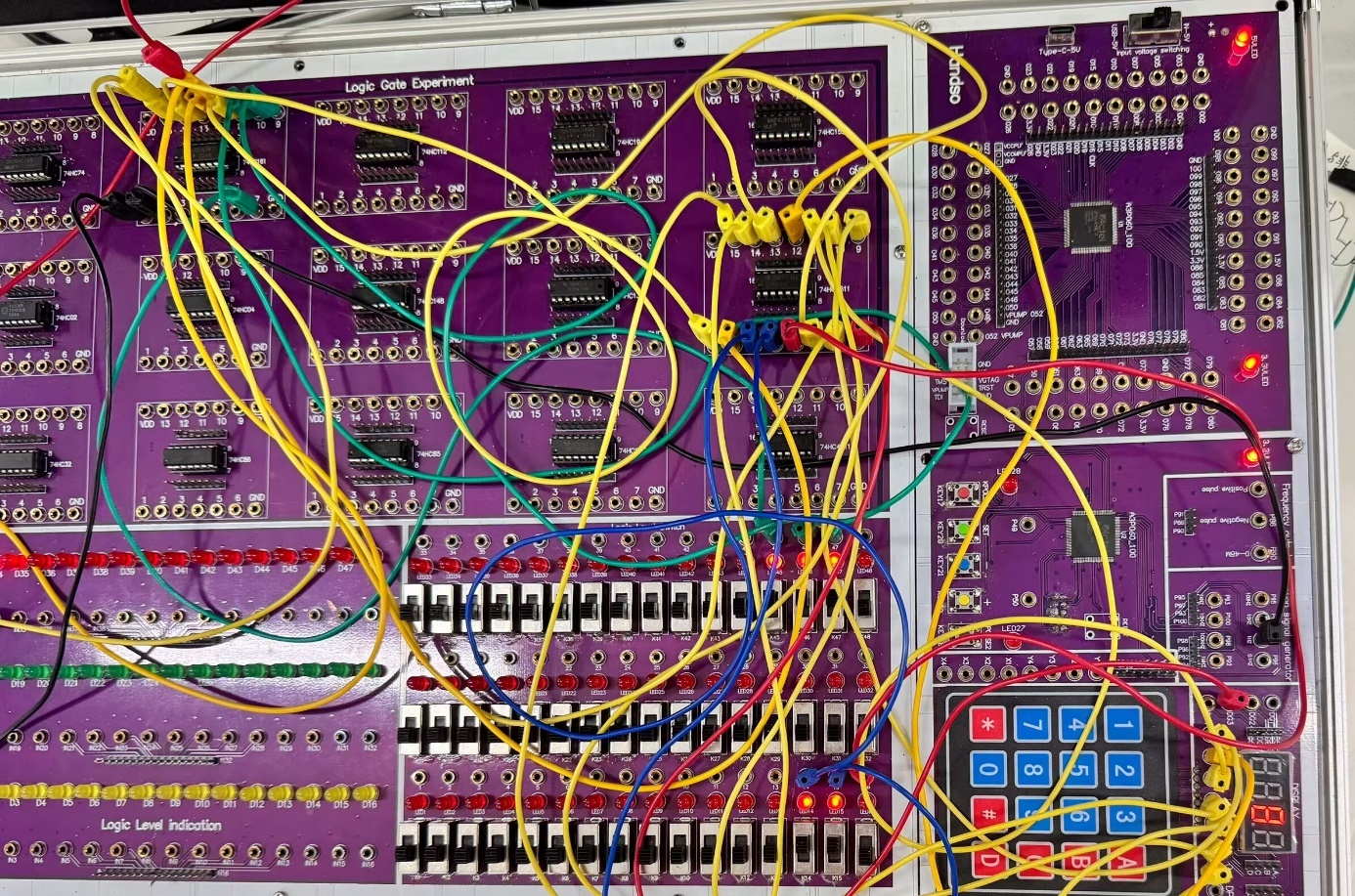
方法三：利用置数法构造。



时序图：



2、将74HC161的输出与74HC4511的数据输入端相连，并连接数码显示器，在1Hz的时钟频率控制下，显示74HC161的输出值。（连线给老师检查，并将连线图拍照粘贴至下）。



# 实验四基于实验箱的数字逻辑实验考核（2学时）

1. 按电路图搭建电路，运行后给老师检查。

2-3. 按题目要求，设计电路，搭建电路运行后给老师检查。

## 测试题1：

如何使用基本门电路元器件实现三输入与非门、或非门、异或门，画出逻辑图，并在实验箱上连线测试，将测试结果填入下表中。

表4-2 结果记录表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | C | 与非 | 或非 | 异或 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 |

## 测试题2：

设计要求：设计一个电路，通过改变输入，令显示数码管的4个数位轮流显示数字。本实验需要一个3-8译码器74HC138、一个数码显示译码器74HC4511、一个共阴极8段显示数码管（4位数字轮流显示），电路连接图具体引脚编号请查阅课本p282页。

按照表4-2的要求，通过拨动输入信号的开关改变输入的状态，观察显示数码管的输出数码，将实验结果填入表中。

表4-2 译码器扩展实验结果记录表

| 74HC138使能输入 | | | 74HC138数据输入 | | | 74HC138译码输出 | | | | 数码管显示数字的位置（1~4） |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | E3 | A2 | A1 | A0 |  |  |  |  |
| 1 | X | X | X | X | X | 1 | 1 | 1 | 1 | 无显示 |
| X | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 无显示 |
| X | X | 0 | X | X | X | 1 | 1 | 1 | 1 | 无显示 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 2 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 3 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 4 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 无显示 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 无显示 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 无显示 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 无显示 |

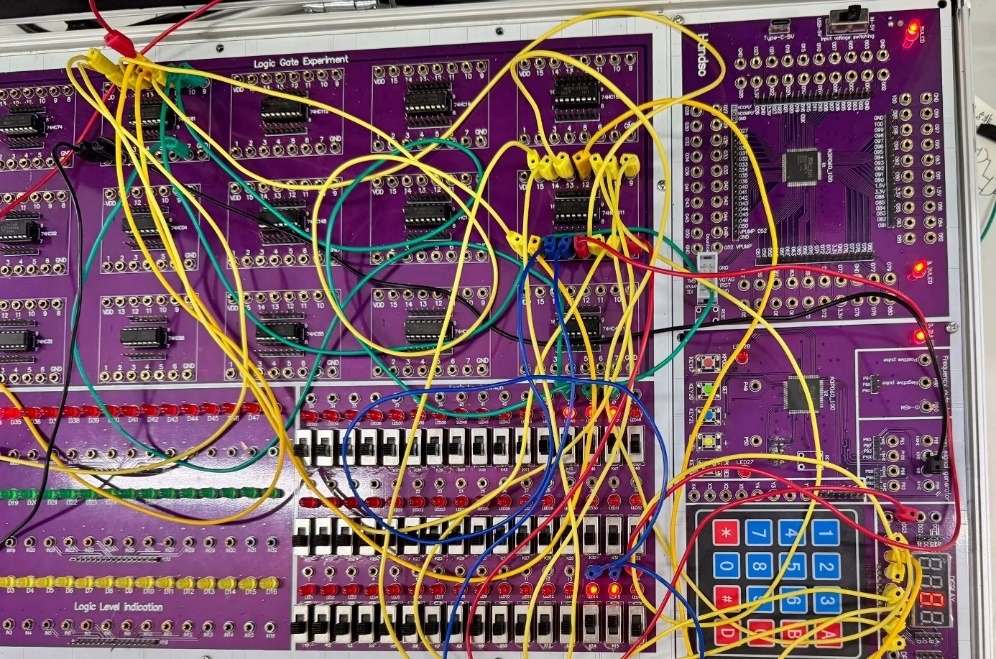
注：X为任意状态

## 测试题3：

用74HC161设计一个9进制计数器。本实验需要一个4位二进制同步加法计数器74HC161、一个数码显示译码器74HC4511、一个共阴极8段显示数码管，电路连接图具体引脚编号请查阅课本。

将计数结果显示到数码管上，画出连线图，连线图拍照粘贴至下方。





# 实验五基于EDA工具的数字逻辑实验——工具应用、现代门电路（3学时）

1. 熟悉EDA工具的使用

2-3. 用EDA设计仿真基本门电路并烧录验证

## 基本门电路

**一、实验目的**

1、了解基于Verilog的基本门电路的设计及其验证。

2、熟悉利用EDA工具进行设计及仿真的流程。

3、学习针对实际门电路芯片74HC00、74HC02、74HC04、74HC08、74HC32、74HC86进行VerilogHDL设计的方法。

4、熟悉实验箱的使用和程序下载（烧录）及测试的方法。

**二、实验环境及仪器**

1、Libero仿真软件。

2、数字逻辑与系统设计实验箱。

3、Actel A3P060 FPGA芯片及Flash Pro5烧录器。

**三、实验内容**

1、掌握Libero软件的使用方法。

2、进行针对74系列基本门电路的设计，并完成相应的仿真实验。

3、参考教材中相应章节的设计代码、测试平台代码（可自行编程），完成74HC00、74HC02、74HC04、74HC08、74HC32、74HC86相应的设计、综合及仿真。

4、提交针对74HC00、74HC02、74HC04、74HC08、74HC32、74HC86的综合结果，以及相应的仿真结果。

**四、实验步骤**

1、新建工程文件（New Project命令），工程文件名（Project Name）：**J学号+下划线+Gate**

例：**J3121000001\_Gate**

2、新建一个设计代码文件（使用Creat HDL命令，建立Verilog Source File），文件名：**姓名首字母组合+下划线+gate**

例：**lxq\_gate**（注：lxq为姓名首字母组合，后面此种命名的含义相同）

3、新建一个测试平台文件（使用Create HDL testbench命令，建立HDL Stimulus File），文件命名：**test\_gate**

4、设计一个能实现与、与非、或、或非、异或及非逻辑的逻辑功能器件。

（1）在设计代码文件**lxq\_gate**中，建立一个功能模块，要求如下：

模块名：**lxq\_BasGate**

输入信号：A,B

输出信号：Y1，Y2，Y3，Y4，Y5，Y6

逻辑功能：Y1~Y5分别实现A、B的与、与非、或、或非、异或逻辑，Y6实现A的非逻辑。

（2）在测试平台文件**test\_gate**中，建立测试平台模块：

测试平台模块名：**test\_lxq\_BasGate**

模块功能：调用**lxq\_BasGate**，实现对**lxq\_BasGate**模块的测试。

（3）对上述功能模块**lxq\_BasGate**进行功能仿真（综合前仿真）。

（4）对上述功能模块进行综合，并进行综合后仿真，观察最大的传输延迟。

（5）对上述功能模块进行布局布线，并进行布局布线后的仿真，观察最大的传输延迟。

（6）烧录及接电测试。

（7）记录实验过程。

（8）保存工程文件。

5、参考步骤4，分别设计74HC00、74HC02、74HC04、74HC08、74HC32、74HC86功能器件，编写各模块的代码及相应测试平台代码，进行**功能仿真**——**综合**——**综合后仿真**，记录实验过程，保存工程文件。

各模块的命名要求，以74HC00为例：

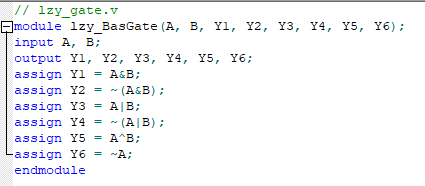
模块名举例：**lxq\_74HC00**

测试平台模块名举例：**test\_lxq\_74HC00**

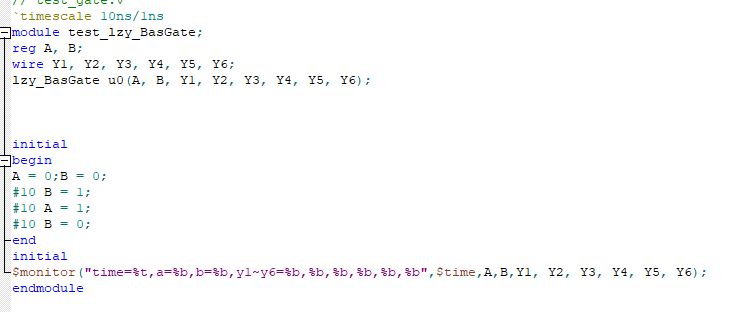
**四、实验结果和数据处理**

1、**lxq\_BasGate模块的实验记录**（注：将lxq改为实际名称）

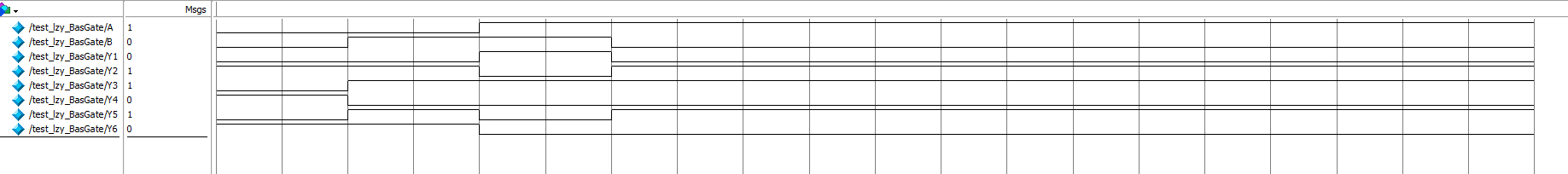
（1）功能模块代码



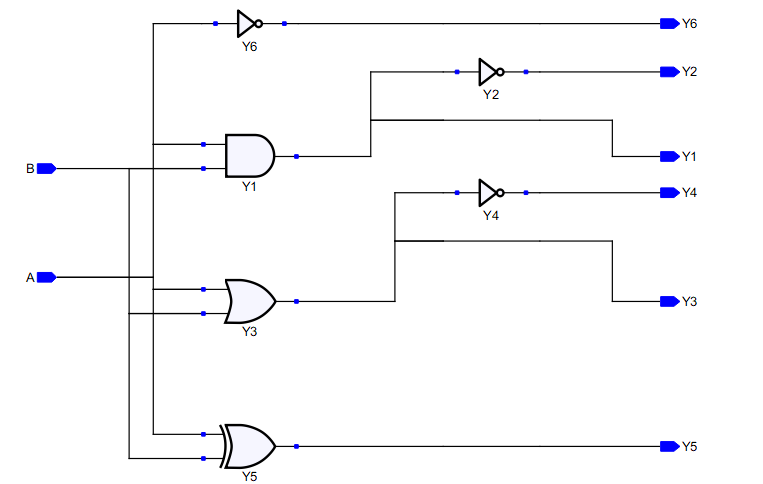
（2）测试平台模块代码



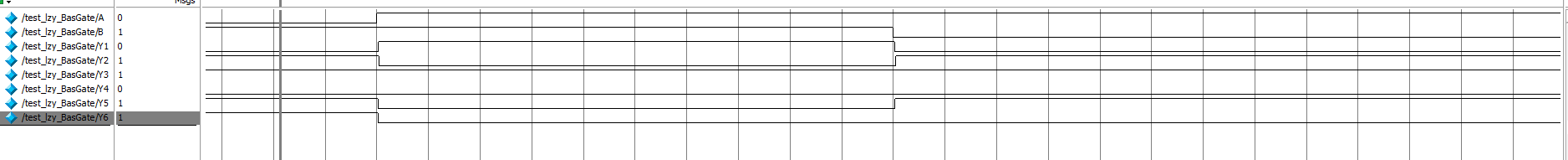
（3）第一次仿真结果（**截图，注明对应的门电路**）。（将波形窗口背景设为**白色**，调整窗口至合适大小，使波形能完整显示，对窗口**截图**。后面实验中的仿真使用相同方法处理）



（4）综合结果RTL视图（**截图，注明对应的门电路**）。（将相关窗口调至合适大小，使RTL图能完整显示，对窗口截图，后面实验中的综合使用相同方法处理）

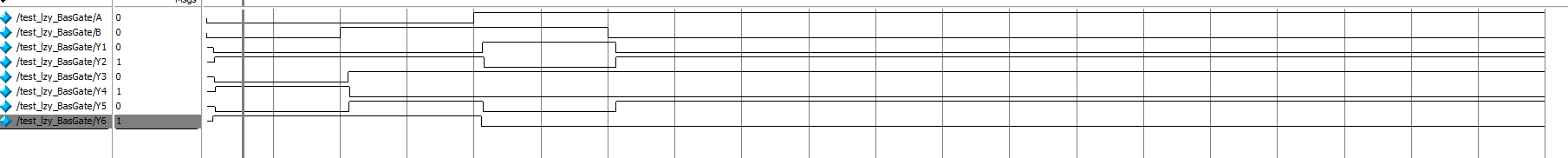


（5）第二次仿真结果（综合后）（**截图，注明对应的门电路**）。回答输出信号是否有延迟，最大延迟时间约为多少？



最大延迟约为300ps。

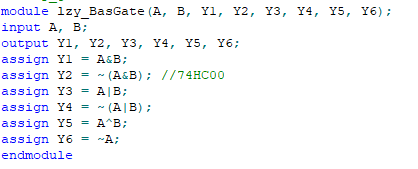
（6）第三次仿真结果（布局布线后）（**截图，注明对应的门电路**）。回答输出信号是否有延迟，最大延迟时间约为多少？分析是否出现竞争冒险。



最大延迟约为5500ps。未出现竞争冒险

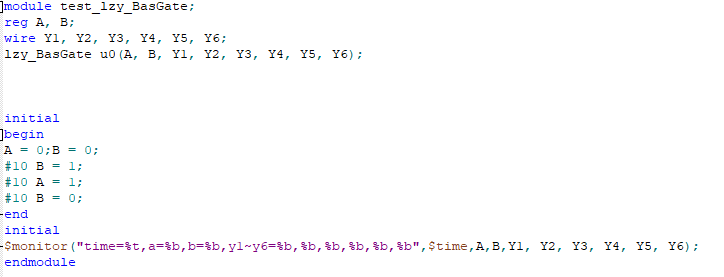
2、所有模块及测试平台代码清单

//74HC00代码-与非



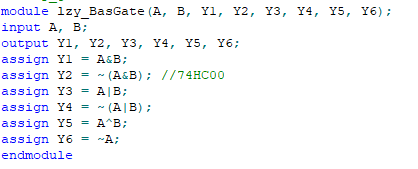
Y2为74HC00

//74HC00测试平台代码



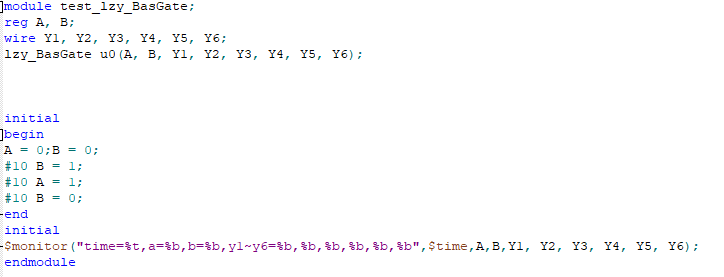
Y2为74HC00

//74HC02代码-或非



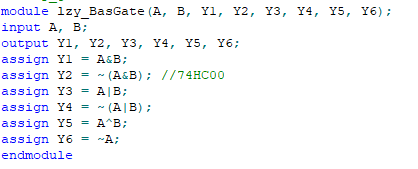
Y4为74HC02

//74HC02测试平台代码



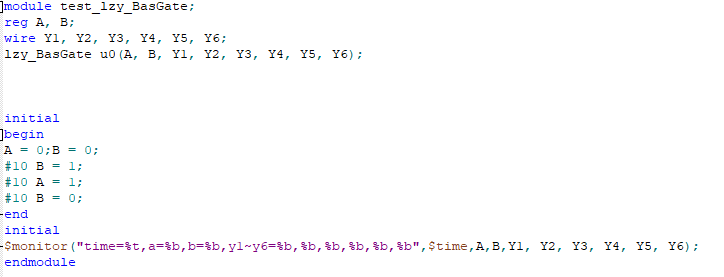
Y4为74HC02

//74HC04代码-非



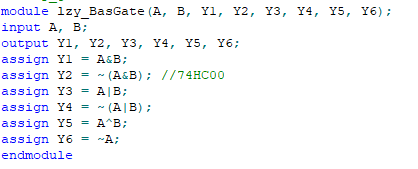
Y6为74HC04

//74HC04测试平台代码



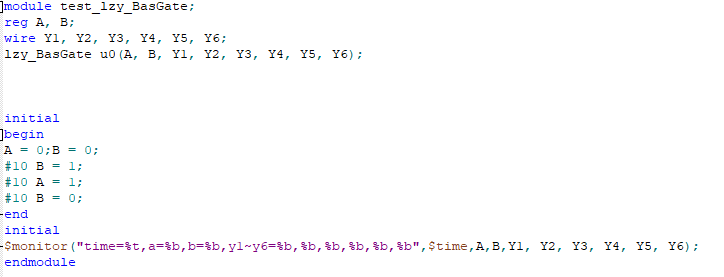
Y6为74HC04

//74HC08代码-与



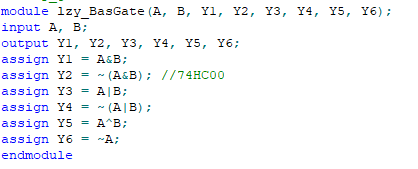
Y1为74HC08

//74HC08测试平台代码



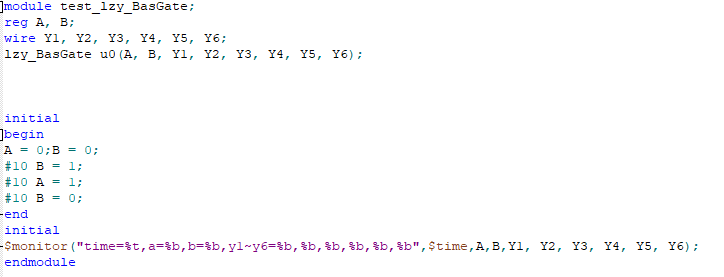
Y1为74HC08

//74HC32代码-或



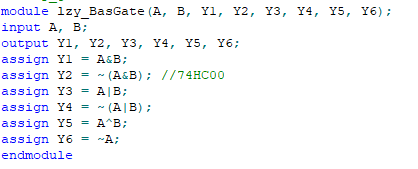
Y3为74HC32

//74HC32测试平台代码



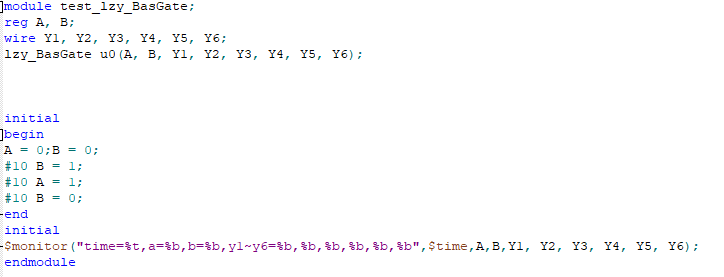
Y3为74HC32

//74HC86代码-异或



Y5为54HC86

//74HC86测试平台代码



Y5为54HC86

# 实验六基于EDA工具的数字逻辑实验——现代组合逻辑电路（6学时）

1-6. 用EDA设计仿真组合逻辑电路中裁判表决电路、交通灯故障检测电路、74HC148、74HC138、74HC153、74HC85、74HC283、74HC4511，并烧录验证

## 组合逻辑电路

**一、实验目的**

1、了解基于Verilog的组合逻辑电路的设计及其验证。

2、熟悉利用EDA工具进行设计及仿真的流程。

3、熟悉实验箱的使用和程序下载（烧录）及测试的方法。

4、学习裁判表决电路、交通灯故障检测电路的VerilogHDL设计方法。

5、学习针对实际组合逻辑电路芯片74HC148、74HC138、74HC153、74HC85、74HC283、74HC4511进行VerilogHDL设计的方法。

**二、实验环境及仪器**

1、Libero仿真软件。

2、数字逻辑与系统设计实验箱。

3、Actel A3P060 FPGA芯片及Flash Pro5烧录器。

**三、实验内容**

1、掌握Libero软件的使用方法。

2、进行针对裁判表决电路、交通灯故障检测电路的设计，并完成相应的仿真实验。

3、参考教材中相应章节的设计代码、测试平台代码（可自行编程），完成74HC148、74HC138、74HC153、74HC85、74HC283、74HC4511相应的设计、综合及仿真。

4、74HC85测试平台的测试数据要求：进行比较的A、B两数，分别为本人学号的末两位，如“89”，则A数为“1000”，B数为“1001”。若两数相等，需考虑级联输入（级联输入的各种取值情况均需包括）；若两数不等，则需增加一对取值情况，验证A、B相等时的比较结果。

5、按要求提交实验结果。

**四、实验步骤**

1、新建工程文件，工程文件名（Project Name）：**J学号+下划线+Comb**

例：**J3121000001\_Comb**

2、新建一个设计代码文件（使用Creat HDL命令，建立Verilog Source File），文件名：**姓名首字母组合+下划线+comb**

例：**lxq\_comb**（注：lxq为姓名首字母组合，后面此种命名的含义相同）

3、新建一个测试平台文件（使用Create HDL testbench命令，建立HDL Stimulus File），文件命名：**test\_comb**

4、在设计代码文件中（**lxq\_comb**），设计各功能模块，包括裁判表决电路、交通灯故障检测电路、74HC148、74HC138、74HC153、74HC85、74HC283、74HC4511，各功能模块的命名要求如下：

裁判表决电路：**lxq\_cp**

交通灯故障检测电路：**lxq\_jtd**

74HC系列芯片：**lxq\_74HCxxx**

5、在测试平台文件中（**test\_comb**）中，设计每个功能模块的测试平台模块，各测试平台模块的命名要求如下：

裁判表决电路**lxq\_cp**的测试平台：**test\_lxq\_cp**

交通灯故障检测电路**lxq\_jtd**的测试平台：**test\_lxq\_jtd**

74HC系列芯片**lxq\_74HCxxx**的测试平台：**test\_lxq\_74HCxxx**

（3）对上述功能模块进行功能仿真（综合前仿真）。

（4）对上述功能模块进行综合，并进行综合后仿真，观察最大的传输延迟，观察是否存在竞争冒险。

（5）对上述功能模块进行布局布线，并进行布局布线后的仿真，观察最大的传输延迟，观察是否存在竞争冒险。。

（6）烧录及接电测试。

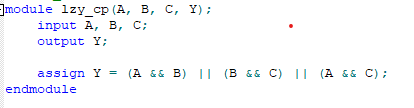
（7）记录实验过程。

（8）保存工程文件。

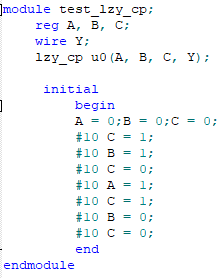
**五、实验结果和数据处理**

1、所有模块及测试平台代码清单

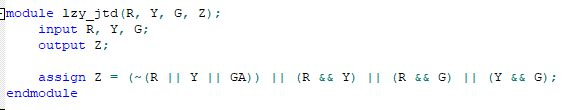
//裁判表决电路



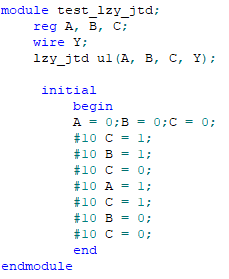
//裁判表决电路测试平台代码



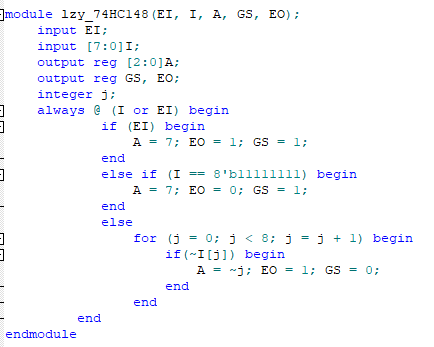
//交通灯故障检测电路



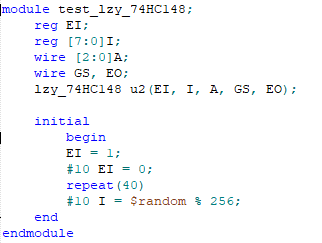
//交通灯故障检测电路测试平台代码



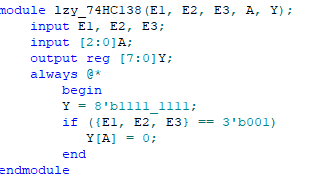
//74HC148代码

****

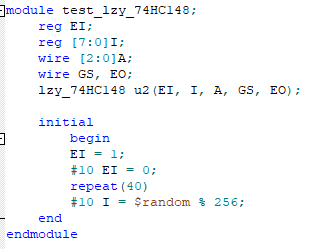
//74HC148测试平台代码



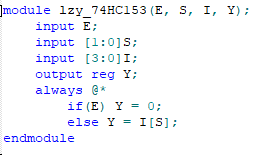
//74HC138代码



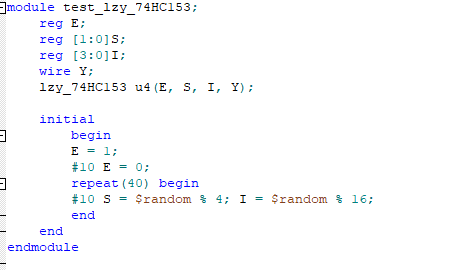
//74HC138测试平台代码



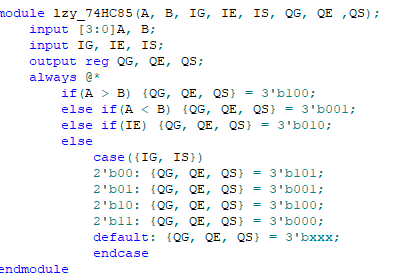
//74HC153代码

****

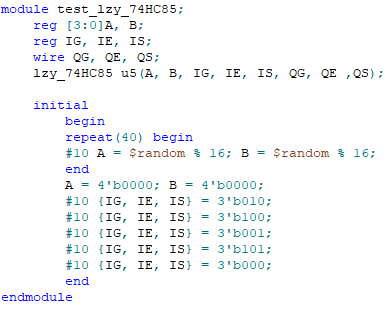
//74HC153测试平台代码



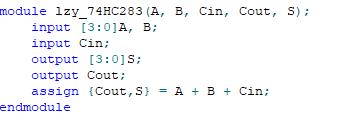
//74HC85代码



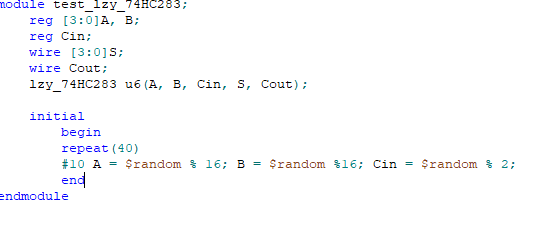
//74HC85测试平台代码



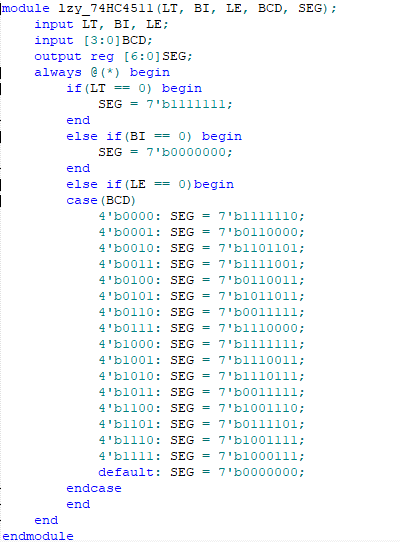
//74HC283代码

****

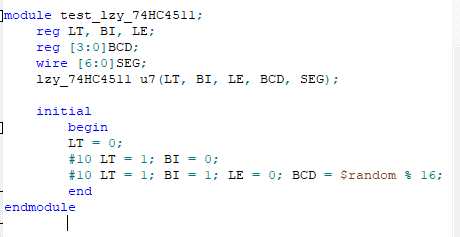
//74HC283测试平台代码



//74HC4511代码，74HC4511要求能输出0~F字形。

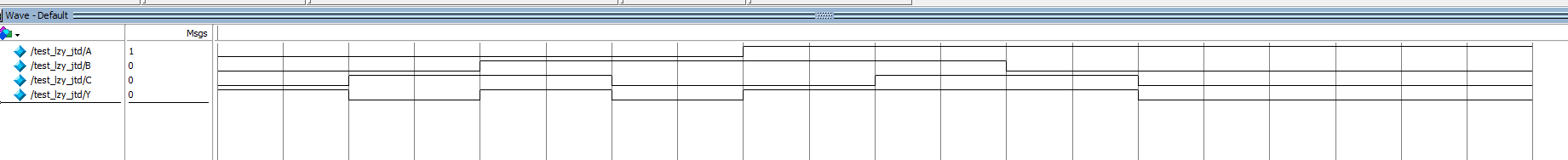


//74HC4511测试平台代码

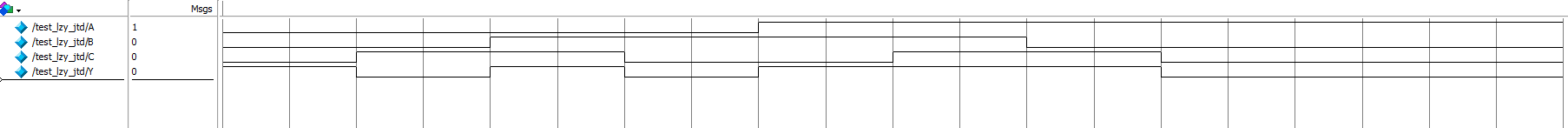


2、第一次仿真结果（**截图，注明对应的模块**）

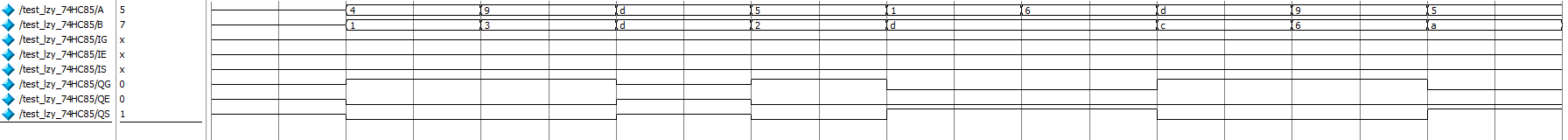
**交通灯：**

****

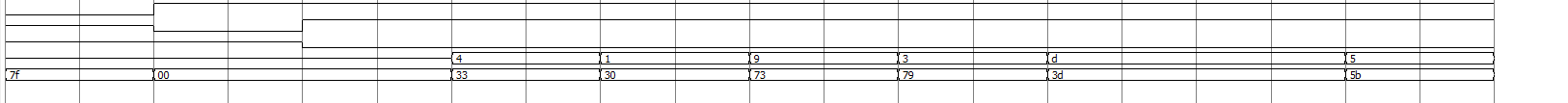
**裁判：**



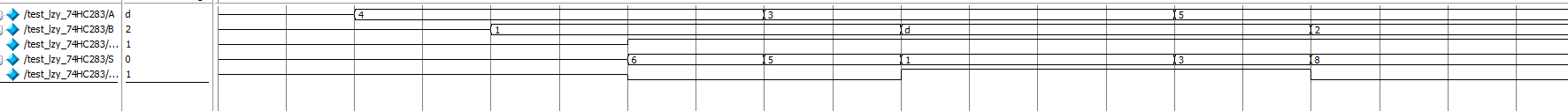
74HC85:



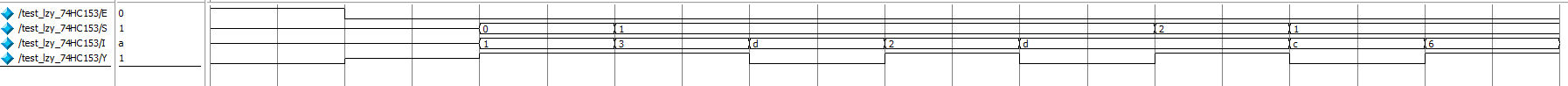
74HC4511:



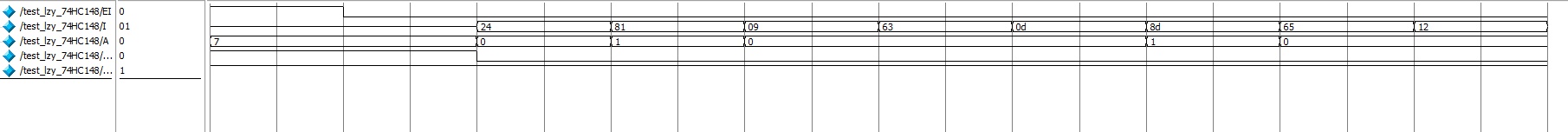
74HC283:



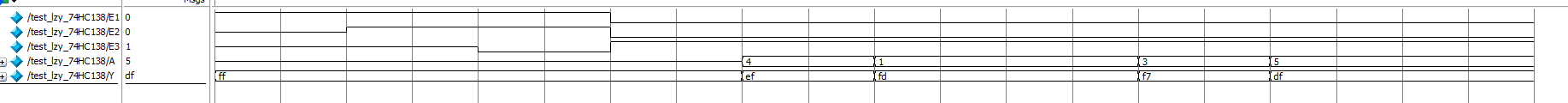
74HC153:



74HC148:



74HC138:

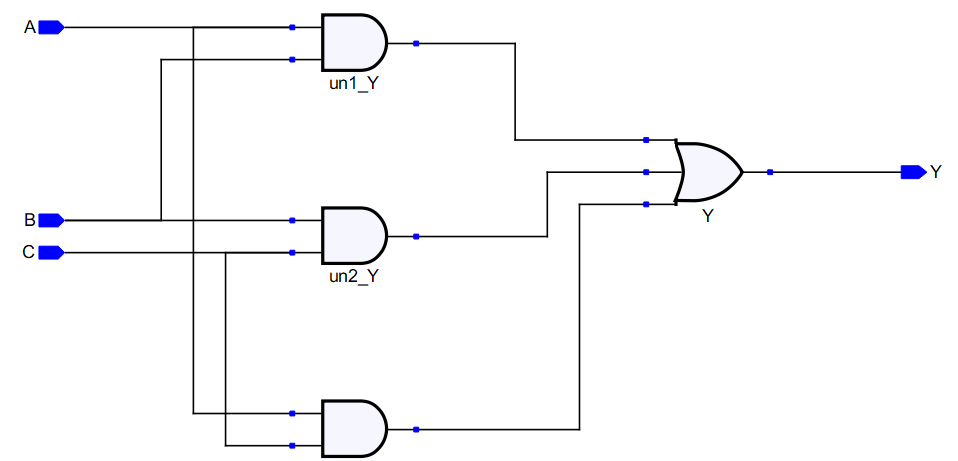


3、综合结果（**截图，注明对应的模块**）

**交通灯：**



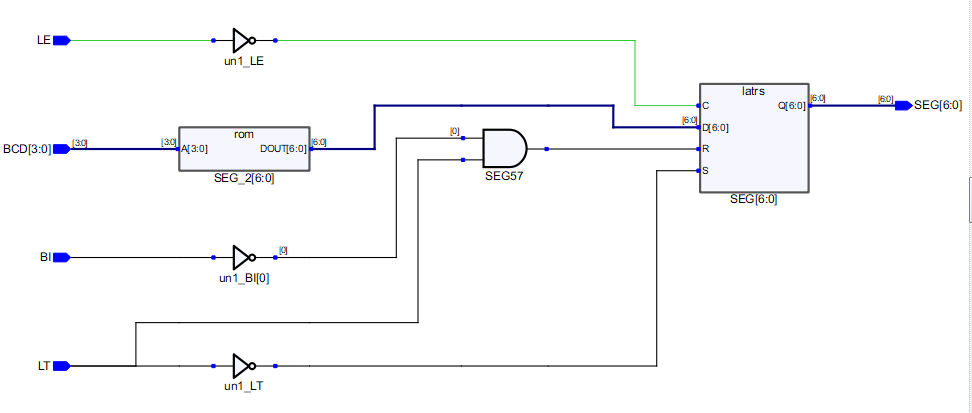
**裁判：**



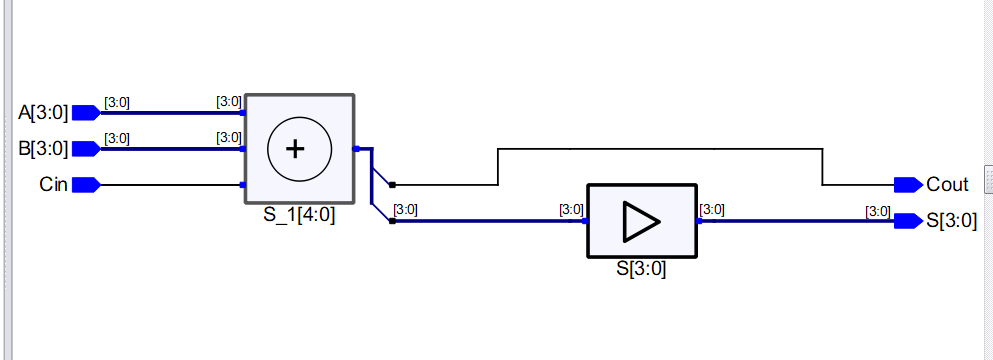
74HC85:



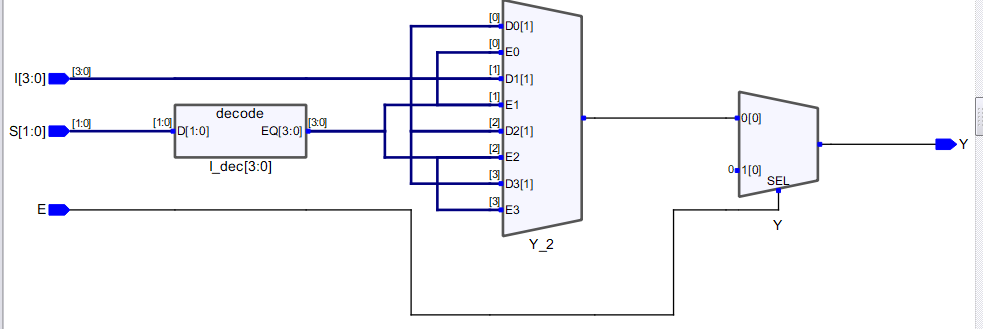
74HC4511:



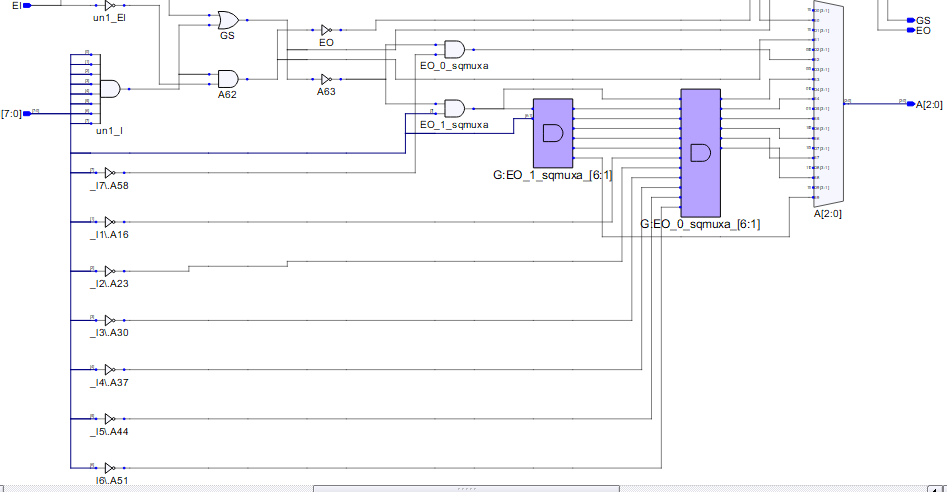
74HC283:



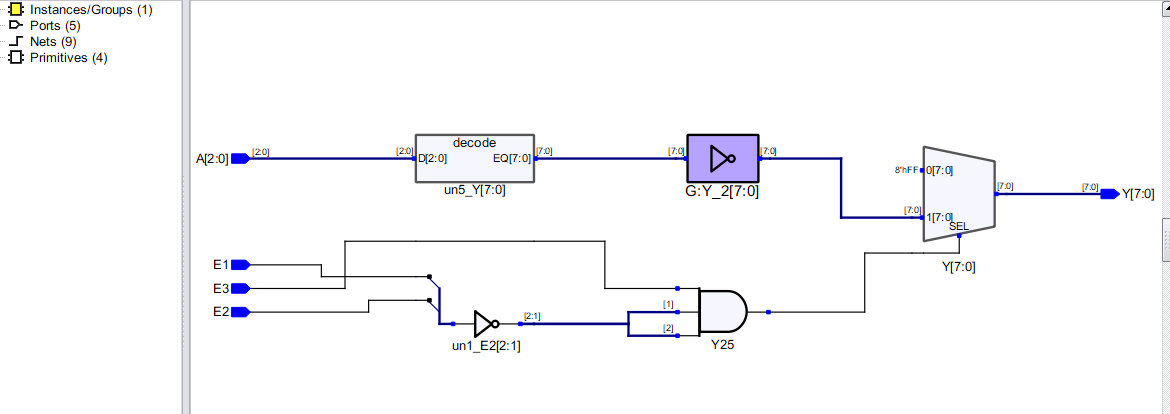
74HC153:



74HC148:

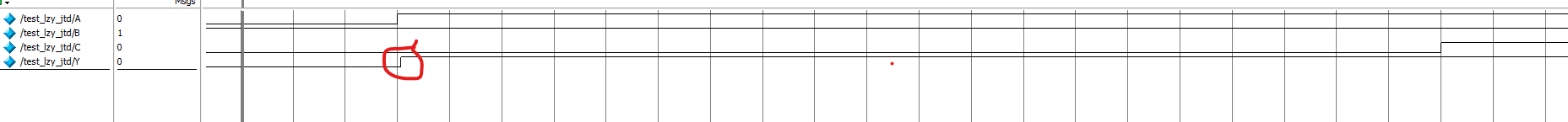


74HC138:



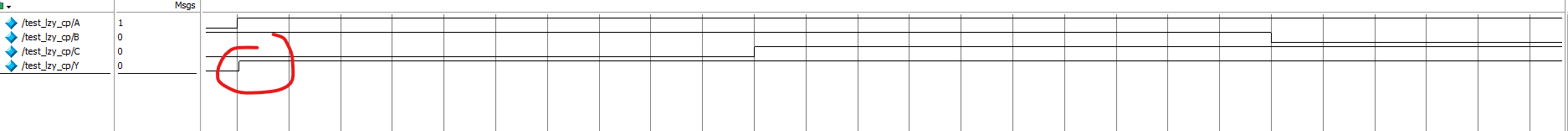
4、第二次仿真结果（综合后）（**截图，注明对应的模块**）。回答输出信号是否有延迟，最大延迟时间约为多少？在图中对传输延迟位置进行标记。

交通灯：



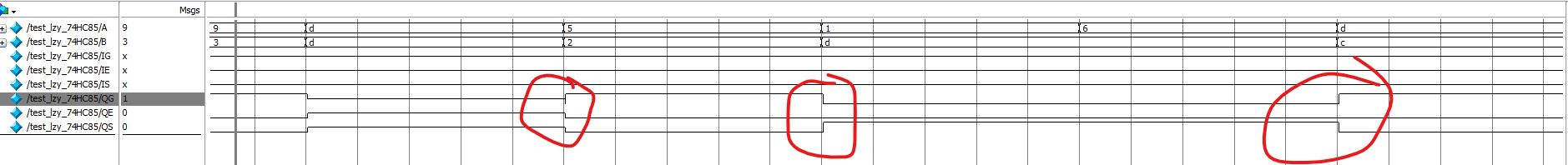
最大延迟约为300ps。

裁判：



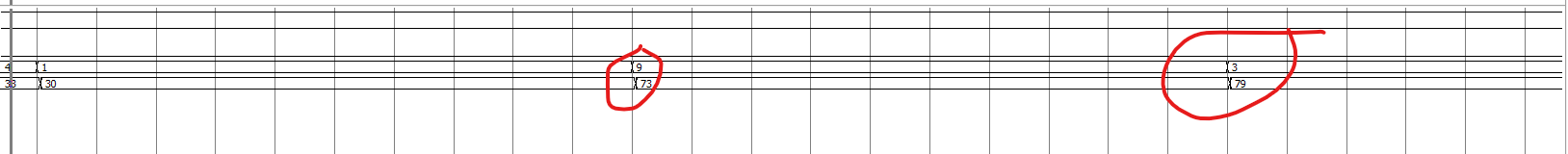
最大延迟约为200ps。

74HC85:



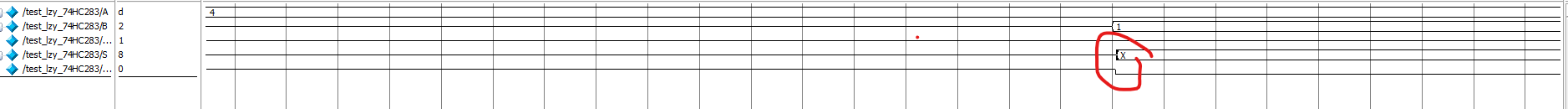
最大延迟约为600ps。

74HC4511:



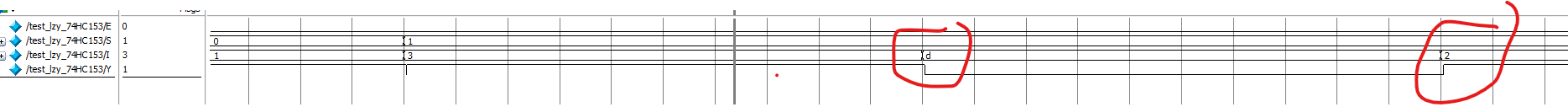
最大延迟约为400ps。

74HC283:



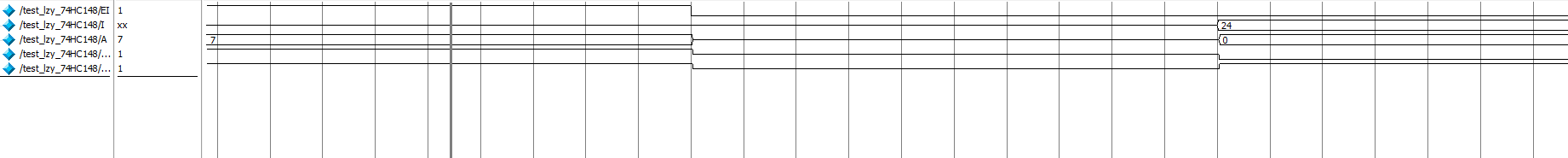
最大延迟约为410ps。

74HC153:



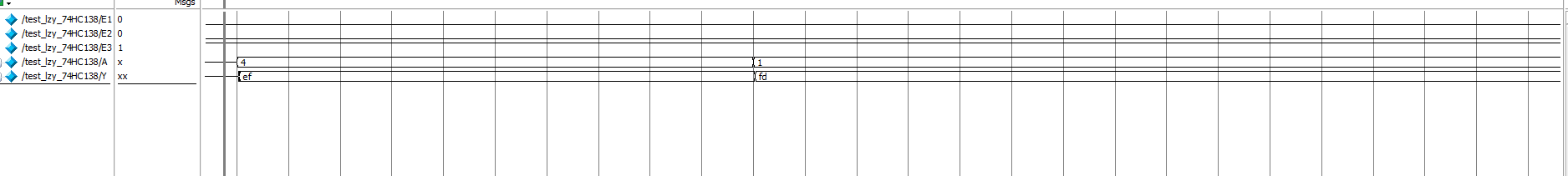
最大延迟约为420ps。

74HC148:



最大延迟约为200ps。

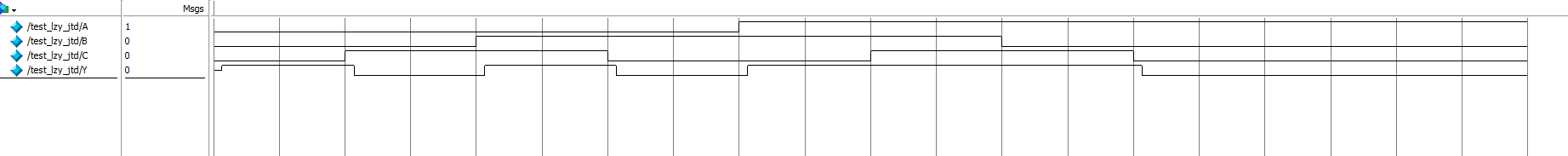
74HC138:



最大延迟约为380ps。

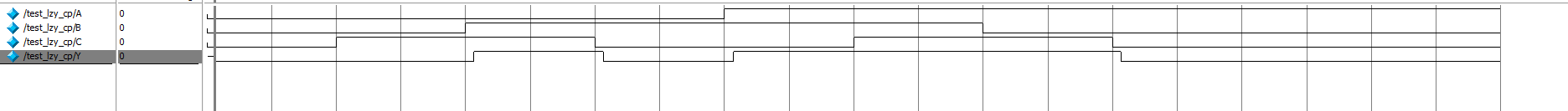
5、第三次仿真结果（布局布线后）（**截图，注明对应的模块**）。回答输出信号是否有延迟，最大延迟时间约为多少？分析是否有出现竞争冒险。

交通灯：



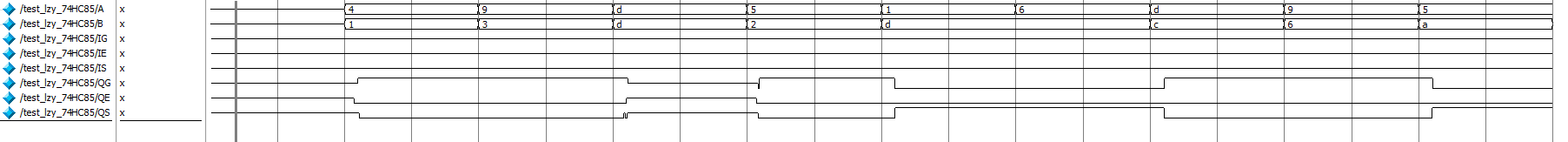
最大延迟约为5500ps。无竞争冒险

裁判：



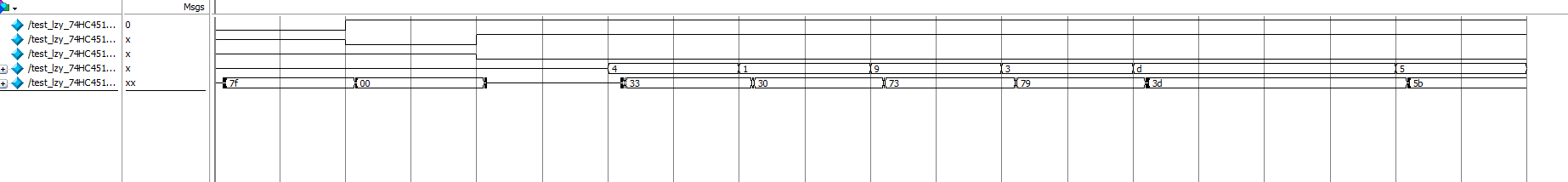
最大延迟约为5200ps。无竞争冒险。

74HC85:



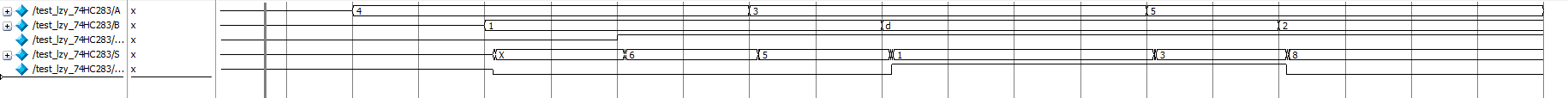
最大延迟约为10900ps。无竞争冒险。

74HC4511:



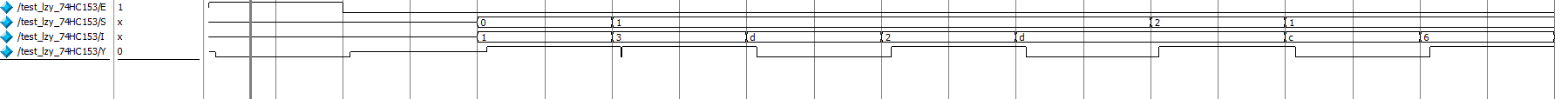
最大延迟约为12500ps。无竞争冒险。

74HC283:



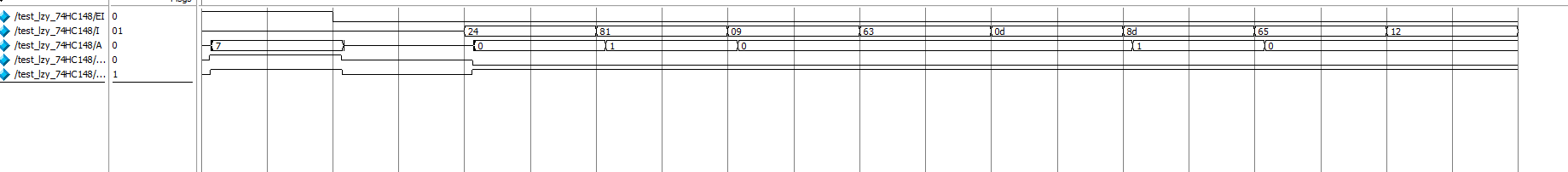
最大延迟约为5200ps。无竞争冒险。

74HC153:



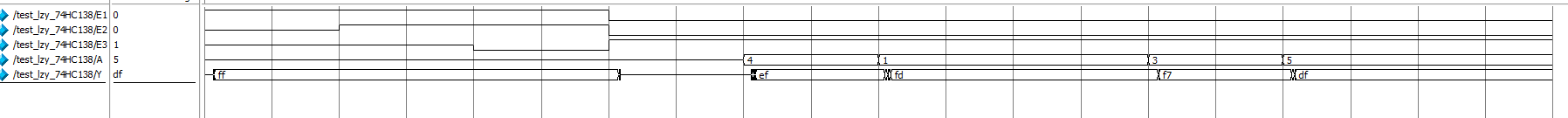
最大延迟约为7000ps。无竞争冒险。

74HC148:



最大延迟约为5500ps。无竞争冒险。

74HC138:



最大延迟约为8000ps。无竞争冒险。

# 实验七基于EDA工具的数字逻辑实验——现代组合逻辑电路综合实验（3学时）

1-3.现代组合逻辑电路综合实验

## 组合逻辑电路综合

**一、实验目的**

1、了解基于Verilog的组合逻辑电路的设计及其验证。

2、熟悉利用EDA工具进行设计及仿真的流程。

3、熟悉实验箱的使用和程序下载（烧录）及测试的方法。

4、掌握SmartDesign设计方法。

5、学习使用SmartDesign进行组合逻辑电路的设计机验证。

**二、实验环境及仪器**

1、Libero仿真软件。

2、数字逻辑与系统设计实验箱。

3、Actel A3P060 FPGA芯片及Flash Pro5烧录器。

**三、实验内容**

1、掌握Libero软件的使用方法。

2、进行**4位的原码-补码转换器**的设计，并完成相应的仿真实验。

3、使用SmartDesign工具，设计4位有符号原码数的数值比较器及编码器编码端口号显示电路，并完成相应的综合、布局布线及3次仿真实验。

4、按要求提交实验结果。

**四、实验步骤**

1、打开实验六工程文件（例实验六中的工程文件**J3121000001\_Comb**）

2、在设计代码文件中（**lxq\_comb**），设计一个4位的原码-补码转换器功能模块（模块名**lxq\_ori\_c**），在测试平台代码文件中（**test\_comb**），设计该模块的测试平台代码（模块名：**test\_lxq\_ori\_c**），进行功能仿真🡪综合🡪综合后仿真。

3、利用SmartDesign进行设计

（1）调用已设计好的4位原码-补码转换器、74HC85、门电路，设计一个**4位有符号原码数的数值比较器**，SmartDesign设计名称（**lxq\_SD1**）。

（2）设计测试平台代码，测试平台模块名称（**test\_lxq\_SD1**）。

（3）对上述功能模块进行功能仿真（综合前仿真）。

（4）对上述功能模块进行综合，并进行综合后仿真，观察最大的传输延迟。

（5）对上述功能模块进行布局布线，并进行布局布线后的仿真，观察最大的传输延迟。

（6）烧录及接电测试。

（7）记录实验过程。

（8）保存工程文件。

4、利用SmartDesign进行设计

（1）调用已设计好的74HC148、74HC4511、门电路模块，设计一个**编码器编码端口号显示电路**，电路要求：当74HC148的I0~I7端接收到有效信号时，74HC4511能输出被编码端口相应的字形（0~7），SmartDesign设计名称（**lxq\_SD2**）。

（2）设计测试平台代码，测试平台模块名称（**test\_lxq\_SD2**）。

（3）对上述功能模块进行功能仿真（综合前仿真）。

（4）对上述功能模块进行综合，并进行综合后仿真，观察最大的传输延迟。

（5）对上述功能模块进行布局布线，并进行布局布线后的仿真，观察最大的传输延迟。

（6）烧录及接电测试。

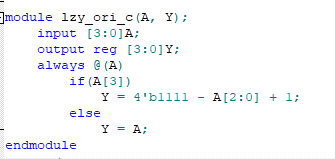
（7）记录实验过程。

（8）保存工程文件。

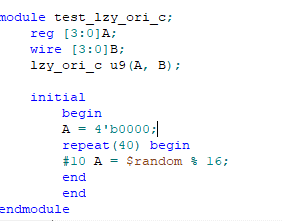
**五、实验结果和数据处理**

1、所有代码清单

//4位原码-补码转换器代码



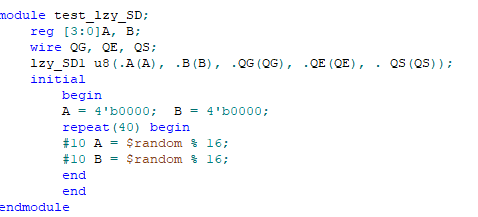
//4位原码-补码转换器测试平台代码



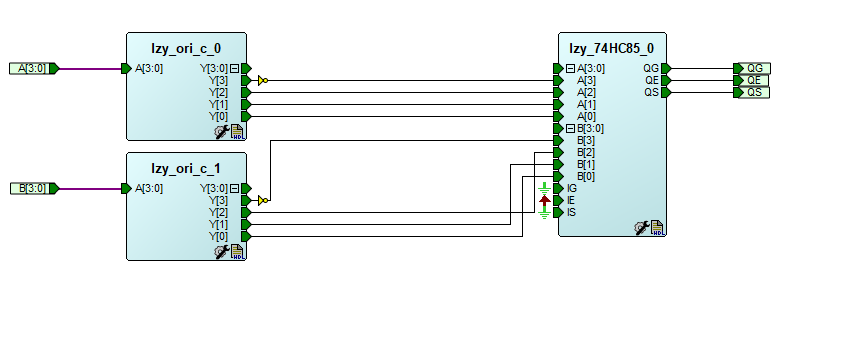
2、4位有符号原码数的数值比较器

（1）测试平台代码

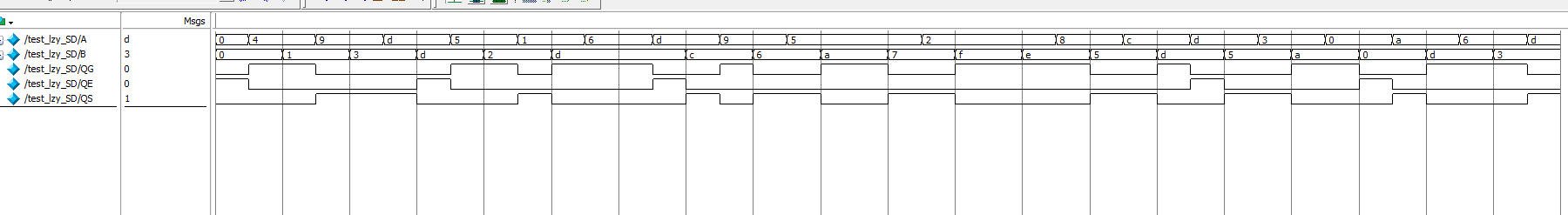
//4位有符号原码数的数值比较器测试平台代码



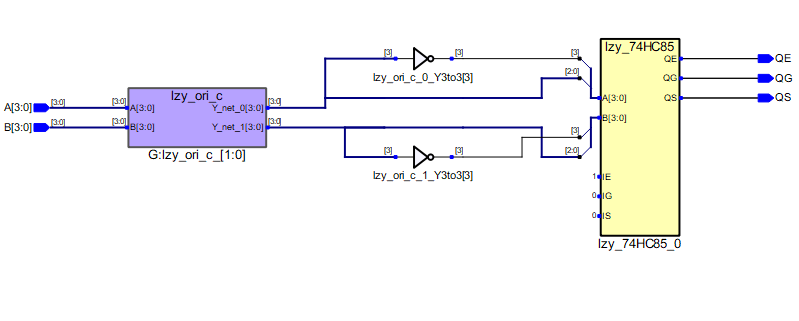
（2）将SmartDesign画布中的设计截图。



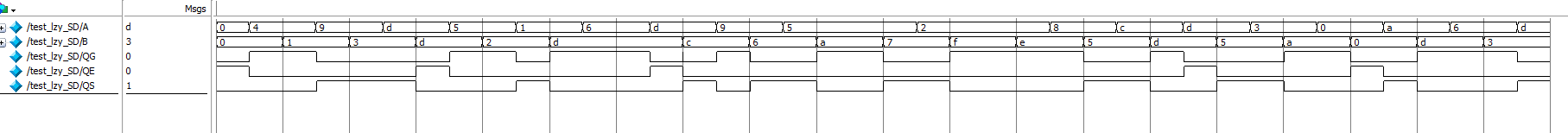
（3）综合前仿真截图



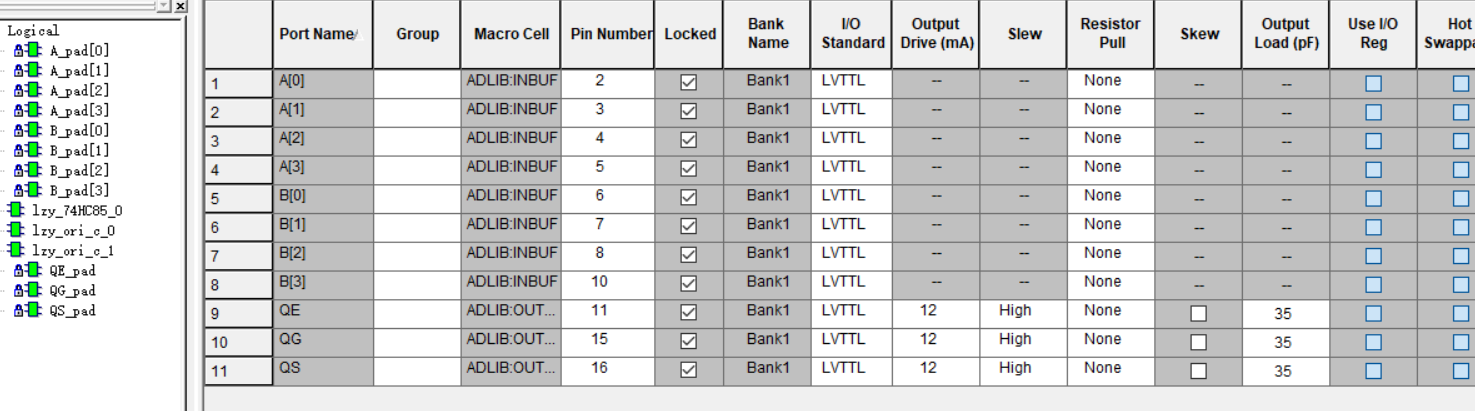
（4）综合截图



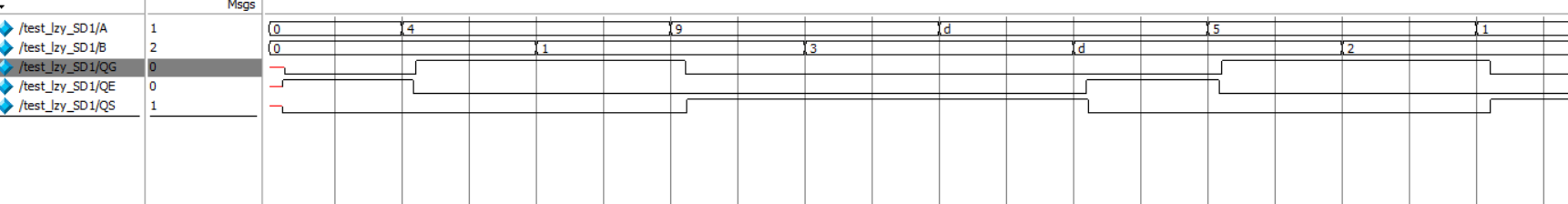
（5）综合后仿真截图



（6）布局布线引脚分配截图



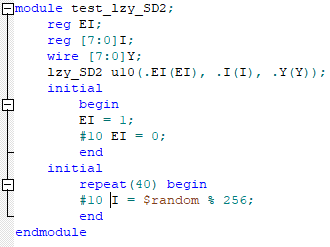
（7）布局布线后仿真截图



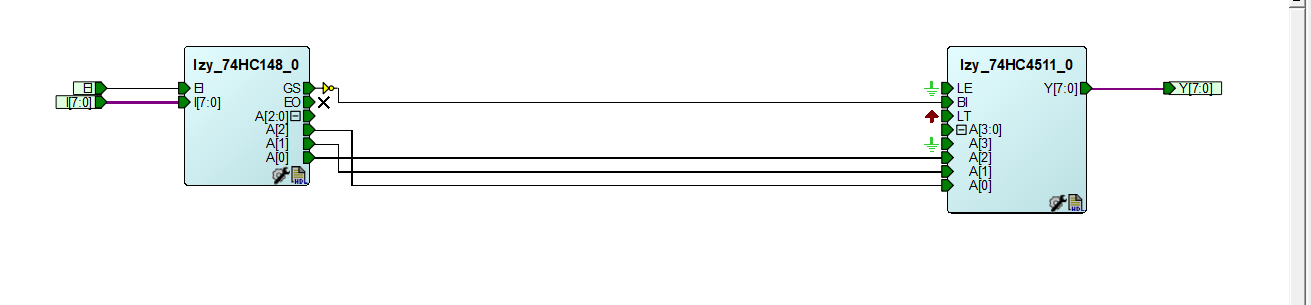
3、**编码器编码端口号显示电路**

（1）测试平台代码

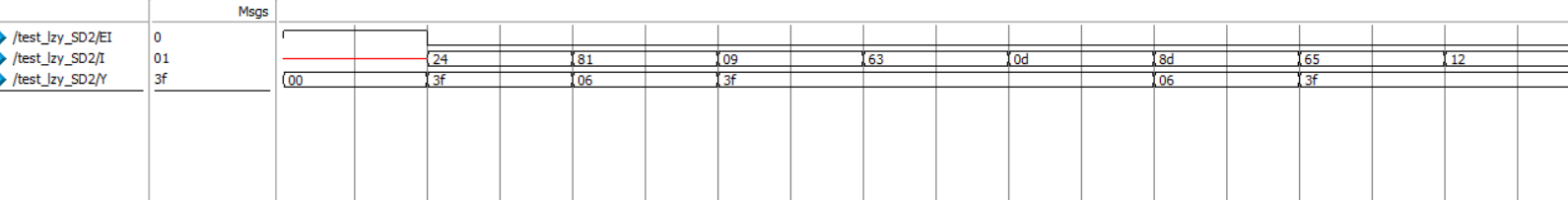
//编码器编码端口号显示电路测试平台代码



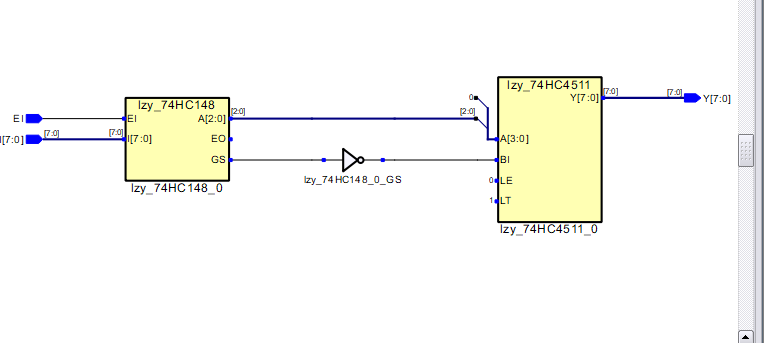
（2）将SmartDesign画布中的设计截图。



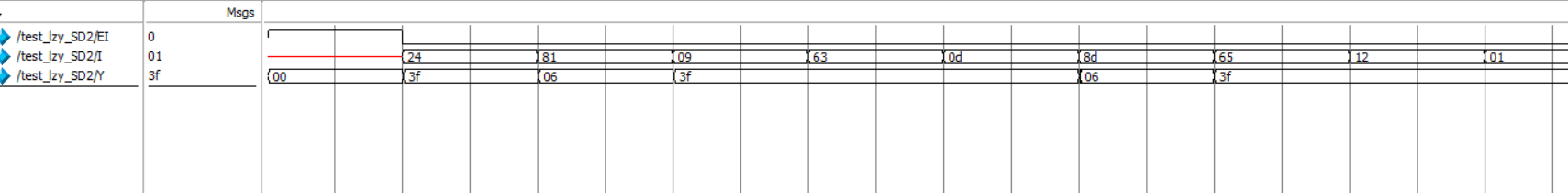
（3）综合前仿真截图



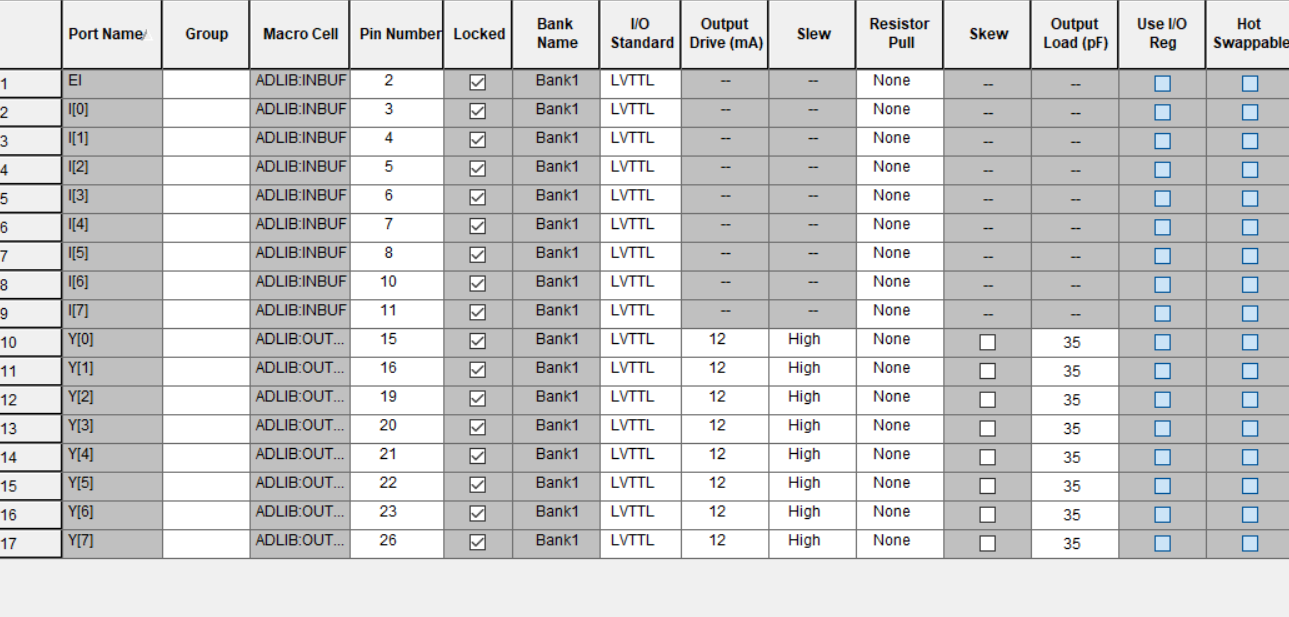
（4）综合截图



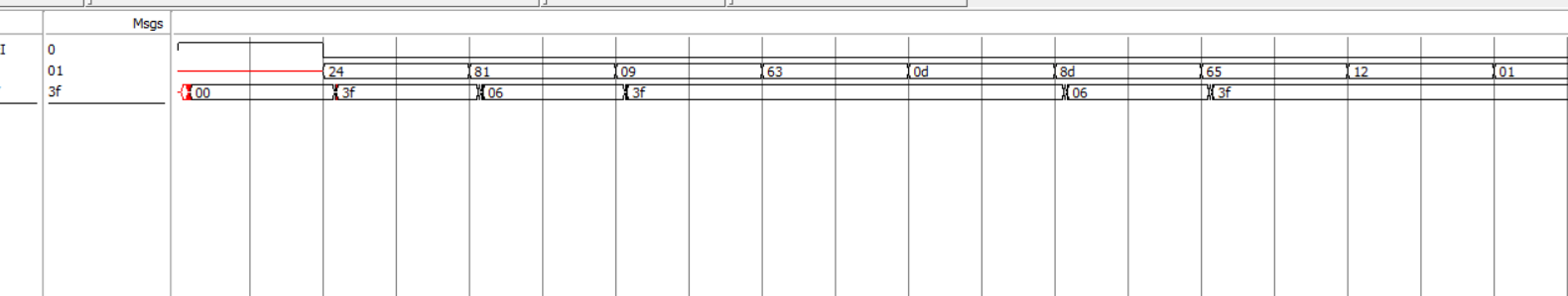
（5）综合后仿真截图



（6）布局布线引脚分配截图



（7）布局布线后仿真截图

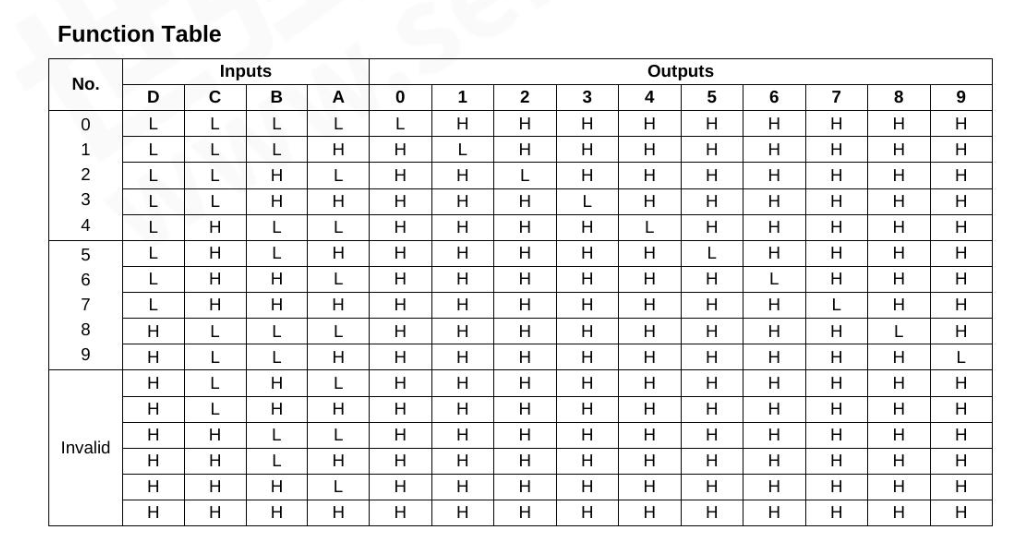


# 实验八基于EDA工具的数字逻辑实验——现代组合逻辑电路及考核（2学时）

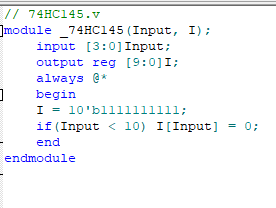
1-2.现代组合逻辑电路考核

## 现代组合逻辑电路考核

1、下图是芯片74HC145（4线——10线译码器）的功能表，请用VerilogHDL描述此模块。（给老师检查模块代码及综合结果）(40分)



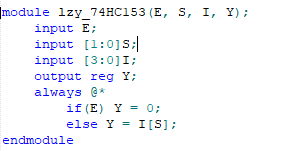
**模块代码：**



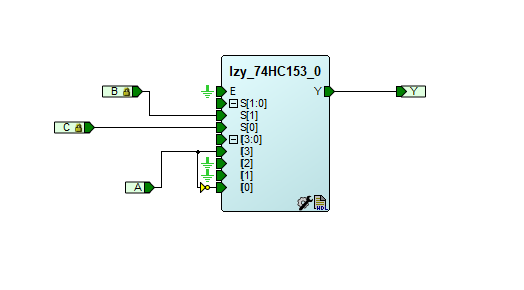
2、用SmartDesign设计以下电路，并设计该电路的测试平台模块，观察仿真后的结果，说明电路的功能。（给老师检查综合后的仿真）（60分）



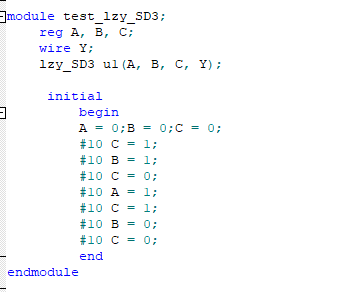
1. **74HC153模块代码：（模块名：例lxq\_74HC153）**

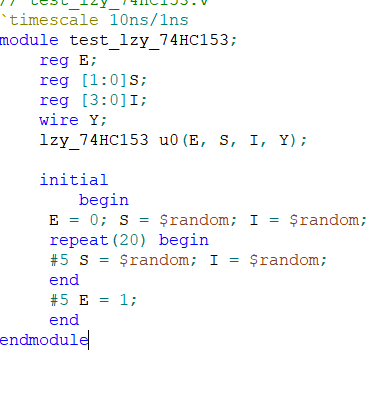


1. **SmartDesign截图：（命名例：lxq\_SD1）**

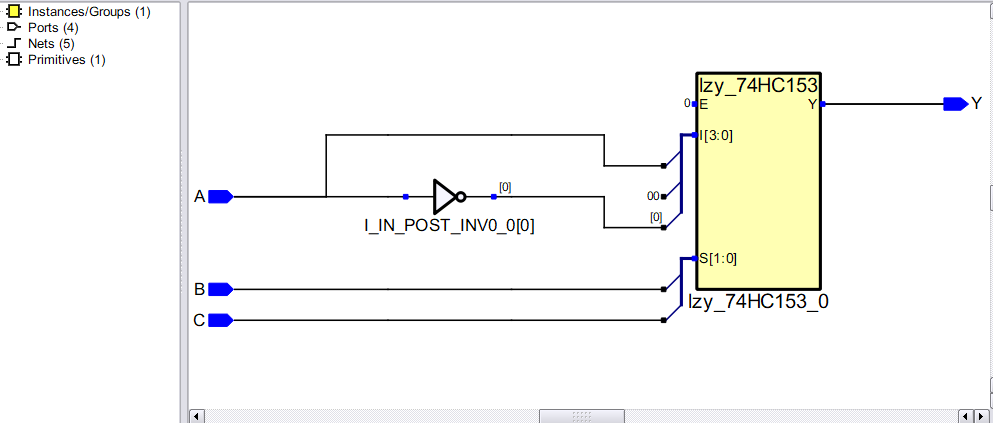


**(3) 74HC153测试平台代码：（测试名：例test\_lxq\_74HC153）**

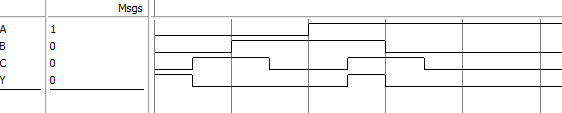




**(4) RTL综合截图：**



**(5) 综合后仿真截图：**



**(6) 根据仿真结果列出此电路的真值表：**

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 2 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

# 实验九基于EDA工具的数字逻辑实验——现代时序逻辑电路（3学时）

1. 用EDA设计仿真时序逻辑电路74HC74、74HC112并烧录验证

2-3. 用EDA设计仿真时序逻辑电路74HC194、74HC161烧录验证

## 时序逻辑电路

**一、实验目的**

1、了解基于Verilog的时序逻辑电路的设计及其验证。

2、熟悉利用EDA工具进行设计及仿真的流程。

3、熟悉实验箱的使用和程序下载（烧录）及测试的方法。

4、学习针对实际时序逻辑电路芯片74HC74、74HC112、74HC194、74HC161进行VerilogHDL设计的方法。

**二、实验环境及仪器**

1、Libero仿真软件。

2、数字逻辑与系统设计实验箱。

3、Actel A3P060 FPGA芯片及Flash Pro5烧录器。

**三、实验内容**

1、熟练掌握Libero软件的使用方法。

2、进行针对74系列时序逻辑电路的设计，并完成相应的仿真实验。

3、参考教材中相应章节的设计代码、测试平台代码（可自行编程），完成74HC74、74HC112、74HC161、74HC194相应的设计、综合及仿真。

4、提交针对74HC74、74HC112、74HC161、74HC194的综合结果，以及相应的仿真结果。

**四、实验步骤**

1、新建时序逻辑电路（Sequential Logic Circuit）工程文件，工程文件名（Project Name）：**J学号+下划线+SLC**

例：**J3121000001\_SLC**

2、新建一个设计代码文件（使用Creat HDL命令，建立Verilog Source File），文件名：**姓名首字母组合+下划线+slc**

例：**lxq\_slc**

3、新建一个测试平台文件（使用Create HDL testbench命令，建立HDL Stimulus File），文件命名：**test\_slc**

4、在设计代码文件中（**lxq\_slc**），设计各功能模块，包括74HC74、74HC112、74HC161、74HC194，各功能模块的命名要求如下：

74HC系列芯片：**lxq\_74HCxxx**

5、在测试平台文件中（**test\_slc**）中，设计每个功能模块的测试平台模块，各测试平台模块的命名要求如下：

74HC系列芯片**lxq\_74HCxxx**的测试平台：**test\_lxq\_74HCxxx**

（3）对上述功能模块进行功能仿真（综合前仿真）。

（4）对上述功能模块进行综合，并进行综合后仿真，观察最大的传输延迟，观察是否存在竞争冒险。

（5）对上述功能模块进行布局布线，并进行布局布线后的仿真，观察最大的传输延迟，观察是否存在竞争冒险。。

（6）烧录及接电测试。

（7）记录实验过程。

（8）保存工程文件。

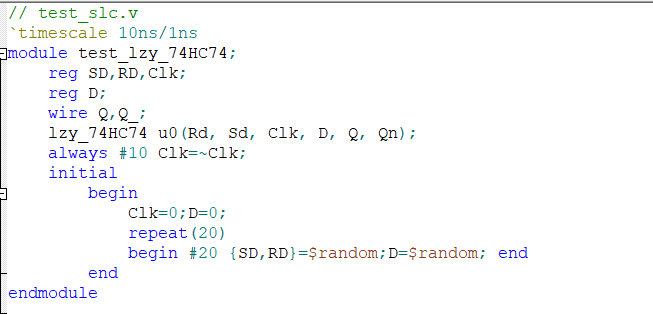
**五、实验结果和数据处理**

1、所有模块及测试平台代码清单

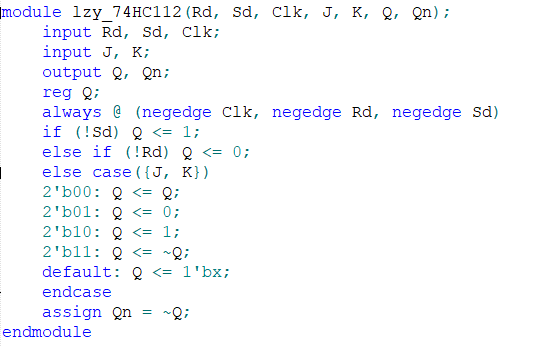
//74HC74代码



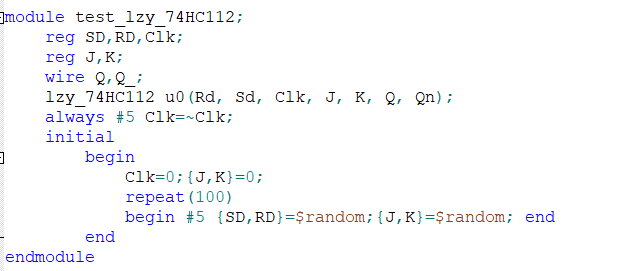
//74HC74测试平台代码



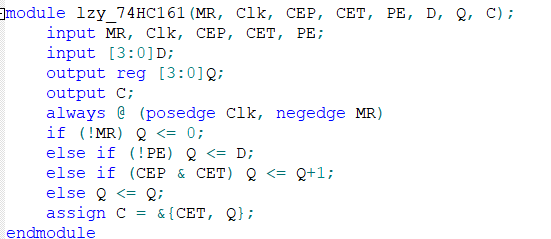
//74HC112代码



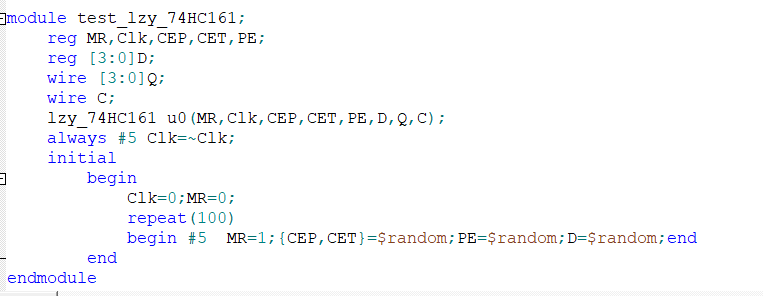
//74HC112测试平台代码



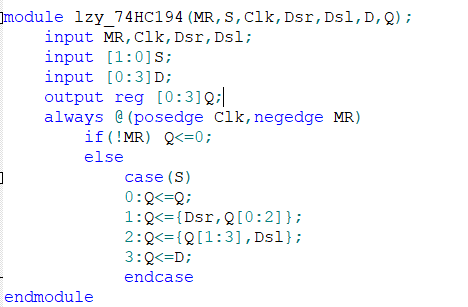
//74HC161代码



//74HC161测试平台代码



//74HC194代码

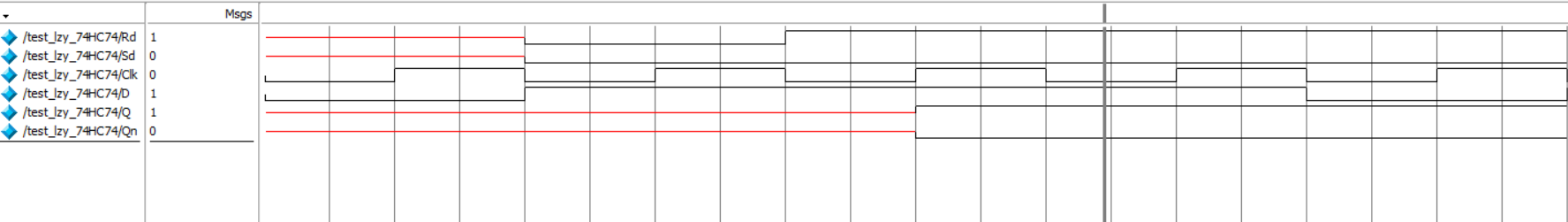


//74HC194测试平台代码

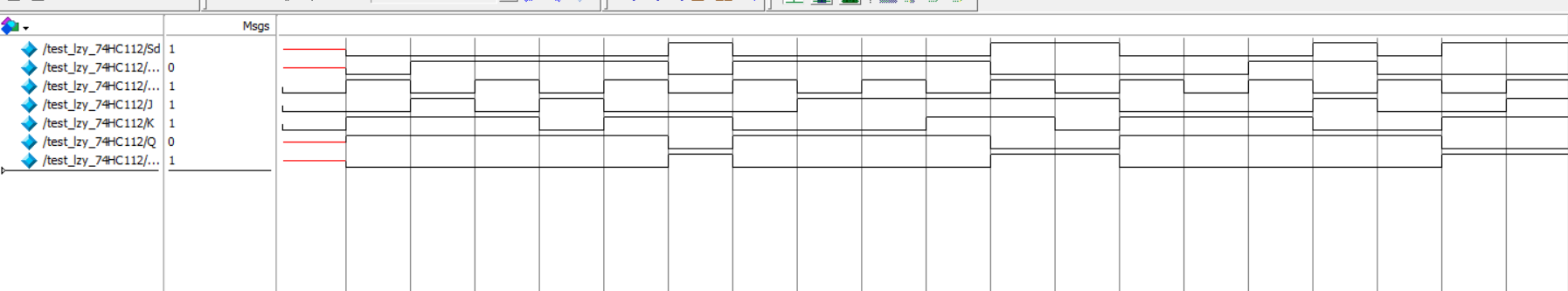


2、第一次仿真结果（**截图，注明对应的模块**）

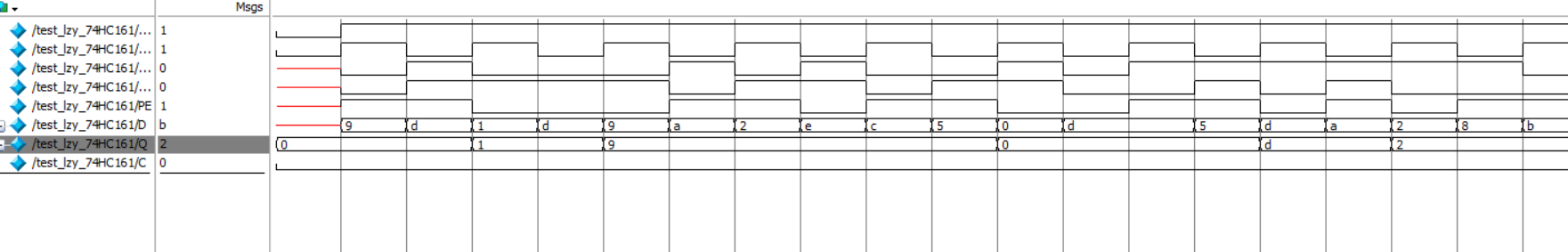
74HC74:



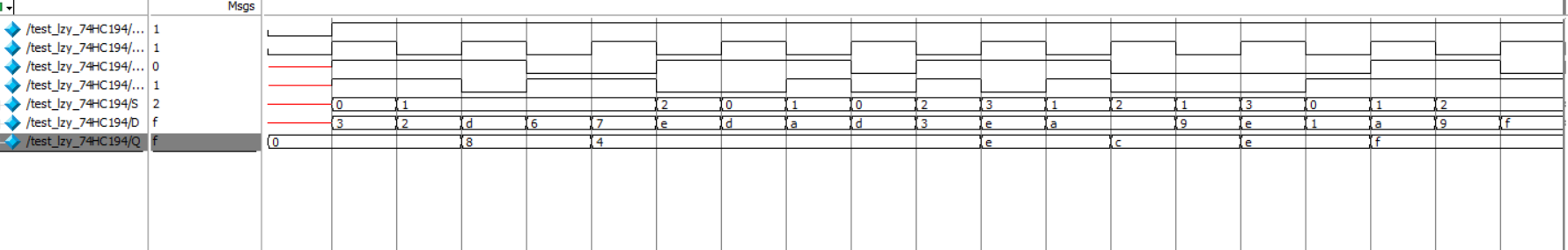
74HC112:



74HC161:

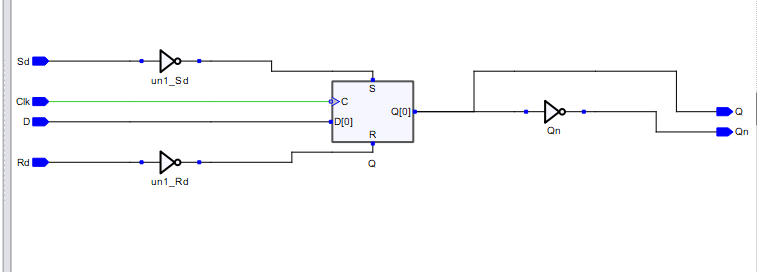


74HC194:

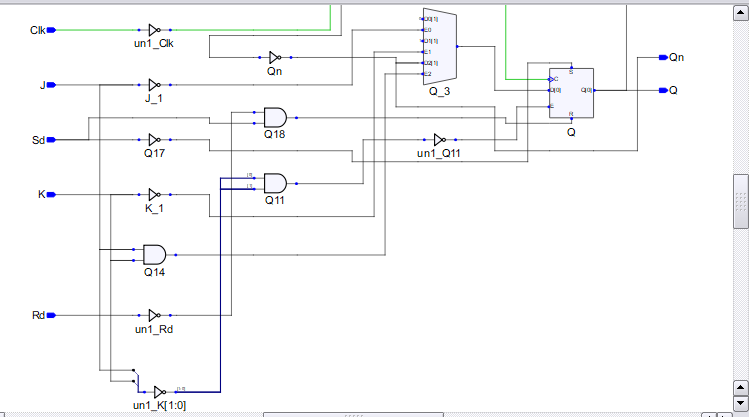


3、综合结果（**截图，注明对应的模块**）

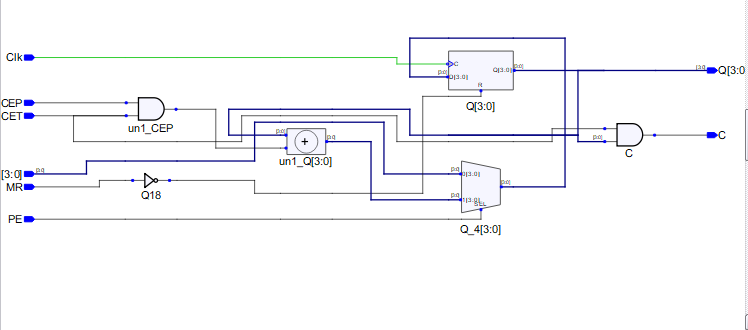
74HC74:



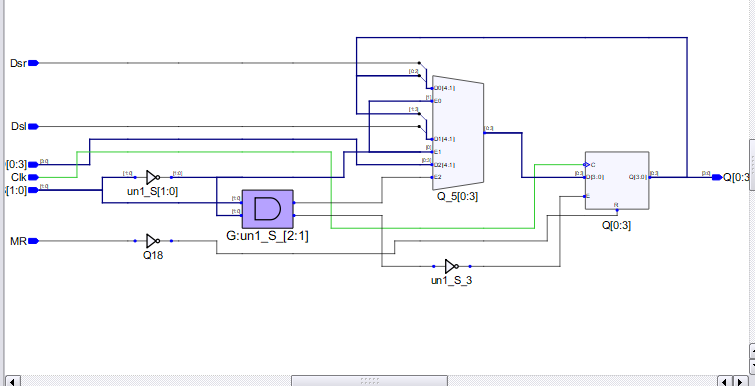
74HC112:



74HC161:

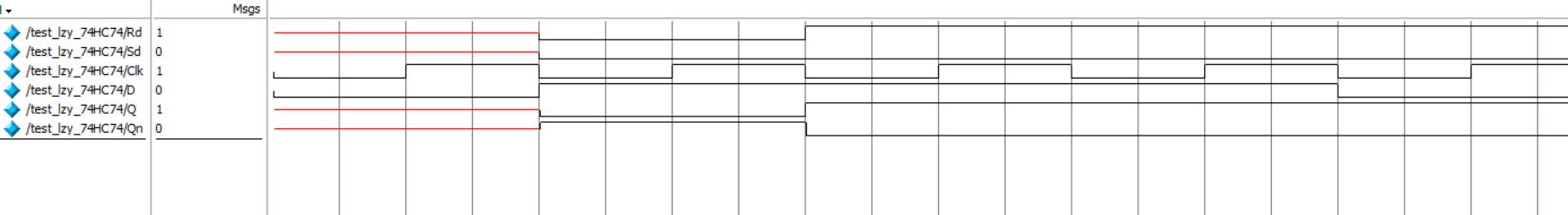


74HC194:

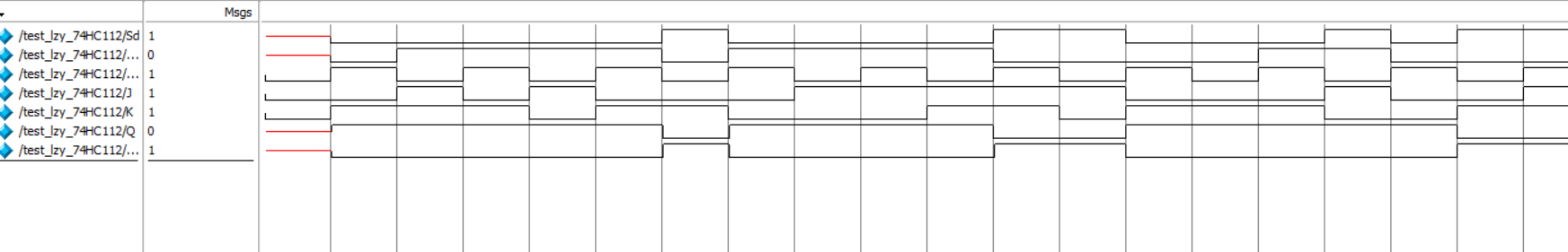


4、第二次仿真结果（综合后）（**截图，注明对应的模块**）。

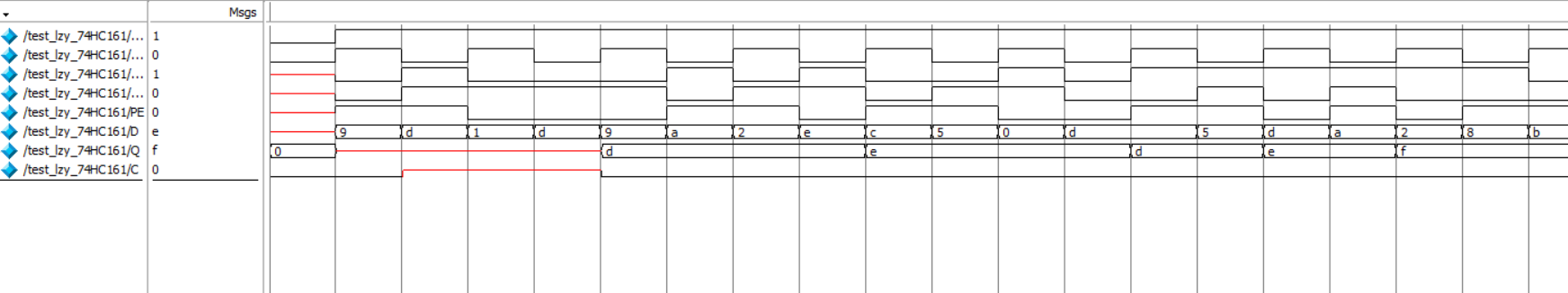
74HC74:



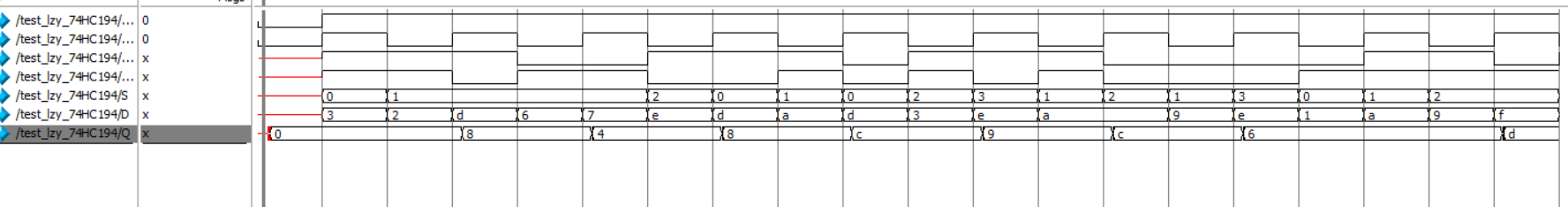
74HC112:



74HC161:

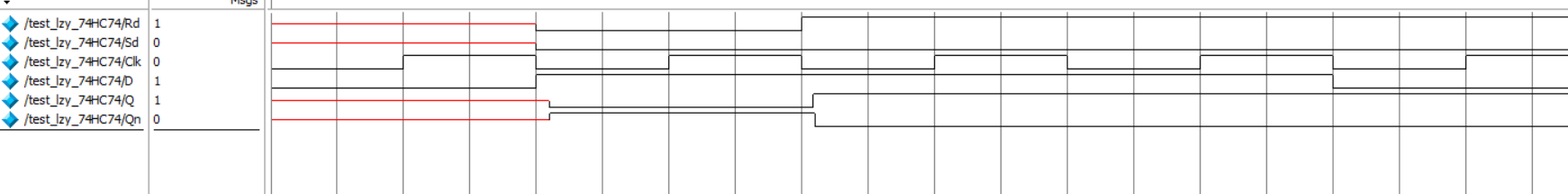


74HC194:

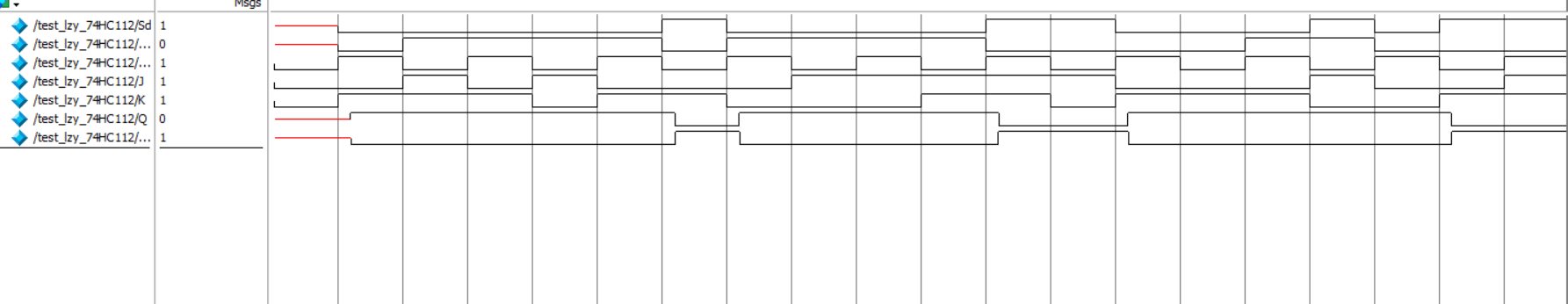


5、第三次仿真结果（布局布线后）（**截图，注明对应的模块**）。

74HC74:



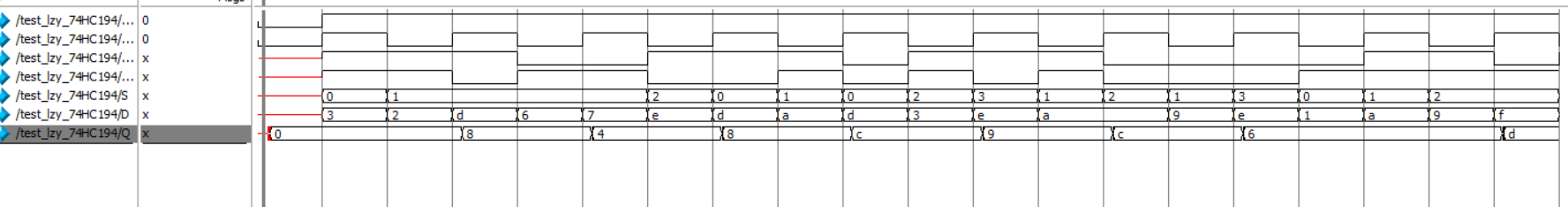
74HC112:



74HC161:



74HC194:



# 实验十基于EDA工具的数字逻辑实验——现代时序逻辑电路（2学时）

1. 序列检测电路状态机的设计、综合、仿真及烧录测试

2.自动售货机控制电路的设计、综合、仿真及烧录测试

## 有限状态机实验

**一、实验目的**

1、进一步熟悉利用EDA工具进行设计及仿真的流程。

2、熟悉利用EDA工具中的图形化设计界面进行综合设计。

3、熟悉芯片烧录的流程及步骤。

4、掌握分析问题、解决问题的综合能力，通过EDA工具设计出能解决实际问题的电路。

**二、实验环境**

1、Libero仿真软件。

2、数字逻辑与系统设计实验箱。

3、Actel A3P060 FPGA芯片及Flash Pro5烧录器。

**三、实验内容**

完成以下状态机实验，并按要求完成实验报告。

1、状态机实验1——序列检测电路状态机的设计、综合、仿真及烧录测试。设计一个串行数据检测电路，要求：当连续输入的 3 个数为下列序列之一时，输出1，否则输出0。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 序1列 | 001 | 010 | 011 | 100 | 101 | 110 |
| 小组号 | 1,7 | 2,8 | 3,9 | 4,10 | 5,11 | 6,12 |

注：各小组根据自己的组号完成对应的序列检测。

2、状态机实验2——利用状态机实现一个简单自动售货机控制电路。该电路可接受1元和5角硬币，商品2元一件，可找零。输入信号In[0]表示投入5角，In[1]表示投入1元，D\_out表示是否提供货品，C表示是否找零。用Moore型状态机实现。

**四、实验步骤**

1、打开实验九的工程文件（**J3121000001\_SLC**）

2、新建设计代码文件（文件名**lxq\_FSM**）

（1）设计序列检测电路功能模块（模块名**lxq\_fsm\_xxx**）

（2）设计自动售货机控制电路模块（模块名**lxq\_VM**）

3、新建测试平台代码文件（文件名**test\_FSM**）

（1）设计序列检测电路测试平台模块（模块名**test\_lxq\_fsm\_xxx**）

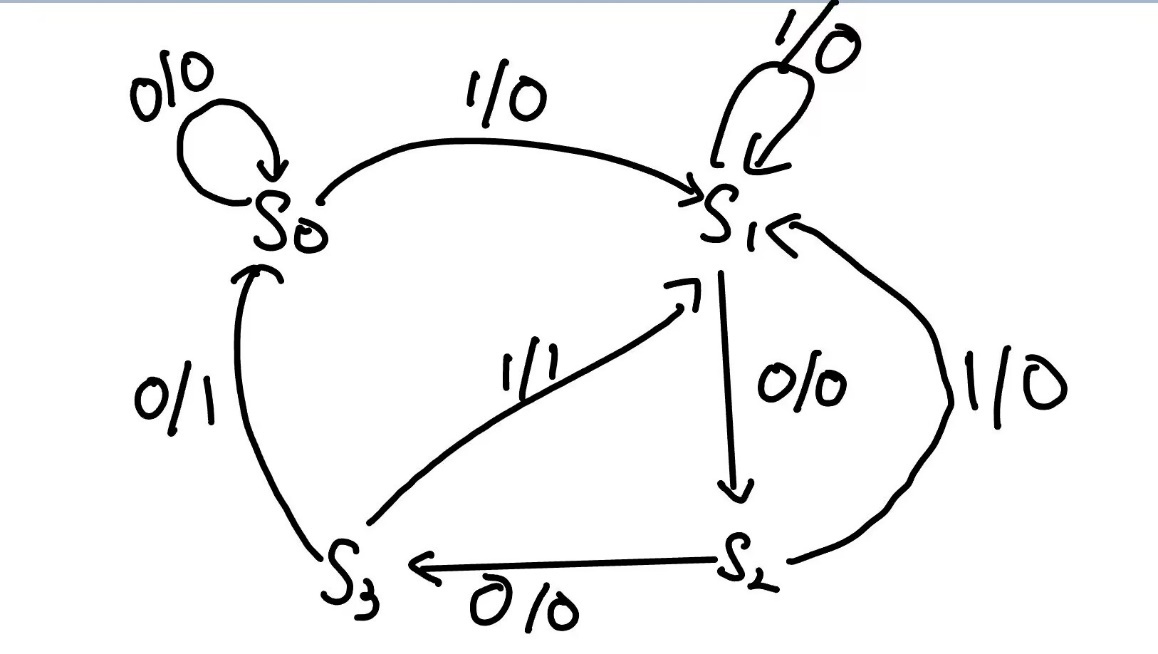
（2）设计自动售货机控制电路测试平台模块（模块名**lxq\_VM**）

4、对上述两个电路分别进行功能仿真🡪综合🡪综合后仿真🡪布局布线🡪布局布线后仿真🡪烧录🡪烧录后测试。

**五、实验结果和数据处理**

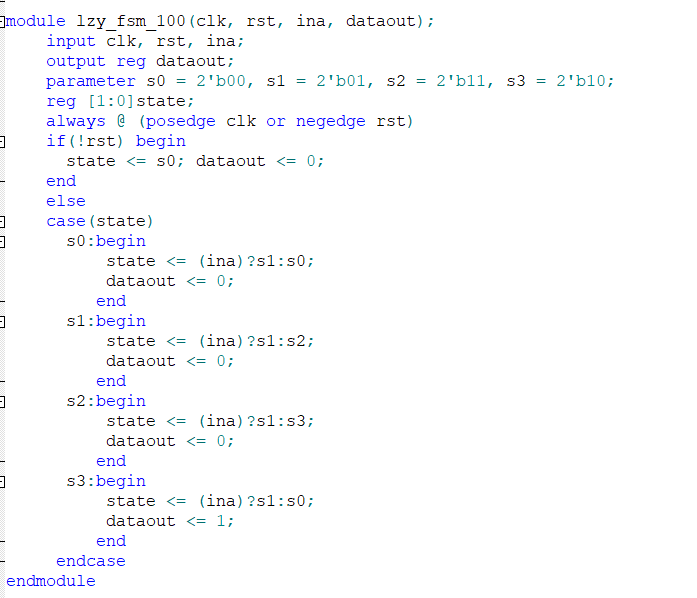
1、状态机实验1记录以下内容。

（1）状态图（检测XXX序列）

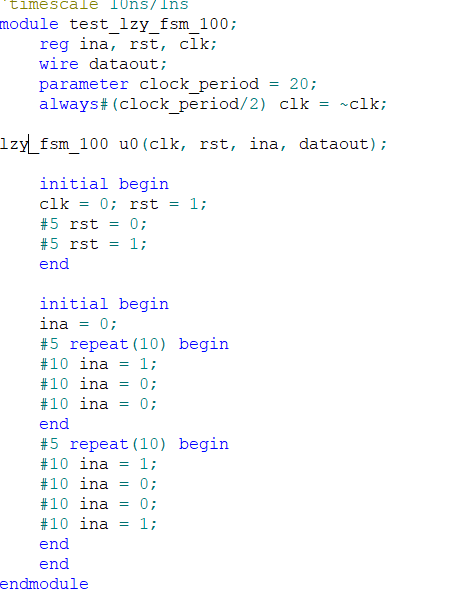


（2）代码

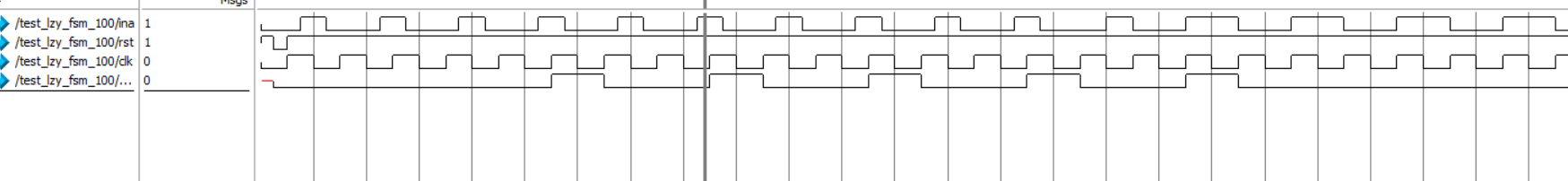
//序列检测电路（检测XXX序列）代码



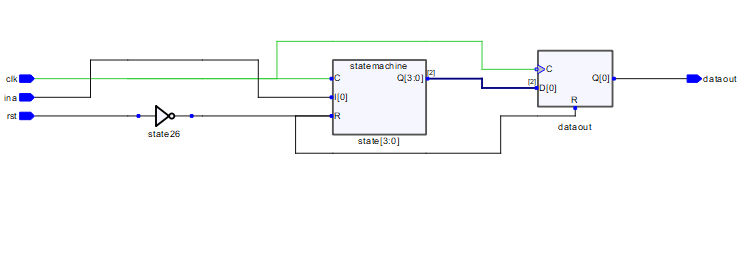
//序列检测电路（检测XXX序列）测试平台代码



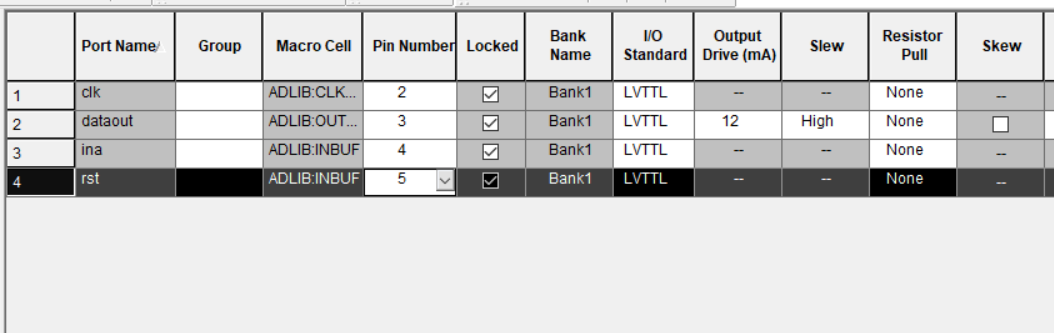
（3）功能仿真波形图



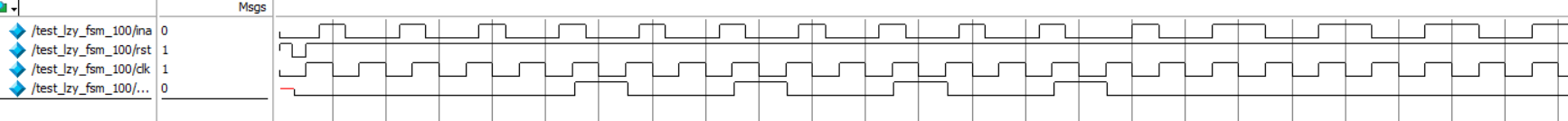
（4）综合结果RTL图



（5）引脚分配I/O Attribute Editor截图



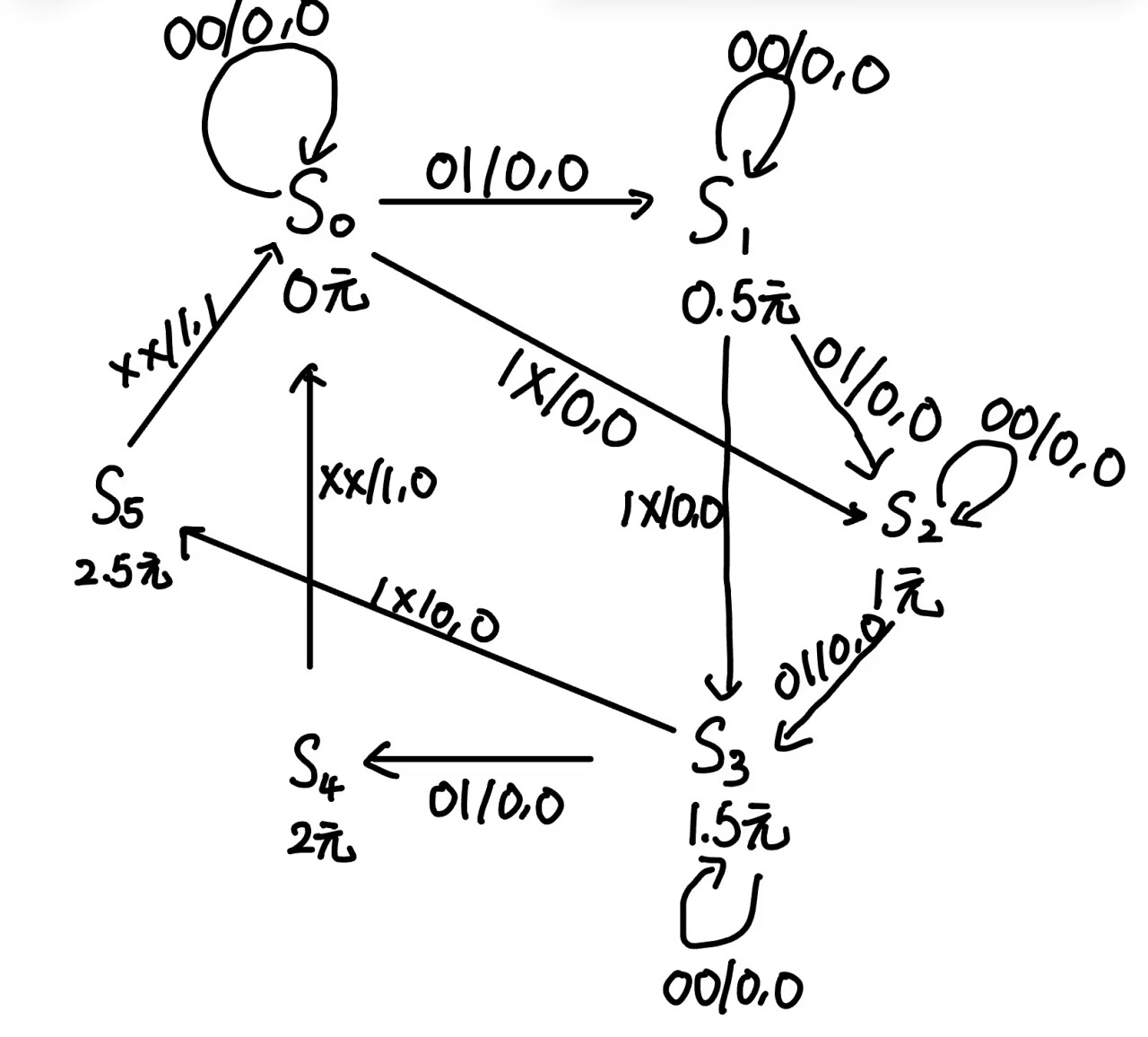
（6）布局布线后仿真波形



完成后烧录给老师检查。

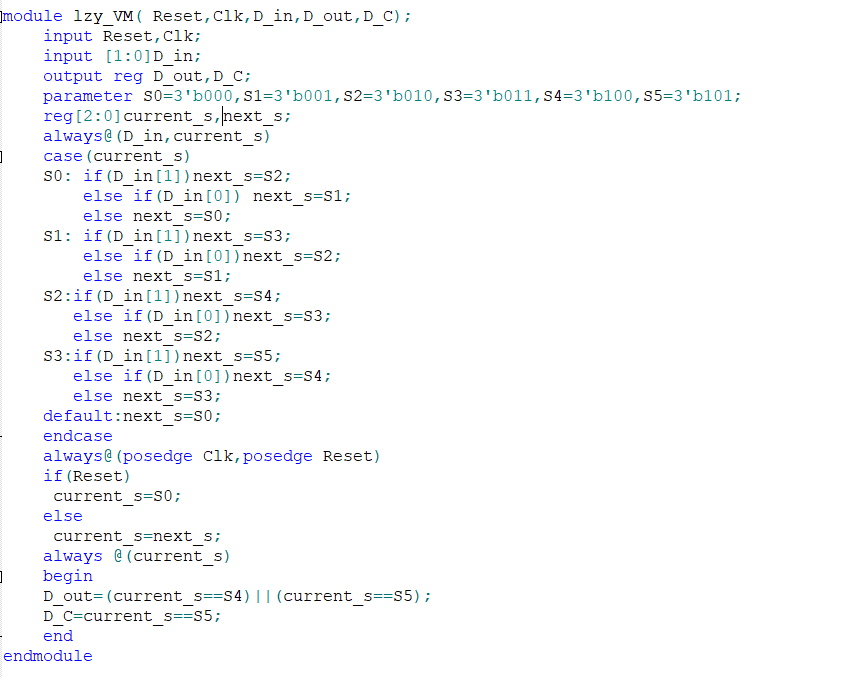
2、状态机实验2记录以下内容。

（1）状态图（自动售货机控制电路）

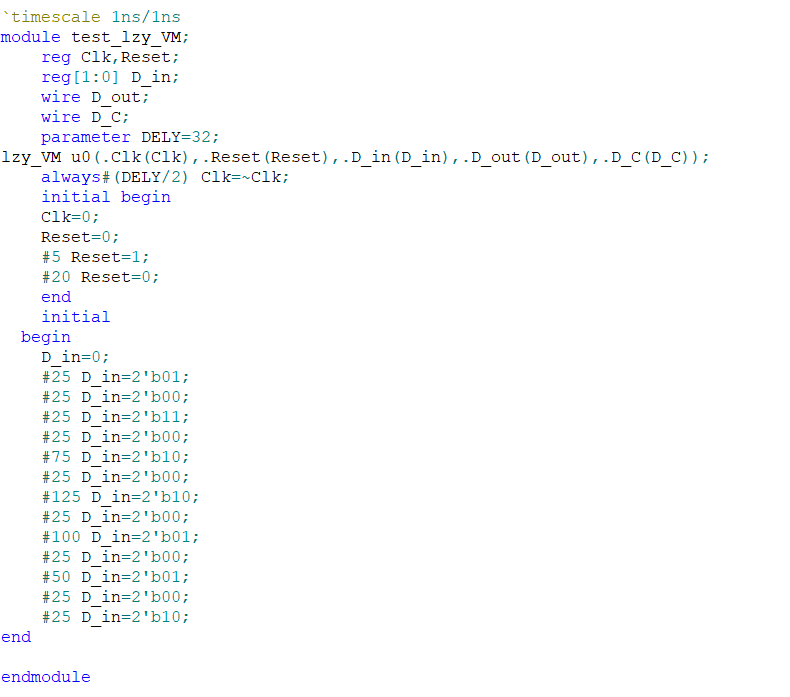


（2）代码

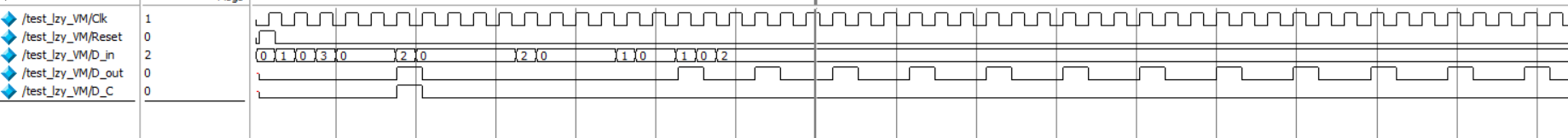
//自动售货机电路代码



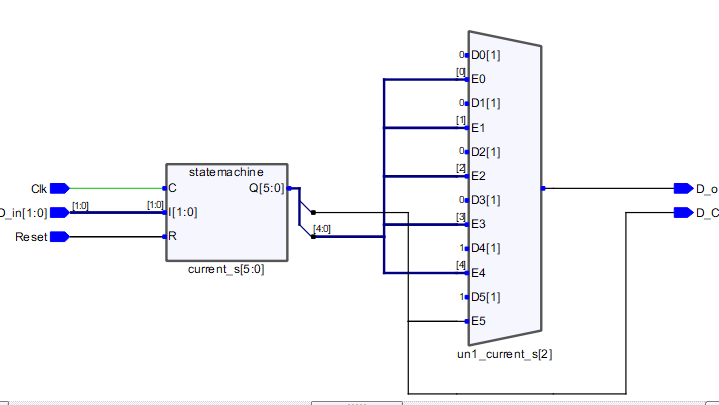
//自动售货机电路测试平台代码



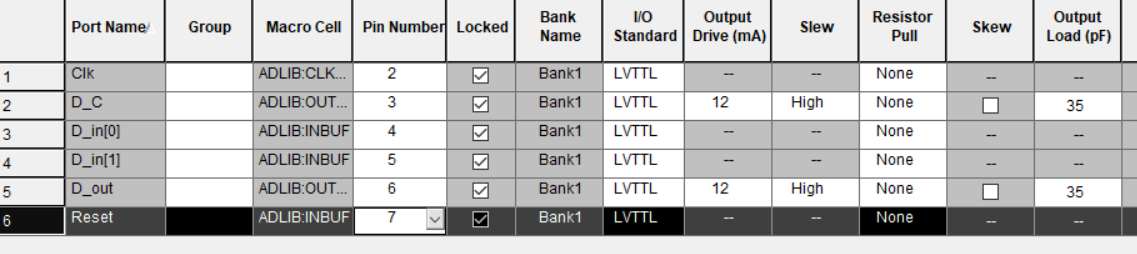
（3）功能仿真波形图



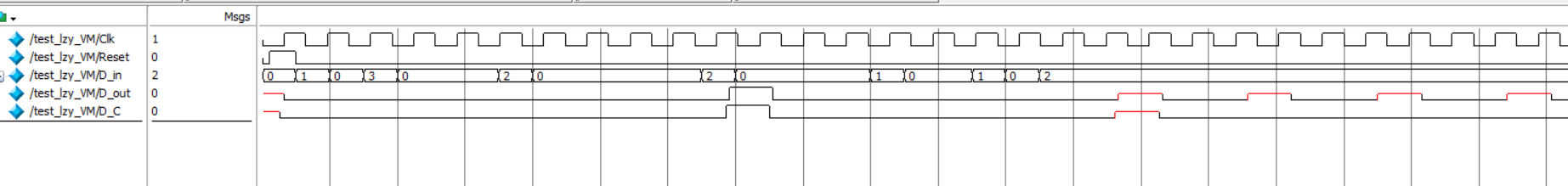
（4）综合结果RTL图



（5）引脚分配I/O Attribute Editor截图



（6）布局布线后仿真波形



完成后烧录给老师检查。

# 实验十一基于EDA工具的数字逻辑实验——时序逻辑电路综合实验（3学时）

1-3. 现代时序逻辑电路综合实验

## 时序逻辑电路综合

**一、实验目的**

1、进一步熟悉利用EDA工具进行设计及仿真的流程。

2、熟悉利用EDA工具中的图形化设计界面进行综合设计。

3、熟悉芯片烧录的流程及步骤。

4、掌握分析问题、解决问题的综合能力，通过EDA工具设计出能解决实际问题的电路。

**二、实验环境**

1、Libero仿真软件。

2、数字逻辑与系统设计实验箱。

3、Actel A3P060 FPGA芯片及Flash Pro5烧录器。

**三、实验内容**

使用SmartDesign工具，完成以下2个综合实验，并按要求完成实验报告。

1、使用SmartDesign工具进行设计，要求如下：

使用已设计的74HC138、74HC4511模块，及IP核中Basic Blocks库中的计数器模块（counter）（如无此模块，可自行设计一个带异步清零端的2位二进制加法计数器），在SmartDesign画布中设计下图框中的模块。



**2、学号显示电路**

在以上第1题设计的基础上，增加一个4\*4的寄存器（4组，每组4位），寄存器有2位地址输入端，4位数据输出端。4\*4寄存器的存储内容可以直接写入个人学号末四位，寄存器的输出值由2位地址输入信号决定。

将寄存器组加入到第1题的设计中，使得在时钟脉冲的控制下，4位显示器依次输出学号末四位。

**四、实验步骤**

1、打开实验九的工程文件（**J3121000001\_SLC**）

2、新建SmartDesign进行上述2题的设计，上述2题的SmartDesign设计分别命名为**lxq\_SSD1**、**lxq\_SSD2**。

3、设计上述2题的测试平台模块，模块名为**test\_lxq\_SLC**

注：两题的测试平台代码基本相同，只是调用的模块不同，可同时写两个调用语句，运行时，将非测试的模块调用语句注释。

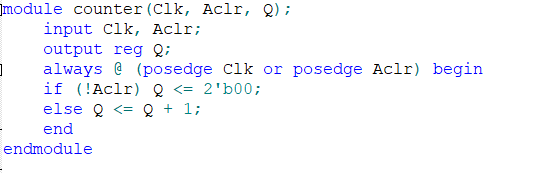
4、对上述两个电路分别进行功能仿真🡪综合🡪综合后仿真🡪布局布线🡪烧录🡪烧录后测试。

**五、实验结果和数据处理**

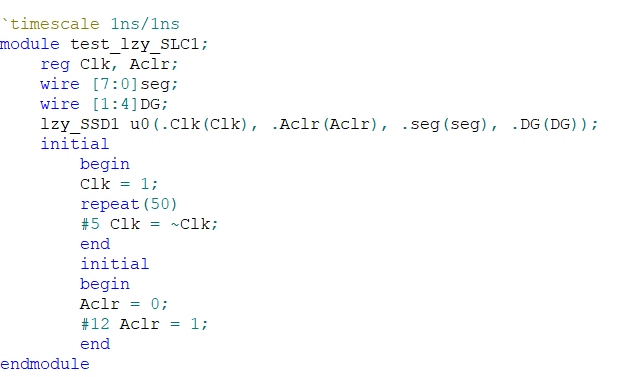
1、第1题的实验记录

（1）所有代码清单

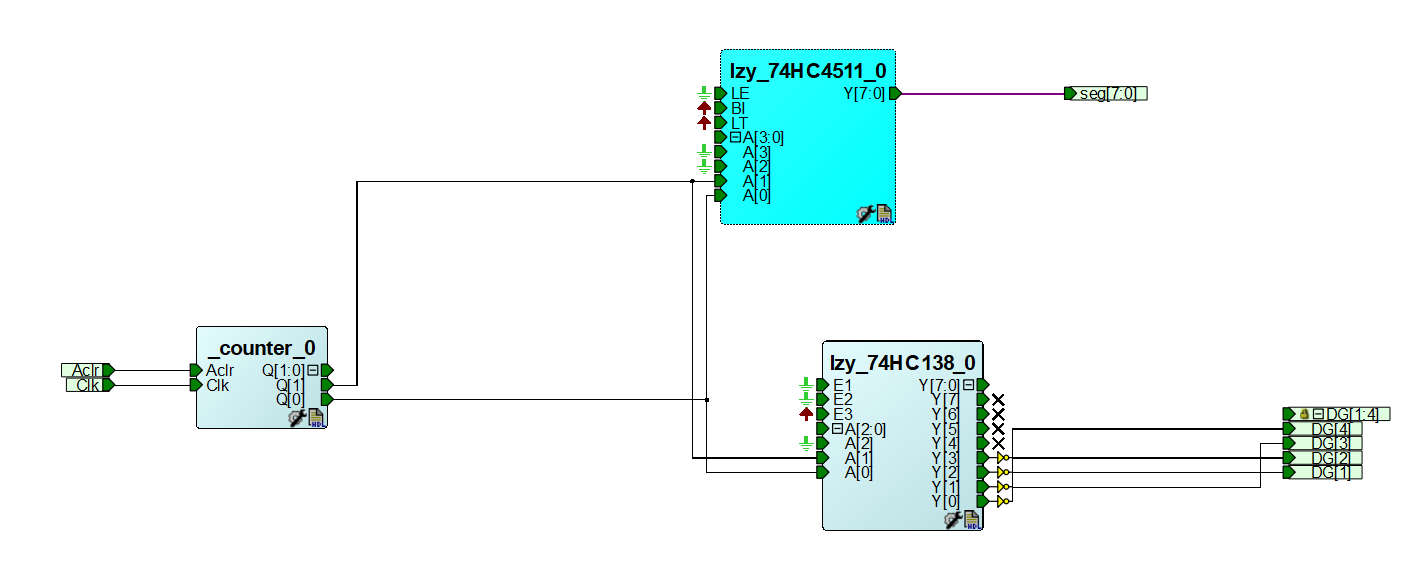
//counter



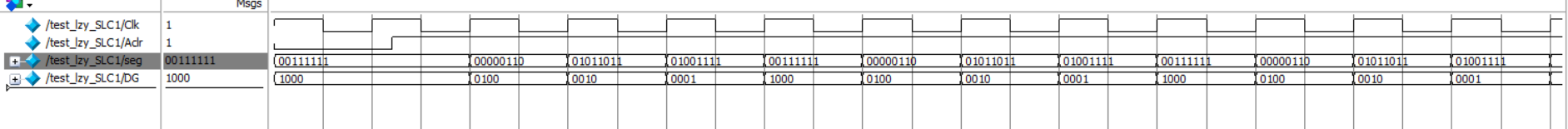
//测试平台代码



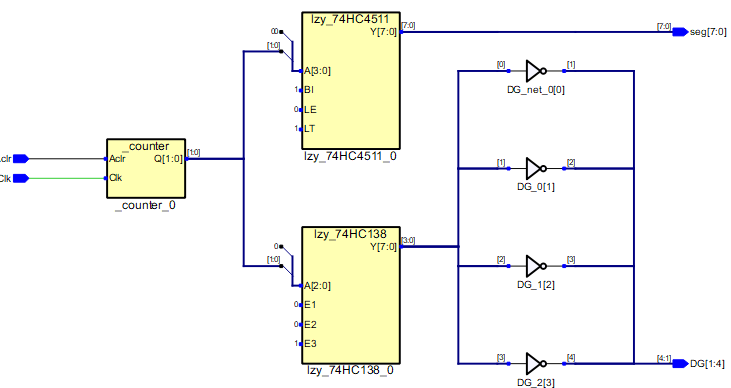
（2）将SmartDesign画布中的设计截图



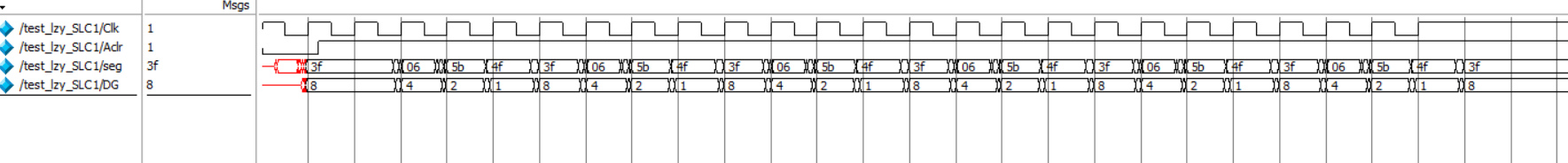
（3）综合前仿真截图



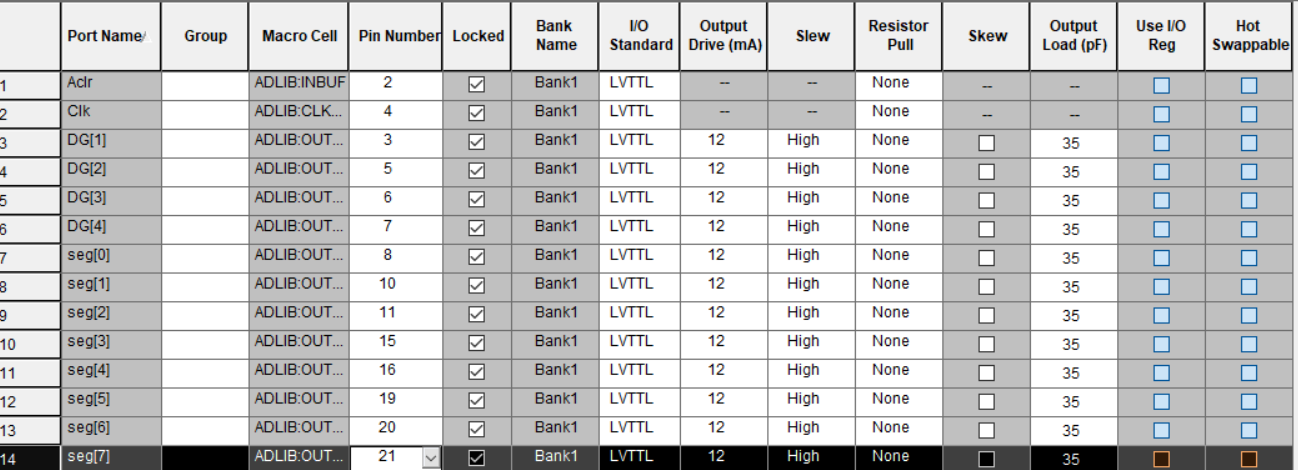
（4）综合RTL截图



（5）综合后仿真截图



（6）布局布线引脚分配截图

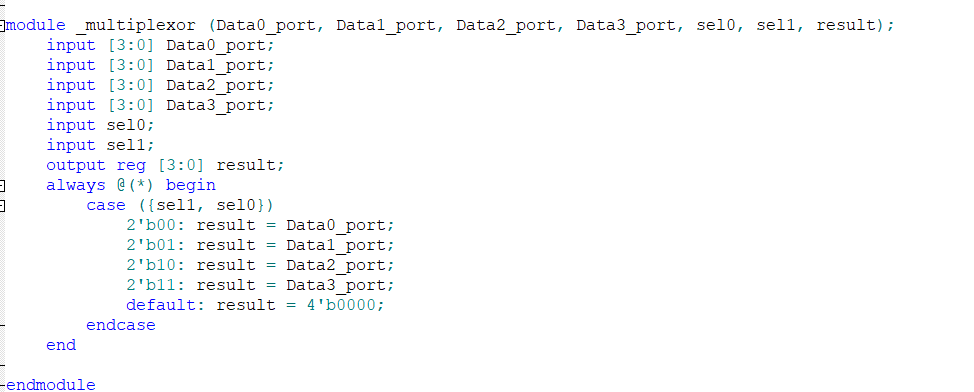


烧录后给老师检查。

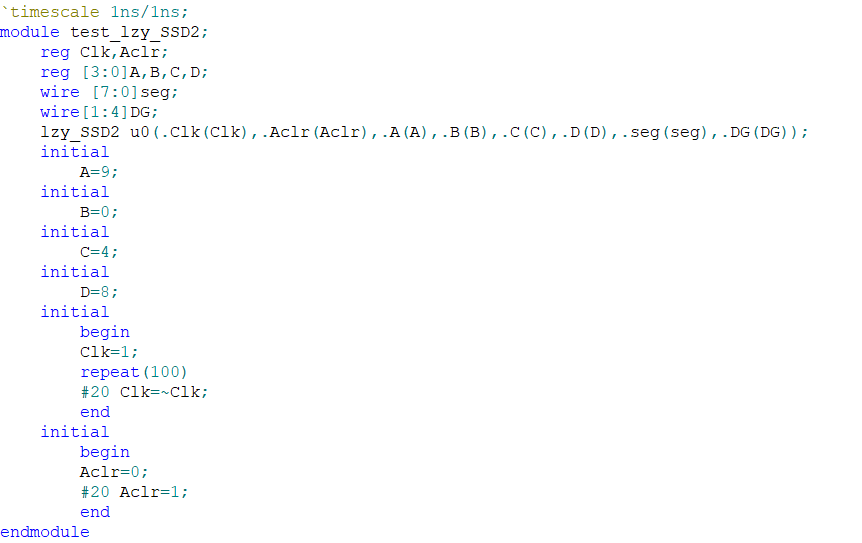
2、第2题的实验记录

（1）所有代码清单

//4\*4的寄存器代码



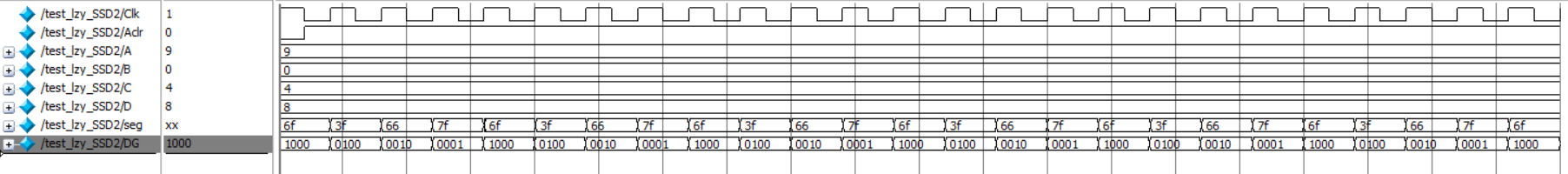
//测试平台代码



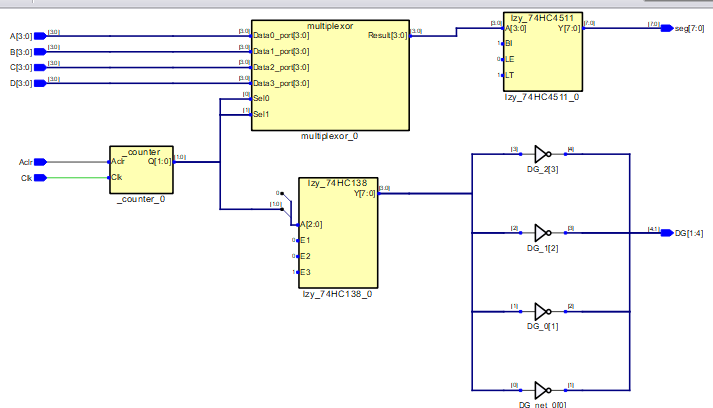
（2）将SmartDesign画布中的设计截图



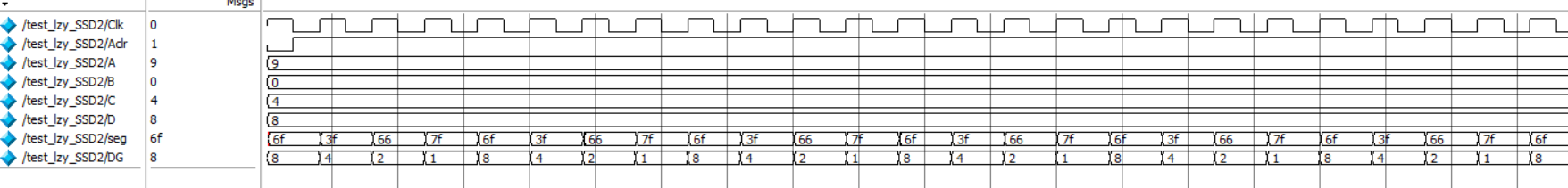
（3）综合前仿真截图



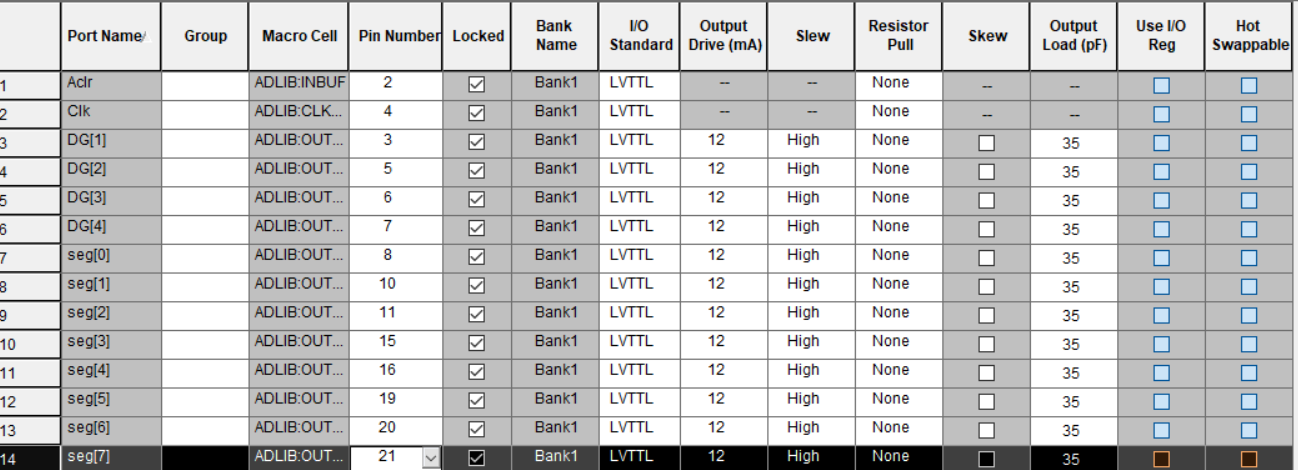
（4）综合RTL截图



（5）综合后仿真截图



（6）布局布线引脚分配截图



烧录后给老师检查。

# 实验十二基于EDA工具的数字逻辑实验——现代时序逻辑电路考核（2学时）

1-2.现代组合逻辑电路考核

## 现代组合逻辑电路考核

实验步骤：

1、新建实验十二的工程文件（例：**J3121000889\_test3**）

2、新建设计模块代码文件（例：文件名**lxq\_FSM1**）

（1）设计74HC165芯片功能模块（例：模块名**lxq\_74HC165**）

（2）设计自动售货机控制电路模块（例：模块名**lxq\_VM1**）

3、新建测试平台代码文件（例：文件名**test\_FSM1**）

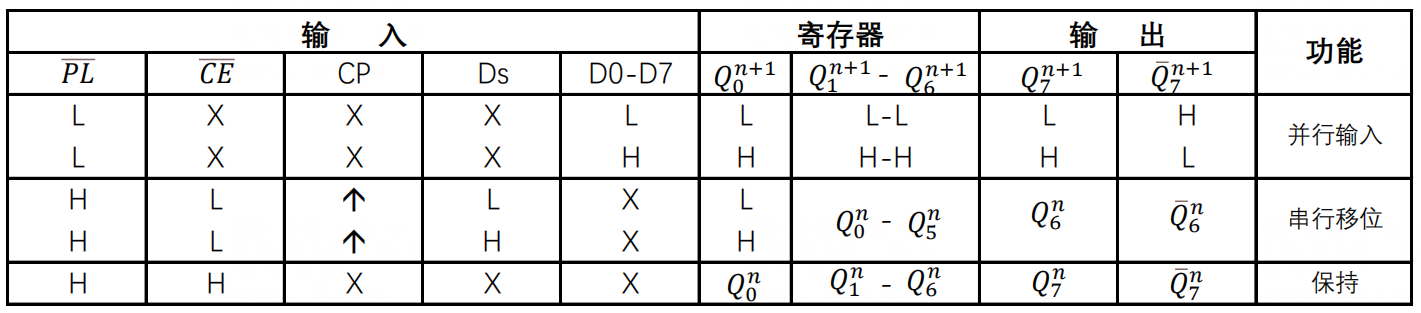
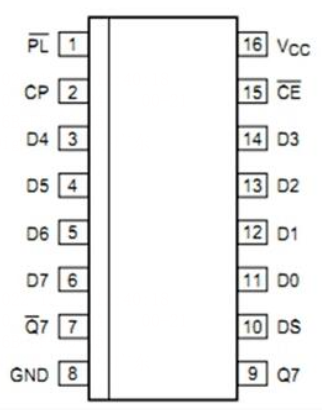
（1）设计74HC165芯片功能测试平台模块（例：模块名**test\_lxq\_74HC165**）

（2）设计自动售货机控制电路测试平台模块（例：模块名**test\_lxq\_VM1**）

## 测试题1：

1. **实验内容：**

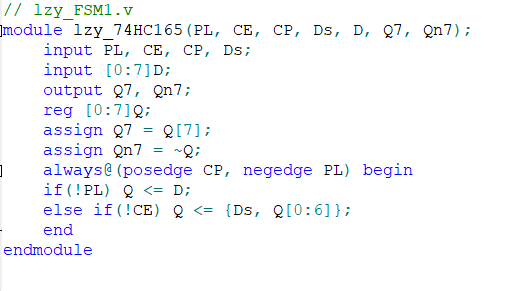
下图是芯片74HC165的引脚图以及功能表，请用Verilog HDL描述此模块。（给老师检查模块代码及综合后的仿真）



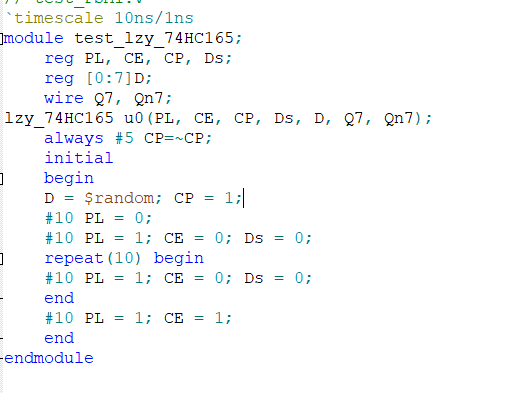
**二、实验结果和数据处理：**

1、实验记录

（1）74HC165模块代码



（2）74HC165测试平台代码



## 测试题2：

**一、实验内容：**

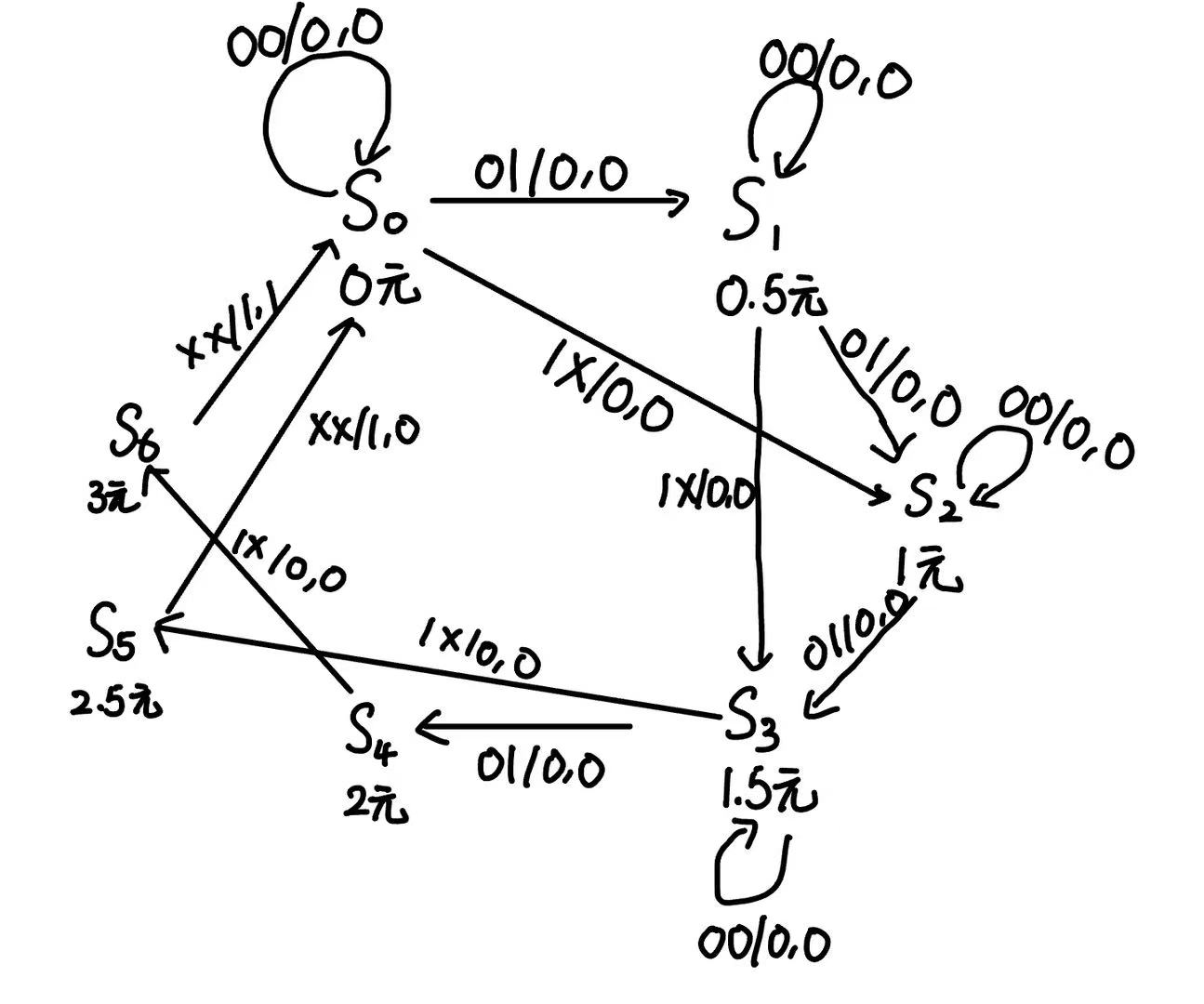
利用状态机实现一个简单自动售货机控制电路。该自动售货机有1个投币口，电路可接受5角元和1元硬币，商品2.5元一件，当累计投入的货币额到达2.5元一件时，自动售货机输出商品，当累计投入的货币额超过2.5元时，自动售货机输出商品并找零。输入信号D\_in[0]表示投入5角，D\_in[1]表示投入1元，D\_out表示是否提供货品，C表示是否找零。电路的输入输出端口如下图所示，请用Moore型状态机实现。（给老师检查模块代码及综合后的仿真）

图示, 日程表

描述已自动生成

**二、实验结果和数据处理：**

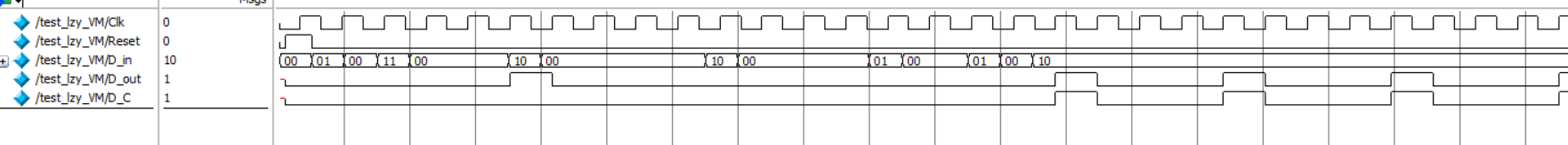
（1）状态图（自动售货机控制电路）



（2）自动售货机电路模块代码（状态机各状态按独热码编码）



（3）综合前仿真截图



（4）综合RTL View截图

