

诚信考试，诚信做人。

学 院： _____ 专 业： _____ 班 级 _____ 学 号： _____ 姓 名： _____

装 订 线

广东工业大学考试试卷（A）

2022 — 2023 学年度第 一 学期

课程名称： 数字逻辑与 EDA 设计 学分 2.5 试卷满分 100 分

考试形式： 开卷

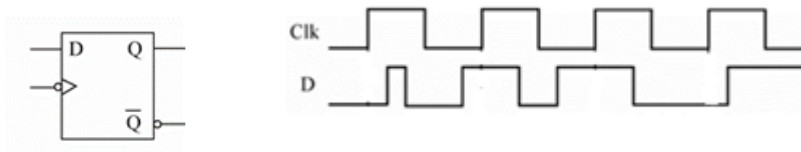
题 号	一	二	三	四	五	六	七	八	九	十	总分
评卷得分											
评卷签名											
复核得分											
复核签名											

一、逻辑分析题（共 30 分。答案直接写在试卷空白处。）

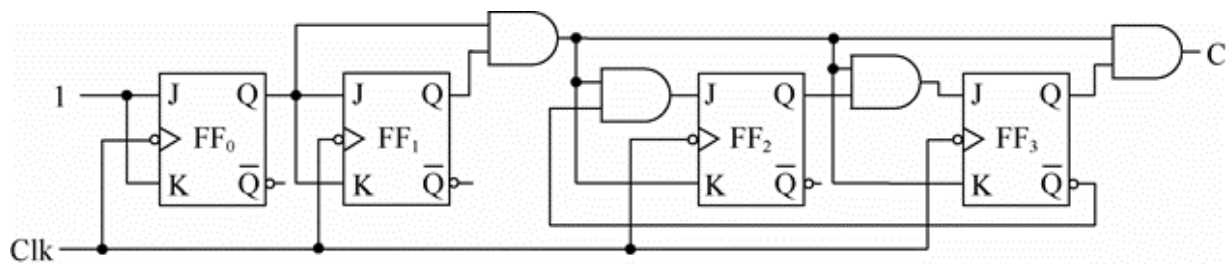
1、用卡诺图化简并写出如下逻辑函数的最简与或表达式

$Y=F(A_3,A_2,A_1,A_0)=\sum m(0,1,6,7,8,9,14,15)$ （7 分）

2、给定如图所示 D 触发器的时钟 Clk 及输入信号 D 的波形图，画出输出 Q 与 \bar{Q} 的波形。（8 分）



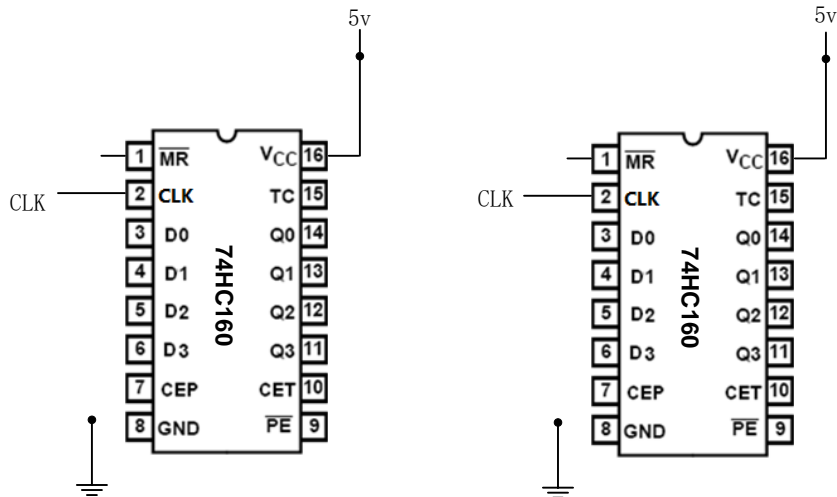
3、给定图示时序逻辑电路，写出驱动方程、状态方程及输出方程，并画出状态转换表（15 分）



二、逻辑设计题（共 30 分，2 个小题）

1、设计一个 5 人无弃权表决电路（多数赞成则提案通过）。（15 分，画出解决方案的卡诺图即可。）

2、利用 2 片 74HC160 以置位法（通过控制 \overline{PE} 实现）设计一个 99 进制计数器。74HC160 芯片功能参考所附说明。在下图完成所有必要连线，并论述设计过程。（15 分）



4 位二进制同步计数器 74HC160 功能表

输入端						输出端		功能说明
\overline{MR}	CP	CEP	CET	\overline{PE}	D_3	Q_3	TC	
L	×	×	×	×	×	L	L	复位
H	↑	×	×	L	L	L	L	并行装载
H	↑	×	×	L	H	H	*	
H	↑	H	H	H	×	Count	*	计数
H	×	L	×	H	×	Q_3	*	保持
H	×	×	L	H	×	Q_0	L	保持

*注: $TC = CET \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$

三、EDA 编程设计题 (共 40 分 , 3 个小题)

1、给定异或门电路的 VerilogHDL 代码如下:

```
module gates(a,b,y);  
    input a,b;  
    output y;  
    assign y=a^b;  
endmodule
```

对应测试平台的 VerilogHDL 代码如下:

```
`timescale 1ns/1ns  
module testbench( );  
    reg a,b;  
    wire y;  
    gates test_gates(a,b,y);  
    initial  
    begin  
        a=0;b=0;  
        #10 a=1;  
        #10 b=1;  
        #10 a=0;  
        #10;  
    end endmodule
```

根据以上代码, 画出输入输出的波形图。(5 分)

2、给定如下扩展型 74HC4511 的功能表，利用 VerilogHDL 设计其实现代码（15 分）

输入							输出							显示字符
\overline{LE}	BI	LT	D	C	B	A	a	b	c	d	e	f	g	
x	x	H	x	x	x	x	H	H	H	H	H	H	H	8
x	H	L	x	x	x	x	L	L	L	L	L	L	L	无显示
H	L	L	L	L	L	L	H	H	H	H	H	H	L	0
H	L	L	L	L	L	H	L	H	H	L	L	L	L	1
H	L	L	L	L	H	L	H	H	L	H	H	L	H	2
H	L	L	L	L	H	H	H	H	H	L	L	H	H	3
H	L	L	L	H	L	L	L	H	H	L	L	H	H	4
H	L	L	L	H	L	H	H	L	H	H	L	H	H	5
H	L	L	L	H	H	L	L	L	H	H	H	H	H	6
H	L	L	L	H	H	H	H	H	H	L	L	L	L	7
H	L	L	H	L	L	L	H	H	H	H	H	H	H	8
H	L	L	H	L	L	H	H	H	H	L	L	H	H	9
H	L	L	H	L	H	L	L	L	L	L	L	L	L	A
H	L	L	H	L	H	H	L	L	L	L	L	L	L	b
H	L	L	H	H	L	L	L	L	L	L	L	L	L	c
H	L	L	H	H	L	H	L	L	L	L	L	L	L	d
H	L	L	H	H	H	L	L	L	L	L	L	L	L	E
H	L	L	H	H	H	H	L	L	L	L	L	L	L	F
L	L	L	x	x	x					*				*
① x：无关；														
②*：其值取决于 \overline{LE} 由 0 变为 1 时的输入编码。														

3、利用有限状态机设计一个串行数据检测器控制电路。要求连续输入 110 时输出为 1，其余情况输出为 0。（20 分）

（1）画出有限状态机（摩尔机）的状态转换图。（5 分）

（2）写出利用独热码进行状态编码的二进制组合。（3 分）

（3）写出按照三 `always` 模式设计的有限状态机的 VerilogHDL 代码。（12 分）