

广东工业大学试卷参考答案及评分标准(A)

课程名称: 计算机组成原理 试卷满分 100 分

考试时间: 2022 年 12 月 27 日 (第 18 周 星期 2)

一 (10 分)

中断是外围设备用来“主动”通知 CPU, 准备送出输入数据或接收输出数据的一种方法。通常, 当一个中断发生时, CPU 暂停它的现行程序, 而转向中断处理程序, 从而可以输入或输出一个数据。当中断处理完毕后, CPU 又返回到它原来的任务, 并从它停止的地方开始执行程序。用中断方式交换数据时, 每处理一次 I/O 交换, 约需几十微秒到几百微秒。对于一些高速的外围设备, 以及成组交换数据的情况, 仍然显得速度太慢。

直接内存访问(DMA)方式是一种完全由硬件执行 I/O 交换的工作方式。这种方式既考虑到中断响应, 同时又要节约中断开销。此时, DMA 控制器从 CPU 完全接管对总线的控制, 数据交换不经过 CPU, 而直接在内存和外围设备之间进行, 以高速传送数据。主要优点是数据传送速度很高, 传送速率仅受到内存访问时间的限制。

与中断方式相比, 需要更多的硬件。

DMA 方式适用于内存和高速外围设备之间大批数据交换的场合。

(1) 中断方式是程序切换, 需要保护和恢复现场; DMA 方式除了开始和结束, 不占用 CPU 的任何资源

(2) 中断请求的响应时间只能发生在每条指令执行完毕的公操作阶段; DMA 请求的响应时间可在每个机器周期结束时

(3) 中断传送过程完全依赖 CPU 执行指令实现; DMA 传送过程不需要 CPU 的干预, DMA 控制器控制数据传送过程, 数据传输速率非常高, 适合于高速外设的成组数据传送

(4) DMA 请求的优先级高于中断请求

(5) 中断方式具有对异常事件的处理能力, DMA 方式仅局限于完成传送数据块的 I/O 操作 +10 分

二 (10 分)

相同点:

1) 出发点相同, 二者的出发点都是为了提高存储系统性能价格比, 都是力图使性能接近高速存储器, 而价格接近低速存储器;

2) 原理相同, 都利用了程序运行局部性原理。

不同点:

1) 目的不同, cache-主存解决速度差异, 而主存-辅存解决主存容量不足问题

2) 数据通路不同: CPU 与 cache 和主存皆有直接访问数据通路, 而辅存则没有与 CPU 直接相通的数据通路

3) 透明性不同: cache 管理完全由硬件完成, 对系统程序和应用程序均透明, 而虚存管理由软件 (操作系统) 和硬件共同完成, 对系统程序不透明

4) 未命中时的损失不同: 由于 cache、主存、辅存存取时间差别不一, 因此虚存未命中时的损失将远大于 cache 未命中时的损失。 +10 分

三 (10 分)

$$[A]_{\text{补}} = \begin{array}{cccccccc} & 1 & 1 & . & 0 & 1 & 1 & 1 \\ [-B]_{\text{补}} = + & 1 & 1 & . & 1 & 0 & 1 & 0 \\ - & - & - & - & - & - & - & - \\ & 1 & 1 & 1 & . & 0 & 0 & 0 & 1 \\ A-B = & - & . & 1 & 1 & 1 & 1 & 1 \end{array}$$

+8 分

+2 分

四 (10 分)

(1)缓存容量为 80 字符/排×25 排×2 字节/字符=4000 字节 +2 分

(2)2 字节/行，

ROM 容量为 3755 字符*2 字节/行*16 行/字符=120160 字节 +2 分

(3)缓存中存放的是待显示字符的汉字代码。 +1 分

(4)显示位置自左至右，从上到下，相应地缓存地址由低到高，每个地址码对应一个字符显示位置。

0 行 0--79 字符

1 行 0--79

2 行 0--79

x 行 y 字符 ---> 缓存地址 $x*80+y$ +1 分

(5)点计数器, (16+2):1 分频;

字计数器, (80+12):1 分频;

行计数器, (16+6):1 分频;

排计数器, (25+10):1 分频。 +2 分

(6)为达到这样高的缓存带宽，可采用如下技术措施：

①使用高速的 DRAM 芯片组成刷存

②刷存采用多体交叉结构

③刷存至显示控制器的内部总线宽度由 32 位提高到 64 位，甚至 128 位

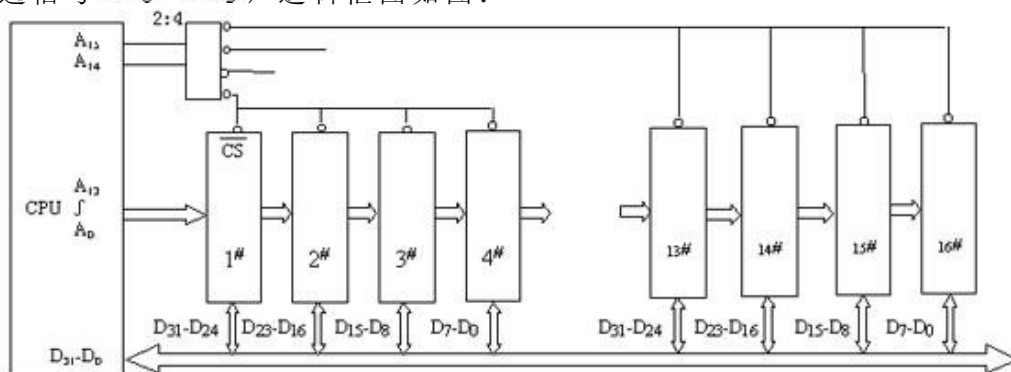
④刷存采用双端口存储器结构，将刷新端口与更新端口分开 +2 分

五 (15 分)

(1)64K/16K=4 段地址

32 位/8 位=4(片/组)

每 4 片组成 16K×32 位的存储区，有 A13-A0 作为片内地址，用 A15 A14 经 2:4 译码器产生片选信号 $\overline{CS}_0 - \overline{CS}_3$ ，逻辑框图如图：



+6 分

(2)根据已知条件，CPU 在 $1\mu s$ 内至少访存一次，而整个存储器的平均读/写周期为 $0.5\mu s$ 如果采用集中刷新，有 $64\mu s$ 的死时间，肯定不行

如果采用分散刷新，则每 $1\mu s$ 只能访存一次，也不行

所以采用异步式刷新方式。可满足 CPU 在 $1\mu s$ 内至少访问内存一次的要求。

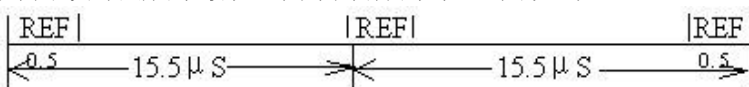
(3)

设 16K×8 位存储芯片的阵列结构为 128 行×128 列，按行刷新，刷新周期 $T=2ms$ ，则异步刷新的间隔时间为：

$2ms/128 = 15.6\mu s$ ，可取刷新信号周期 $15\mu s$

刷新一遍所用时间 = $15\mu s \times 128 = 1.92ms$

则两次刷新的最大时间间隔的示意图如下



可见，两次刷新的最大时间间隔为 t_{max}

$t_{max} = 15.5 - 0.5 = 15 (\mu s)$

(4)

对全部存储单元刷新一遍所需实际刷新时间为 t_R

$$t_R = 0.5 \times 128 = 64 (\mu s)$$

+6 分

(5) 287E0H

+3 分

六 (15 分)

寻址模式定义如下:

X=00 直接寻址 有效地址 $EA=D$ (直接寻址为 256 个存储单元)

X=01 变址寻址 有效地址 $EA=(R_x)+D$ (可寻址 64K 个存储单元)

X=10 基址寻址 有效地址 $EA=(R_b)+D$ (可寻址 1M 个存储单元)

X=11 相对寻址 有效地址 $EA=(PC)+D$ (可寻址 256 个存储单元) +10 分

(1) X=00, D=20H, 有效地址 $EA=20H$

(2) X=10, D=44H, 有效地址 $EA=01122H+44H=01166H$

(3) X=11, D=22H, 有效地址 $EA=1234H+22H=1256H$

(4) X=01, D=21H, 有效地址 $EA=0037H+21H=0058H$

(5) X=11, D=23H, 有效地址 $EA=1234H+23H=1257H$ +5 分

七 (15 分)

取数周期

取数周期要完成取操作数的任务, 被加数在主存中, 加数在寄存器 R2 中。

① R1out 和 MARin 有效, 完成将被加数地址送至 MAR 的操作, 记作 $(R1) \rightarrow MAR$;

② 向主存发读命令, 记作 Read;

③ 存储器通过数据总线将 MAR 所指单元的内容 (数据) 送至 MDR, 同时 MDRout 和 Yin 有效, 记作 $M(MAR) \rightarrow MDR \rightarrow Y$;

取数周期的数据通路和微操作序列如下表

数据通路	微操作序列
1 $(R1) \rightarrow MAR$	R1out, MARin
2	Read
3 $M(MAR) \rightarrow MDR \rightarrow Y$	MDRout, Yin

执行周期完成加法运算的任务, 并将结果写回主存。

① R2out 和 ALUin 有效, 同时 CU 向 ALU 发 “SUB” 控制信号, 使 $Y-R2$, 结果送寄存器 Z, 记作 $Y-(R2) \rightarrow Z$;

② Zout 和 MDRin 有效, 将运算结果送寄存器 MDR, 记作 $(Z) \rightarrow MDR$ 。

③ 向主存发写命令, 记作 Write。

执行周期的数据通路和微操作序列如下表

数据通路	微操作序列
1 $Y-(R2) \rightarrow Z$	R2out, ALUin, SUB
2 $(Z) \rightarrow MDR$	Zout, MDRin
3	Write

(15 分)

八 (15 分)

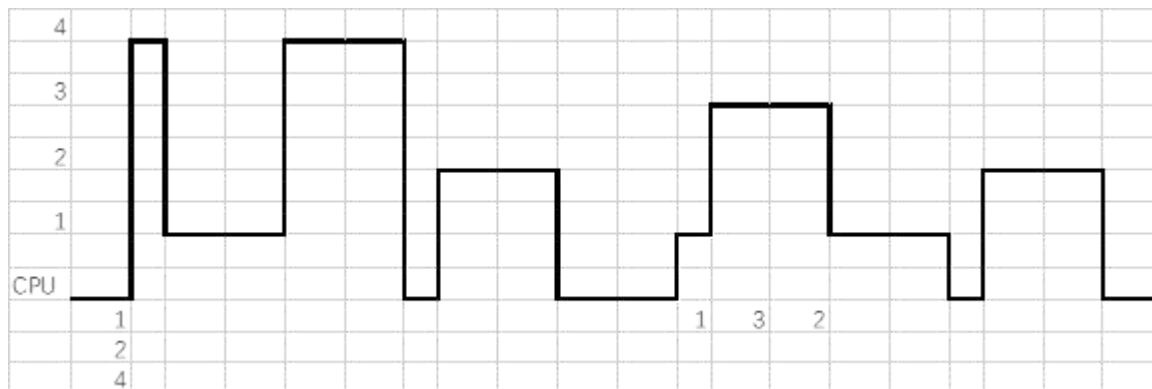
(1) 中断响应的先后次序是 4->3->2->1->CPU

中断处理次序为 3->1->4->2->CPU

	1	2	3	4
1	1	1	0	1
2	0	1	0	0
3	1	1	1	1
4	0	1	0	1

+5 分

(2)



+10 分