

# 广东工业大学试卷参考答案及评分标准( A )

课程名称: 计算机组成原理 试卷满分 100 分

考试时间: 202 3 年 11 月 5 日 (第 8 周 星期 7)

题 号	一	二	三	四	五	六	七	八	九	十	总分
评卷得分											
评卷签名											
复核得分											
复核签名											

## 一 (10 分)

答:相同点:

- 1) 出发点相同, 二者的出发点都是为了提高存储系统性能价格比, 都是力图使性能接近高速存储器, 而价格接近低速存储器;
- 2) 原理相同, 都利用了程序运行局部性原理。

不同点:

- 1) 目的不同, **cache**-主存解决速度差异, 而主存-辅存解决主存容量不足问题
- 2) 数据通路不同: **CPU** 与 **cache** 和主存皆有直接访问数据通路, 而辅存则没有与 **CPU** 直接相通的数据通路
- 3) 透明性不同: **cache** 管理完全由硬件完成, 对系统程序 and 应用程序均透明, 而虚存管理由软件 (操作系统) 和硬件共同完成, 对系统程序不透明
- 4) 未命中时的损失不同: 由于 **cache**、主存、辅存存取时间差别不一, 因此虚存未命中时的损失将远大于 **cache** 未命中时的损失。 +10 分

## 二 (10 分)

中断是外围设备用来“主动”通知 **CPU**, 准备送出输入数据或接收输出数据的一种方法。通常, 当一个中断发生时, **CPU** 暂停它的现执行程序, 而转向中断处理程序, 从而可以输入或输出一个数据。当中断处理完毕后, **CPU** 又返回到它原来的任务, 并从它停止的地方开始执行程序。用中断方式交换数据时, 每处理一次 **I/O** 交换, 约需几十微秒到几百微秒。对于一些高速的外围设备, 以及成组交换数据的情况, 仍然显得速度太慢。

直接内存访问(**DMA**)方式是一种完全由硬件执行 **I/O** 交换的工作方式。这种方式既考虑到中断响应, 同时又要节约中断开销。此时, **DMA** 控制器从 **CPU** 完全接管对总线的控制, 数据交换不经过 **CPU**, 而直接在内存和外围设备之间进行, 以高速传送数据。主要优点是数据传送速度很高, 传送速率仅受到内存访问时间的限制。

与中断方式相比, 需要更多的硬件。

**DMA** 方式适用于内存和高速外围设备之间大批数据交换的场合。

- (1) 中断方式是程序切换, 需要保护和恢复现场; **DMA** 方式除了开始和结束, 不占用 **CPU** 的任何资源
- (2) 中断请求的响应时间只能发生在每条指令执行完毕的公操作阶段; **DMA** 请求的响应时间可在每个机器周期结束时
- (3) 中断传送过程完全依赖 **CPU** 执行指令实现; **DMA** 传送过程不需要 **CPU**

的干预，DMA 控制器控制数据传送过程，数据传输速率非常高，适合于高速外设的成组数据传送

(4)DMA 请求的优先级高于中断请求

(5)中断方式具有对异常事件的处理能力，DMA 方式仅局限于完成传送数据块的 I/O 操作

+10 分

三 (10 分)

$$[X]_{\text{补}} = 0.0111$$

$$[-Y]_{\text{补}} = + 1.0110$$

-----

$$1.1101$$

$$X-Y = -0.0011$$

无溢出

+8 分

溢出判别电路

+2 分

四 (10 分)

(1) 柱面数 = 道密度  $\times$  有效存储区域径向长度

$$\text{有效存储区域} = 16.5 - 11 = 5.5\text{cm}$$

所以，柱面数 =  $40 \text{ 道/cm} \times 5.5\text{cm} = 220 \text{ 道}$ ，即 220 个圆柱面。

+3 分

(2) 盘组容量 = 面数  $\times$  面容量

面容量 = 道数  $\times$  道容量

道容量 = 内层周长  $\times$  内层道密度

$$\text{盘组容量} = 10 \times 220 \times 400 \times 2 \times 3.14 \times 11 = 7\,598\,800\text{B}$$

+3 分

$$\begin{aligned} \text{(3) 数据传输率 } Dr &= nN(\text{字节/秒}) = 2400/60 \text{ 秒} \times \text{道容量} = 40 \times 400 \times 2 \times \\ &3.14 \times 11 \end{aligned}$$

$$= 13\,816\text{B/S}$$

+4 分

五 (15 分)

六  $128\text{K}/16\text{K} = 8$  段地址

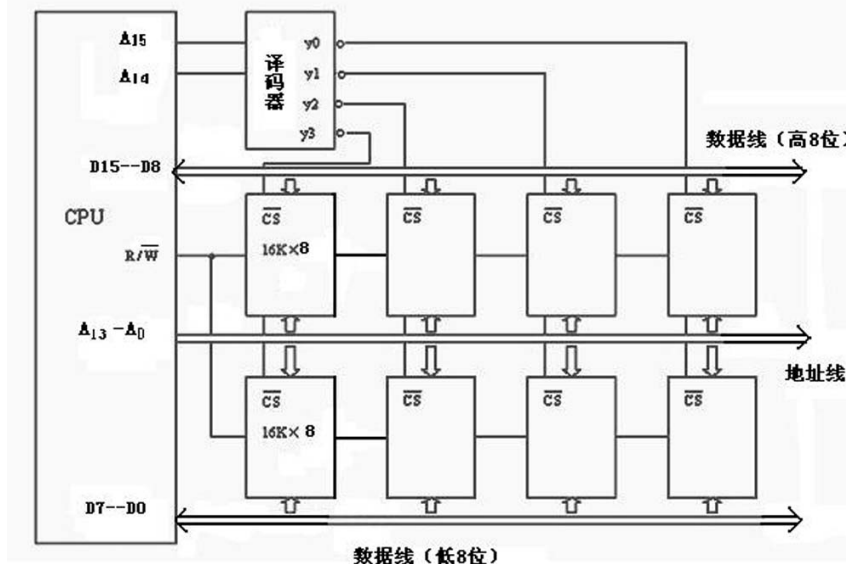
$64 \text{ 位}/32 \text{ 位} = 2$ (片/组)

每 2 片组成  $16\text{K} \times 16$  位的存储区，有 A13-A0 作为片内地址，用 A16 A15

A14 经 3:8 译码器产生片选信号  $\overline{CS_0} - \overline{CS_3}$  7，逻辑框图如图：

A16

y0---y7



+6 分

(2)

根据已知条件，CPU 在  $1\mu s$  内至少访存一次，而整个存储器的平均读/写周期为  $0.5\mu s$

如果采用集中刷新，有  $64\mu s$  的死时间，肯定不行

如果采用分散刷新，则每  $1\mu s$  只能访存一次，也不行

所以采用异步式刷新方式。可满足 CPU 在  $1\mu s$  内至少访问内存一次的要求。

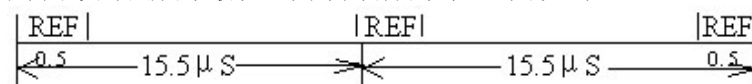
(3)

设  $16K \times 8$  位存储芯片的阵列结构为  $128$  行  $\times$   $128$  列，按行刷新，刷新周期  $T=2ms$ ，则异步刷新的间隔时间为：

$2ms/128 = 15.6\mu s$ ，可取刷新信号周期  $15\mu s$

刷新一遍所用时间  $= 15\mu s \times 128 = 1.92ms$

则两次刷新的最大时间间隔的示意图如下



可见，两次刷新的最大时间间隔为  $t_{max}$

$t_{max} = 15.5 - 0.5 = 15 (\mu s)$

(4)

对全部存储单元刷新一遍所需实际刷新时间为  $t_R$

$t_R = 0.5 \times 128 = 64 (\mu s)$

+6 分

(5) C17B0H

+3 分

七 (15 分)

寻址模式定义如下：

X=00 直接寻址 有效地址  $EA=D$  (直接寻址为 256 个存储单元)

X=01 变址寻址 有效地址  $EA=(R_x)+D$  (可寻址 64K 个存储单元)

X=10 基址寻址 有效地址  $EA=(R_b)+D$  (可寻址 1M 个存储单元)

X=11 相对寻址 有效地址  $EA=(PC)+D$  (可寻址 256 个存储单元) +10 分

指令 2244H, X=10, D=44H, 有效地址  $EA=01122H+44H=01166H$

+5 分

八 (15 分)

(2)执行周期

①AdIRout 和 MARin 有效, 记作 Ad(IR)→MAR;

②通过控制总线向主存发读命令, 记作 Read;

③存储器通过数据总线将 MAR 所指单元的内容送至 MDR, 记作 M(MAR)→MDR;

④MDRout 和 PCin 有效, 将转移地址送 PC, 记作(MDR)→PC。

执行周期的数据通路和微操作序列如下表

数据通路	微操作序列
1 Ad(IR)→MAR	AdIRout, MARin
2	Read
3 M(MAR)→MDR	
4 (MDR)→PC	MDRout, PCin

(15 分)

九 (15 分)

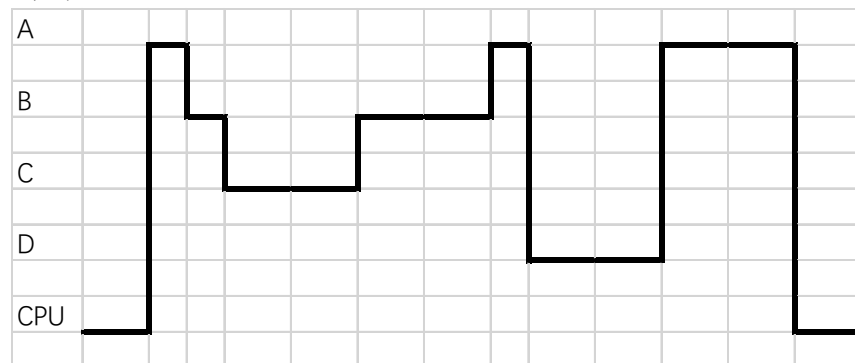
(1) 中断响应的先后次序是 A->B->C->D->CPU

中断处理次序为 C->B->D->A->CPU

A B C D  
A 1 0 0 0  
B 1 1 0 1  
C 1 1 1 1  
D 1 0 0 1

+5 分

(2)



+10 分