

班级：计算机科学与技术 22(8) 班

学号：3122008883

姓名：陈煜祺

第 4 章作业

1、写出下列表达式的运算结果（30 分，每题 3 分）

- (1) $4'b0011 \&\& 4'b1010$
- (2) $4'b0011 \|\| 4'b1010$
- (3) $!4'b0011$
- (4) $4'b1011 \& 4'b1010$
- (5) $4'b1011 | 4'b1010$
- (6) $4'b0011 \wedge 4'b1010$
- (7) $\sim 4'b11$
- (8) $\sim\& 8'b0101_1110$
- (9) $\sim| 8'b0101_1110$
- (10) $\sim\wedge 4'b0111_1110$

在下表填写运算结果：

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)	(10)
1'b1	1'b1	1'b0	4'b1010	4'b1011	4'b1001	4'b1100	1'b1	1'b0	1'b0

2、写出下列逻辑表达式对应的 Verilog HDL 表达式（30 分，每题 10 分）

(1) 符合电路输出表达式

$$Y1 = \overline{A}B\overline{C} + ABC$$

(2) 带使能控制端的数据选择器的逻辑表达式

$$Y2 = \overline{E}(I_0\overline{S}_1\overline{S}_0 + I_1\overline{S}_1S_0 + I_2S_1\overline{S}_0 + I_3S_1S_0)$$

(3) 一位数字比较器的逻辑表达式

$$G = A\overline{B}$$

$$E = \overline{A \oplus B}$$

$$S = \overline{A}B$$

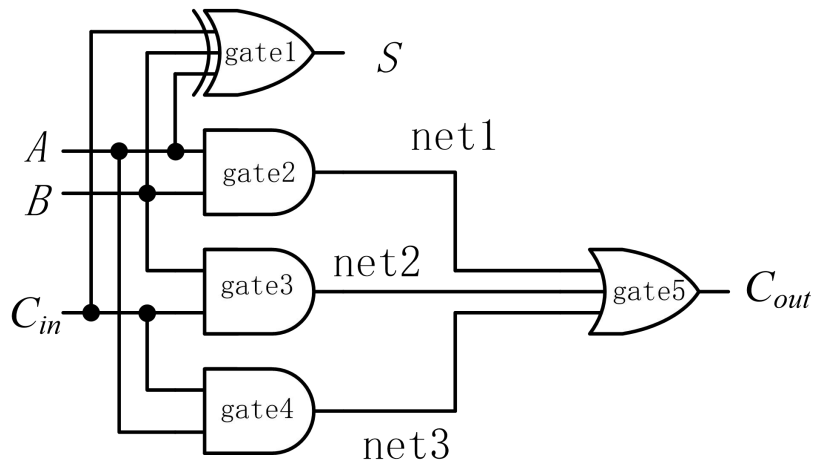
在下表填写结果：

(1)	$Y1 = \sim A \& \sim B \& \sim C A \& B \& C$
(2)	$Y2 = \sim E \& (I_0 \& \sim S_1 \& \sim S_0 I_1 \& \sim S_1 \& S_0 I_2 \& S_1 \& \sim S_0 I_3 \& S_1 \& S_0)$
(3)	$G = A \& \sim B$ $E = \sim (A \wedge B)$ $S = \sim A \& B$

3、用 Verilog HDL 语言的数据流编程风格编写能实现上题符合电路的模块代码。（20 分）

```
module coincidence_circuit(Y1, A, B, C);
    input A, B, C;
    output Y1;
    assign Y1 = ~A & ~B & ~C | A & B & C;
endmodule
```

4、用 Verilog HDL 语言的门级（结构级）编程风格，编写能实现下图逻辑功能的模块代码。（20 分）



```

module adder(A, B, Cin, Cout, S);
    input A, B, Cin;
    output Cout, S;
    wire net1, net2, net3;
    xor gate1 (S, A, B, Cin);
    and gate2 (net1, A, B);
    and gate3 (net2, Cin, A);
    and gate4 (net3, Cin, B);
    or gate5(Cout, net1, net2, net3);
endmodule

```