

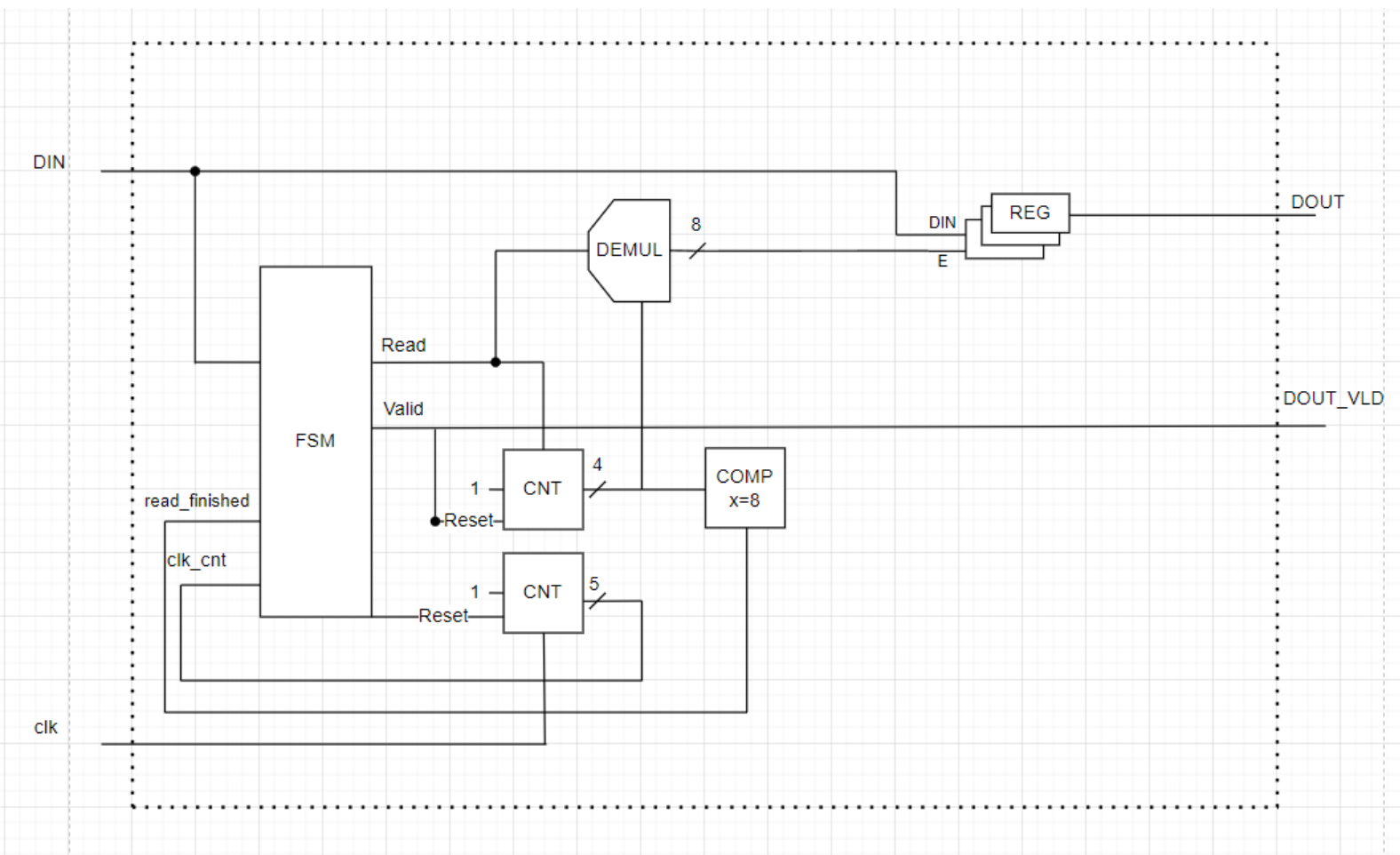
Výstupní zpráva

Jméno: Marek Procházka

Login: xproch0o

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

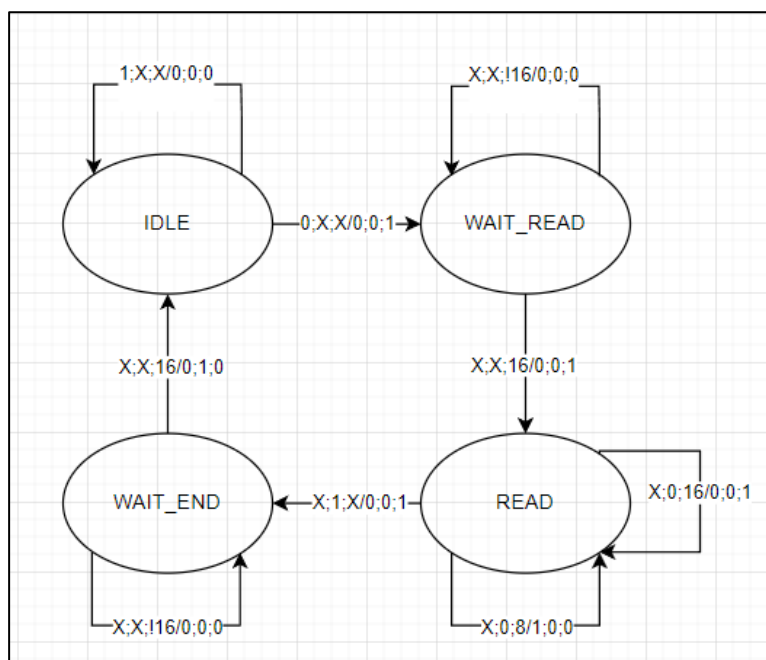
- Jednotlivé datové bity jsou zapisovány do správných registrů za pomoci logiky řízené FSM
- FSM vždy uprostřed datového bitu zašle na 'Read' logickou 1, ta zvýší hodnotu CNT o 1 a zároveň aktivuje správný registr (podle hodnoty CNT)
- Druhý CNT počítá vstupy z `clk` a jejich počet je posílán jako vstup pro FSM

Návrh automatu (FSM)

Schéma automatu

Legenda

- Stavy: IDLE, WAIT_READ, READ, WAIT_END
- Vstupní signály: DIN, read_finished, clk_cnt
- Mealyho výstupy: Read, Valid, Reset



Popis a funkce

Automat začíná ve stavu **IDLE**, kde čeká na logickou nulu na **DIN**. Při obdržení logické nuly na **DIN** nastaví na přechodu **Reset** na 1, čímž se CNT zodpovědné za počítání hodinových signálů vynuluje a začne počítat znovu. Ve stavu **WAIT_READ** se čeká, až **clk_cnt**, který je výstup z předtím zmíněného CNT, nastaví na 16, čímž se dostaneme na začátek prvního datového bitu. Při přechodu opět vynulujeme **clk_cnt** za pomoci logické 1 na **Resetu**. Ve stavu povolujeme **Read**, pokud je **clk_cnt** na 8 (prostředek informace) a **Reset**, pokud je **clk_cnt** na 16. V moment, kdy dostaneme na **read_finished** 1, tak se přesuneme do stavu **WAIT_END** a povolíme **Reset**. Ve **WAIT_END** čekáme na konec stop bitu a poté se vracíme do stavu **IDLE**. Při přechodu se povoluje **Valid**.