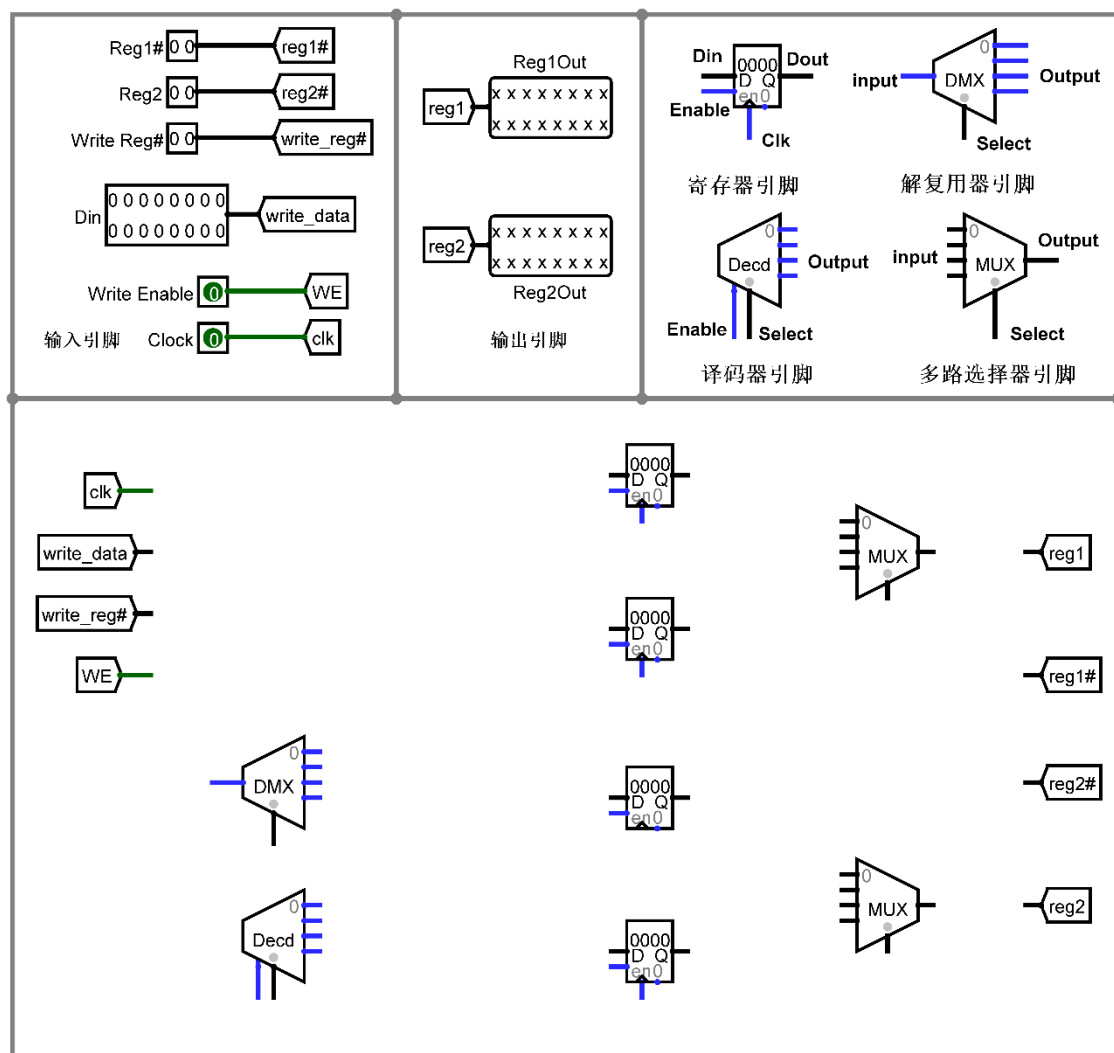


得分	评卷人

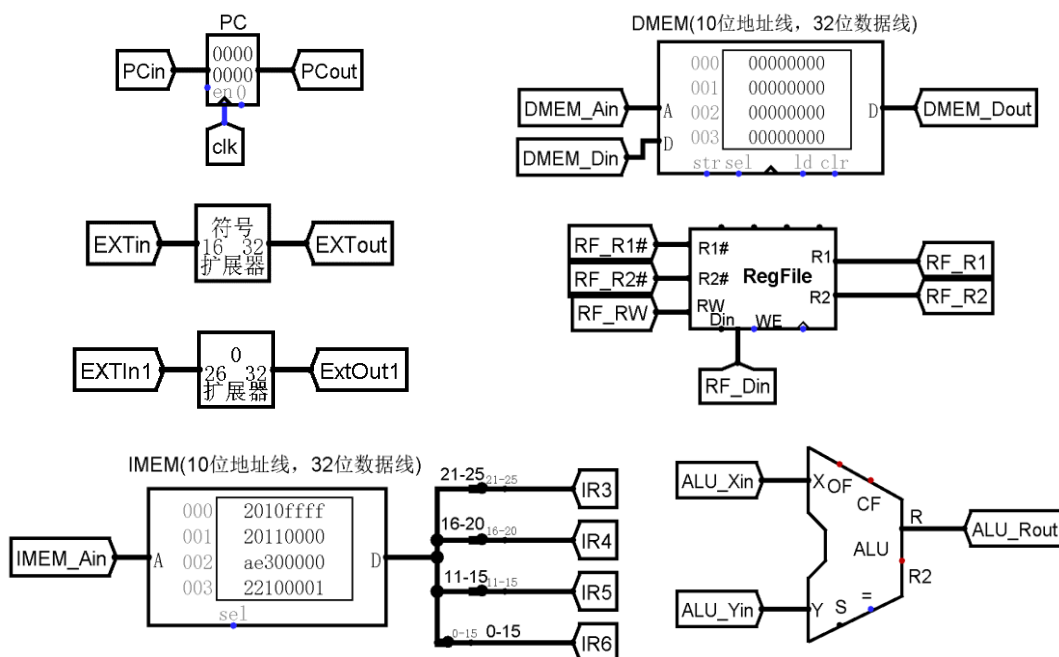
一、工程设计题（12 分）用 logisim 平台构建一个简化的 MIPS 寄存器组，内部包含 4 个 16 位寄存器，其中 0 号寄存器输出恒零，MIPS 寄存器组的引脚、相关器件引脚描述如下图所示。

- 1) 将图中的关键器件连接起来完成这个MIPS寄存器组电路（注：图中给出的器件可以不用，也可以自己根据需要适当添加门电路）；
- 2) 如果需要节约MIPS寄存器组实现的成本，可以采取什么措施？



得分	评卷人

二、工程设计题（16分）本课程在 logisim 环境下完成了单周期 MIPS CPU 实验，下图是曾经使用过的逻辑功能部件，分别为程序计数器 PC、指令存储器 IMEM、寄存器文件 REGFILE、数据存储器 DMEM、符号扩展器 EXT、32 位运算器 ALU，各主要功能部件数据输入输出已经用隧道标注。请完成异或指令 xor 和条件分支指令 beq 对应的单周期 CPU 数据通路表，（注：数据通路表中主要利用隧道标签给出主要功能部件的输入来源——填其他功能部件的输出引脚，如果位宽不匹配请注明具体位，如当前指令中不需要连接，可不填）



输入	(输入来源) xor \$s1, \$s2, \$s3	(输入来源) beq \$s1, \$s2, 300
PCin	PCout+4	PCout+4/PCout+4+EXTout*4
IMEM_Ain	[PCout] ₂₋₁₁	[PCout] ₂₋₁₁
RF_R1#	IR3	IR3
RF_R2#	IR4	IR4
RF_RW	IR5	
RF_Din	ALU_Rout	
ALU_Xin	RF_R1	RF_R1
ALU_Yin	RF_R2	RF_R2
EXTIn		IR6
EXTIn1		
DMEM_Ain		
DMEM_Din		

xor 指令功能: $rd = rs \oplus rt$ beq 指令功能: if (rs == rt) PC = PC + 4 + BranchAddr

