



厦门大学《计算机组成原理》课程试卷
软件学院 软件工程系 16 级 软件工程专业
主考教师：曾文华 张海英 试卷类型：(B 卷)

一、填空题（共 28 分，每空 1 分）

1. 从计算机系统的多级层次结构来看，硬件研究主要涉及 M1_____和 M0_____两部分。
2. 总线是各部件_____的传输介质，总线带宽就是总线的数据_____, 目前计算机普遍采用_____总线结构。
3. 指令周期一般划分为_____、_____、执行周期和 _____四个工作周期。
4. 对于 24 位地址线的主存而言，按字节寻址的范围是_____, 按字寻址的范围则是_____。
5. 用海明码对长度为 8 位的数据进行检/纠错时，若能纠正一位错，则校验码位数至少为_____位。检测位是按照_____原则进行检测的。
6. Cache 高速缓冲存储器是根据程序访问的_____原理设计的。为了体现这一基本原理，Cache 读操作，如果_____且 Cache_____时，需要进行页面替换。Cache 写操作时，必须与主存保持_____。
7. 中断服务程序的入口地址是通过_____地址寻找的，该地址是由_____产生的，单重中断与多重中断的区别在于_____指令出现的位置。
8. 系统的并行性包含_____和_____两个方面的含义。
9. PROM 是可以实现_____次编程的_____存储器，而 EPROM 可以实现_____次的改写，是通过_____照射实现的。
10. 数据相关主要包括 RAW、_____和_____, 采取的主要措施是后推法和_____。

二、简答题（共 48 分，7 题）

1. 设 $X = -0.1101, Y = -0.1011$, 求 $[XY]_{\text{补}}$ (5 分)
2. 一个 $8K \times 8$ 位的动态 RAM 芯片，其内部结构排列成 256×256 形式，读/写周期为 $0.1 \mu s$ 。试回答下

述问题：（7分）

(1) 动态随机存储器除了正常的读写，还需要额外的刷新工作，为什么？（2分）

(2) 何为“死时间”？采用集中式刷新、分散刷新和异步刷新的“死区”各是多少？应该如何安排消除掉“死区”？（5分）

3. 有一 cache 系统，字长为 16 位，主存容量为 16 字×256 块，cache 的容量为 16 字×8 块。采用全相联地址映射方式，求：（8分）

(1) 主存和 cache 的字地址各为几个 bit？

(2) 如果原先已经依次装入 5 块的信息，问字地址为 338H 所在的主存块将装入 cache 块中的哪一块以及在 cache 中的字地址？

(3) 如果块表中地址为 1 的行中，标记着 36H 的主存块号标志，则当 CPU 送来主存的字地址为 368H 时，是否命中，如果命中，此时的 cache 的字地址为多少？

4. 已知程序查询方式的接口电路如图 2 所示，请回答下述问题：（6分）

(1) 触发器 D 和 B 的作用是什么？

(2) 为何要设置数据缓冲寄存器？

(3) 准备就绪状态是由哪个信号触发的？

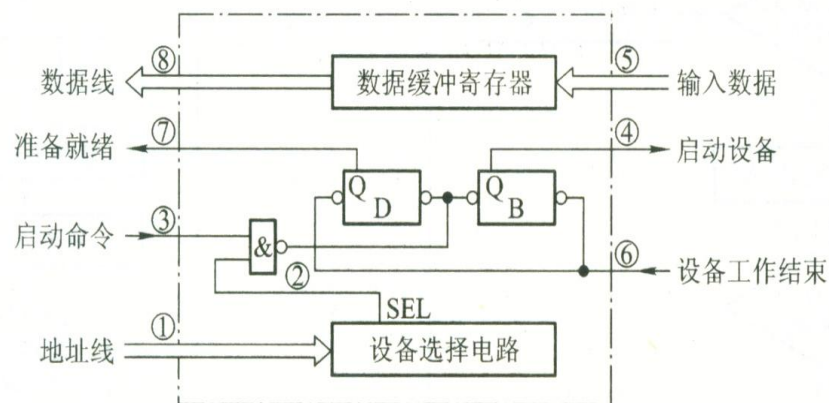


图 1 程序查询方式的接口电路

5. 图 2 为在 DMA 的工作方式中，CPU 暂停方式的时间示意图，请回答下述问题：（7分）

(1) 该方式的优缺点是什么? (2 分)

(2) 如果采用周期挪用方式, 则有何不同? 请参照图 2 绘出时间示意图 (5 分)

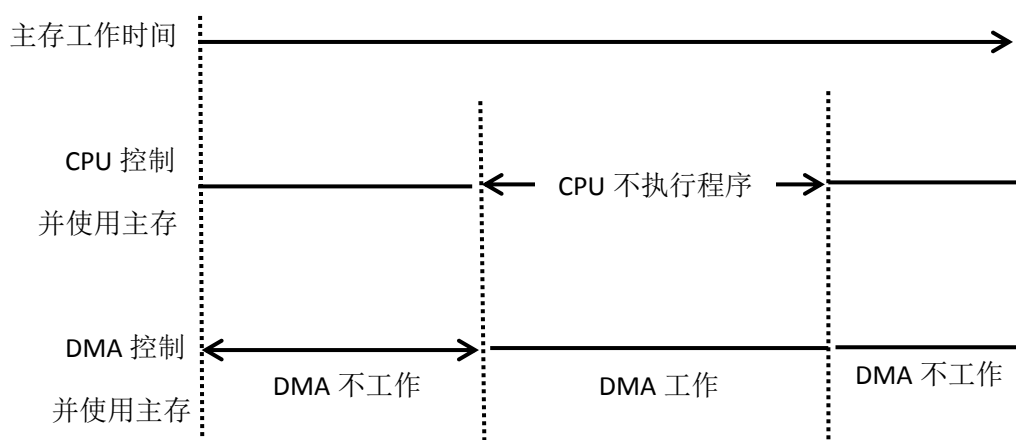


图 2 停止 CPU 访存

6. 设某机器有三个中断源 1、2、3, 其优先级按 $1 > 2 > 3$ 降序排列。假设中断处理时间均为 t , 在图 3 所示的时间内共发生 5 次中断请求, 图中①表示 1 级中断源发出中断请求信号, 其余类推, (8 分)

(1) 画出 CPU 执行程序的轨迹。

(2) 如果优先级改为 $2 > 1 > 3$, 请给出对应的屏蔽字

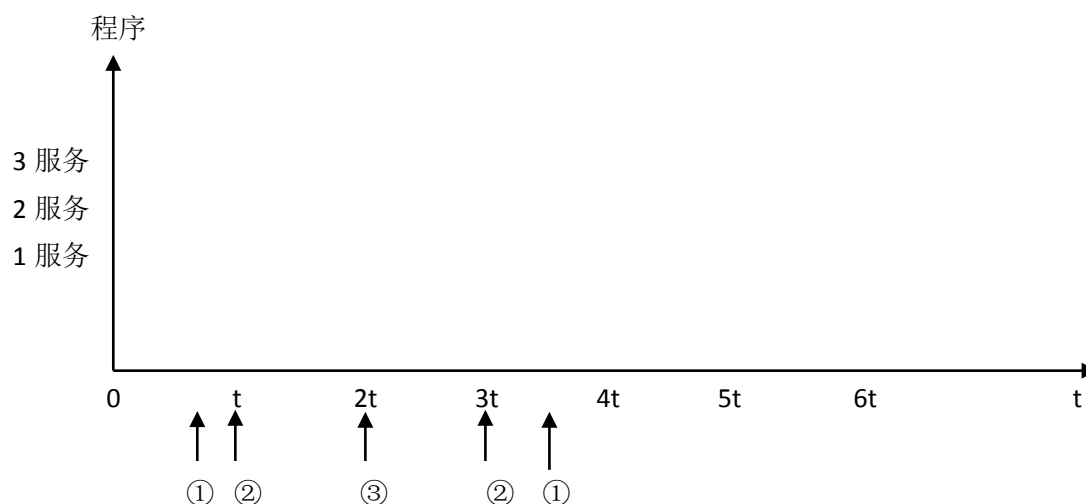


图 3 设置中断请求的时刻

7. 某主存储器部分单元的地址码与存储器内容对应关系如表 1 所示, 请回答下述问题: (7 分)

(1) 若采用寄存器间址方式读取操作数, 指定寄存器 $R0$ 的内容为 $1000H$, 则操作数是多少?

(2) 若采用自减型寄存器间址方式 $-(R1)$ 读取操作数, $R1$ 内容为 $1003H$, 则操作数是多少? 指令执行完后 $R1$ 的内容是多少?

- (3) 若采用变址寻址方式 $X(R2)$ 读取操作数, 指令中给出形式地址 $d=3H$, 变址寄存器 $R2$ 内容为 $1000H$, 则操作数是多少?
- (4) 采用寄存器间址方式, 指定寄存器 $R3=1002H$, 则间址两次 $@ @ (R3)$ 是多少?

表 1 地址码与存储内容的对应关系

地址码	存储内容
1000H	A307H
1001H	0B3FH
1002H	1004H
1003H	F03CH
1004H	D024H

三、设计题（共 24 分，2 题）

1. 设 CPU 内部采用总线连接方式, 如图 4 所示, 完成下述任务: (13 分)

- (1) 写出完成 $STA X$ (X 为主存地址) 指令的全部微操作和控制信号。
- (2) 写出 $ADD @X$ (X 为主存地址) 指令的全部微操作和控制信号。

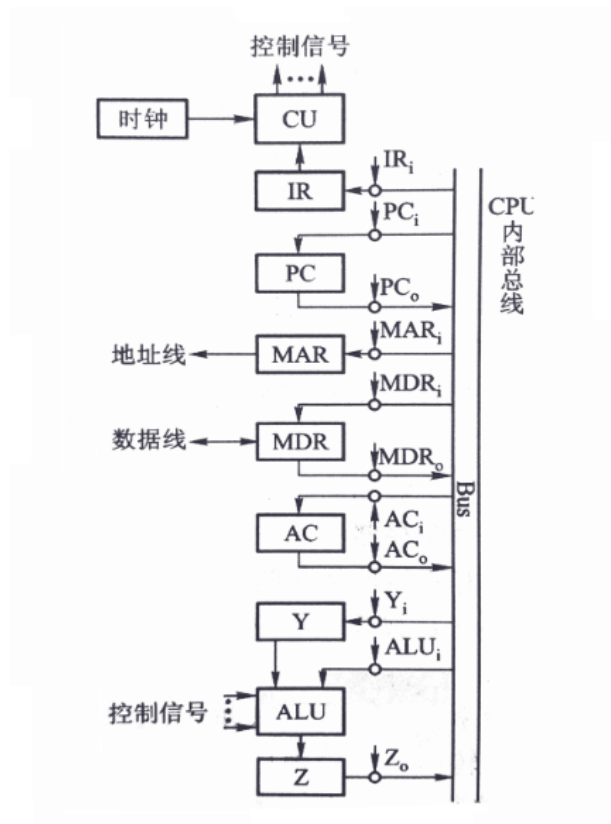


图 4 CPU 内部总线的数据通路和控制信号

2. 设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{MREQ} 作为访存控制信号 (低电平有效), 用 \overline{WR} 作为读写控制信号 (高电平为读, 低电平为写)。现有如下规格的存储芯片: $1K \times 4$ 位 RAM, $4K \times 8$ 位 RAM,

2K×8 位 ROM，以及 74138 译码器和各种门电路，如图 5 所示。画出 CPU 与存储器连接图，要求：
(11 分)

- (1) 主存地址空间分配：最大 2K 为系统程序区；相邻 2K 为用户程序区。
- (2) 合理选用上述芯片，说明各选几片？
- (3) 详细画出存储芯片的片选逻辑。

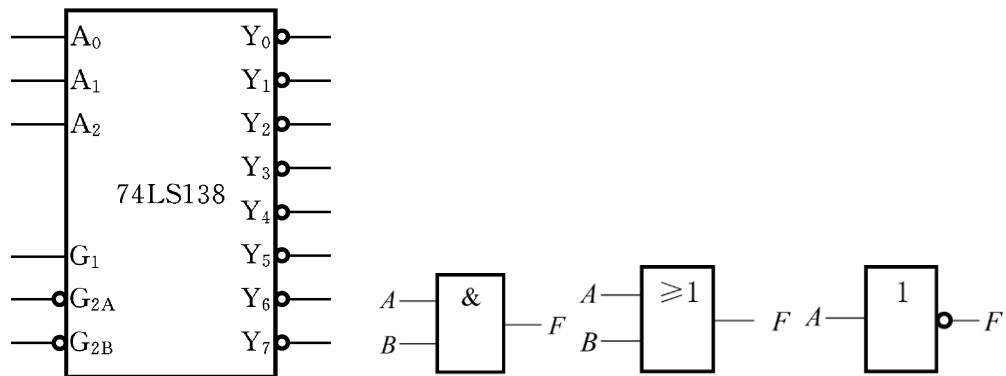


图 5 所需门电路示意图