



# 厦门大学《计算机组成原理》课程试卷

软件学院 软件工程系 2017 年级 软件工程 专业

主考教师：曾文华 高星

试卷类型：(B 卷答案)

## 一、写出下列英文缩写对应中英文全称（共 5 分，每题 1 分）

- 1、CU: Control Unit
- 2、MAR: Memory Data Register
- 3、ACC: Accumulator
- 4、IR: Instruction register
- 5、MIPS: Million Instructions Per Second

## 二、概念解释（共 10 分，每题 2 分）

### 1、周期窃取

答：周期挪用是指利用 CPU 不访问存储器的那些周期来实现 DMA 操作，此时 DMA 可以使用总线而不用通知 CPU 也不会妨碍 CPU 的工作。周期挪用并不减慢 CPU 的操作，但可能需要复杂的时序电路，而且数据传送过程是不连续的和不规则的。

### 2、程序访问的局部性原理

答：程序的局部性原理是指程序在执行时呈现出局部性规律，即在一段时间内，整个程序的执行仅限于程序中的某一部分。相应地，执行所访问的存储空间也局限于某个内存区域。局部性原理又表现为：时间局部性和空间局部性。时间局部性是指如果程序中的某条指令一旦执行，则不久之后该指令可能再次被执行；如果某数据被访问，则不久之后该数据可能再次被访问。空间局部性是指一旦程序访问了某个存储单元，则不久之后。其附近的存储单元也将被访问。

### 3、DMA

答：DMA(Direct Memory Access, 直接内存存取) 是所有现代电脑的重要特色，它允许不同速度的硬件装置来沟通，而不需要依赖于 CPU 的大量中断负载。否则，CPU 需要从来源把每一片段的资料复制到暂存器，然后把它们再次写回到新的地方。在这个时间中，CPU 对于其他的工作来说就无法使用。

### 4、流水线技术

答：流水线(pipeline) 技术是指在程序执行时多条指令重叠进行操作的一种准并行处理实现技术。流水线是 Intel 首次在 486 芯片中开始使用的。在 CPU 中由 5—6 个不同功能的电路单元组成一条指令处理流水线，然后将一条指令分成 5—6 步后再由这些电路单元分别执行，这样就能实现在一个 CPU 时钟周期完成一条指令，因此提高 CPU 的运算速度。

### 5、中断向量表

答：处理机可处理的每种中断的标号为中断类型码。中断向量指中断处理程序的入口地址，由处理机自动寻址。中断向量表是存放中断处理程序入口地址的默认的内存区域。在 8086 中，中断类型码乘以 4 得到向量表的入口，从此处读出 4 个字节内容即为中断向量。

### 三、简答题（共 40 分，每题 4 分）

1、冯·诺依曼计算机的特点是什么？

答：1964 年，冯·诺依曼简化了计算机的结构，提出了“存储程序”的思想，大大提高了计算机的速度。后人按照这种思想和结构设计的计算机成为冯·诺依曼计算机。“存储程序”思想可以简化概括为 3 点：（1）计算机应用包括运算器、控制器、存储器、输入/输出设备。（2）计算机内部应采用二进制来表示指令和数据。（3）将编好的程序和数据送入存储器，然后计算机自动地逐条取出指令和数据进行分析、处理和执行。

2、指令和数据都存于存储器中，计算机如何区分它们？

答：程序员通过在不同段（CS 和 DS）存储，然后通过不同的寄存器访问。

3、为什么要设置总线判优控制？常见的集中式总线控制有几种？各有何特点？哪种方式响应时间最快？哪种方式对电路故障最敏感？

答：响应有优先顺序要求。链式，计数器和独立请求。链式：线路少，易扩充，但故障敏感，低的难获得。计数器：故障不敏感但控制复杂。独立请求：速度快，控制灵活，但线路复杂。

4、说明存取周期和存取时间的区别。

答：存储器存取时间（memory access time）又称存储器访问时间，是指从启动一次存储器操作到完成该操作所经历的时间。存储周期（memory cycle time）指连续启动两次独立的存储器操作（例如连续两次读操作）所需间隔的最小时间。并行后区别很大。

5、说明中断向量地址和入口地址的区别和联系。

答：典型情况下，入口地址可由向量地址计算而得。

6、讨论若  $[x]_{\text{补}} > [y]_{\text{补}}$ ，是否有  $x > y$ ？

答：分正负讨论。

7、什么是指令周期？指令周期是否有一个固定值？为什么？

答：指令周期是指一条指令从开始取指令直到指令执行完这段时间。不一定，有变长，寻址方式，执行内容各种变化因素。

8、能不能说机器的主频越快，机器的速度就越快，为什么？

答：不一定，还要看指令设计，并发等各种因素。

9、能否说水平型微指令就是直接编码的微指令，为什么？

答：不能说水平型微指令就是直接编码的微指令，因为符合水平型微指令特征的微指令都属于水平型微指令，常见的有：直接编码、字段直接编码、字段间接编码，以及混合编码等。直接编码的微指令只是最典型的一种。

10、 CPU 对 DMA 请求和中断请求的响应时间是否一样？为什么？

答：DMA 方式不需 CPU 干预传送操作，仅仅是开始和结尾借用 CPU 一点时间，其余不占用 CPU 任何资源，中断方式是程序切换，每次操作需要保护和恢复现场。

#### 四、问答题（共 24 分，每题 8 分）

1、 设某计算机的 CPU 主频为 8MHz，每个机器周期平均含 2 个时钟周期，每条指令的指令周期平均含 2.5 个机器周期，试问该机的平均指令执行速度为多少 MIPS？ 若 CPU 主频不变，但每个机器周期平均含 4 个时钟周期，每条指令周期平均有 5 个机器周期，则该机的平均指令执行速度为多少 MIPS？ 由此可得出什么结论？

答：

(1) 机器 A 的主频= 8MHz 时钟周期  $T_{CA}=1/8\text{MHz} = 0.125 \times 10^{-6} \text{ s} = 0.125 \mu\text{s}$

机器周期  $T_{MA} = 4 \times 0.125 \mu\text{s} = 0.5 \mu\text{s}$

平均指令周期  $T_{LA} = 1/0.4 \text{ MIPS} = 2.5 \mu\text{s}$

平均每个指令周期中含 5 个机器周期。

(2) 机器 B 的主频= 12MHz 时钟周期  $T_{CB}=1/12\text{MHz} = 0.083 \times 10^{-6} \text{ s} = 0.083 \mu\text{s}$

机器周期  $T_{MB} = 4 \times 0.083 \mu\text{s} = 0.333 \mu\text{s}$

指令周期  $T_{LB}=5 \times 0.333 \mu\text{s} = 1.666 \mu\text{s}$

平均指令执行速度 =  $1/1.666 \mu\text{s} = 0.6 \text{ MIPS}$

其实，如果其它条件都一样，机器 B 的主频是机器 A 的主频的 1.5 倍，其平均指令执行速度也应该是机器 A 的 1.5 倍，即 0.6 MIPS。

2、 设某机有 4 个中断源 1，2，3，4，其硬件排队优先次序按 1->2->3->4 降序排列，各中断源的服务程序中所对应的屏蔽字如下表：

中断源	1	屏蔽字 2	3	4
1	1	1	0	1
2	0	1	0	0
3	1	1	1	1
4	0	1	0	1

(1) 给出上述 4 个中断源的中断处理次序

(2) 若 4 个中断源同时有中断请求，画出 CPU 执行程序的轨迹。

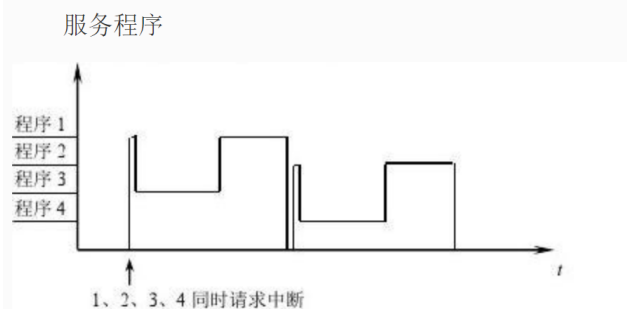
答：

(1) 给出上述四个中断源的中断处理次序。

(2) 若四个中断源同时有中断请求，画出CPU执行程序的轨迹。

解: (1) 根据表8.1，四个中断源的处理次序是3→1→4→2。

(2) 当四个中断源同时有中断请求时，由于硬件排队的优先次序是1→2→3→4，故CPU先响应1的请求，执行1的服务程序。由于在该服务程序中设置了屏蔽字1101，故开中断指令后转去执行3服务程序，且3服务程序执行结束后又回到1服务程序。1服务程序结束后，CPU还有2、4两个中断源请求未响应。由于2的响应优先级高于4，故CPU先响应2的请求，执行2服务程序。在2服务程序中由于设置了屏蔽字0100，意味着1、3、4可中断2服务程序。而1、3的请求已处理结束，因此在开中断指令之后转去执行4服务程序，4服务程序执行结束后又回到2服务程序的断点处，继续执行2服务程序，直至该程序执行结束。图8.2示意了CPU执行程序的轨迹。



- 3、某机的微指令格式中，共有 8 个控制字段，每个字段可分别激活 5，8，3，16，1，7，25，4 种控制信号。分别采用直接编码和字段直接编码方式设计微指令的操作控制字段，并说明两种方式的操作控制字段各取几位。

答:

(1) 采用直接编码方式，微指令的操作控制字段的总位数等于控制信号数。即

$$5+8+3+16+1+7+25+4=69$$

(2) 采用字段直接编码方式，需要的控制位少。根据题目给出的 10 个控制字段及各段可激活的控制信号数，再加上每个控制字段至少要留一个码字表示不激活任何一条控制线，即微指令的 8 个控制字段分别需给出 6、9、4、17、2、8、26、5 种状态，对应 3、4、2、5、1、3、5、3 位。故微指令的操作控制字段的总位数为:

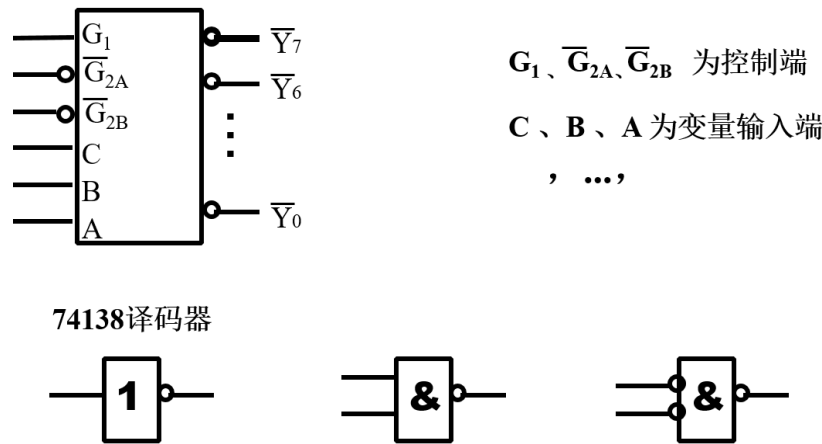
$$3+4+2+5+1+3+5+3=26$$

## 五、设计题（共 21 分，第 1 题 10 分，第 2 题 11 分）

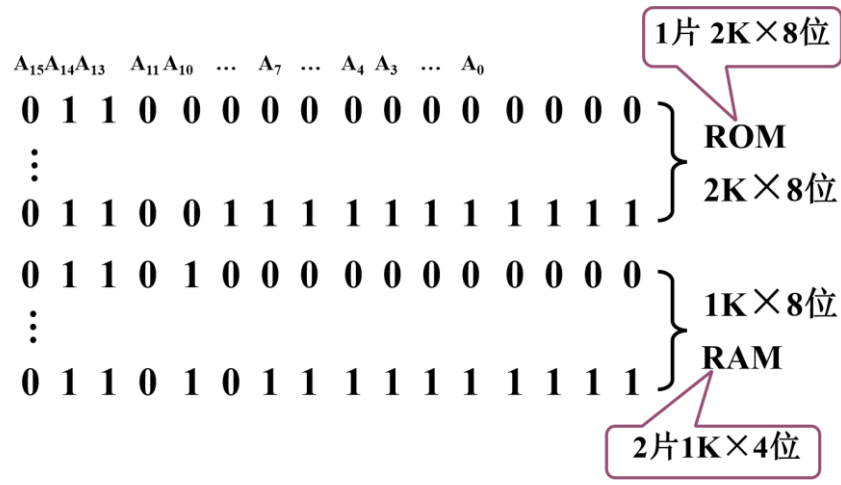
- 1、设 CPU 有 16 根地址线、8 根数据线，并用 MREQ 作为访存控制信号（低电平有效），用 WR 作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K × 4 位 RAM、4K × 8 位 RAM、8K × 8 位 RAM、2K × 8 位 ROM、

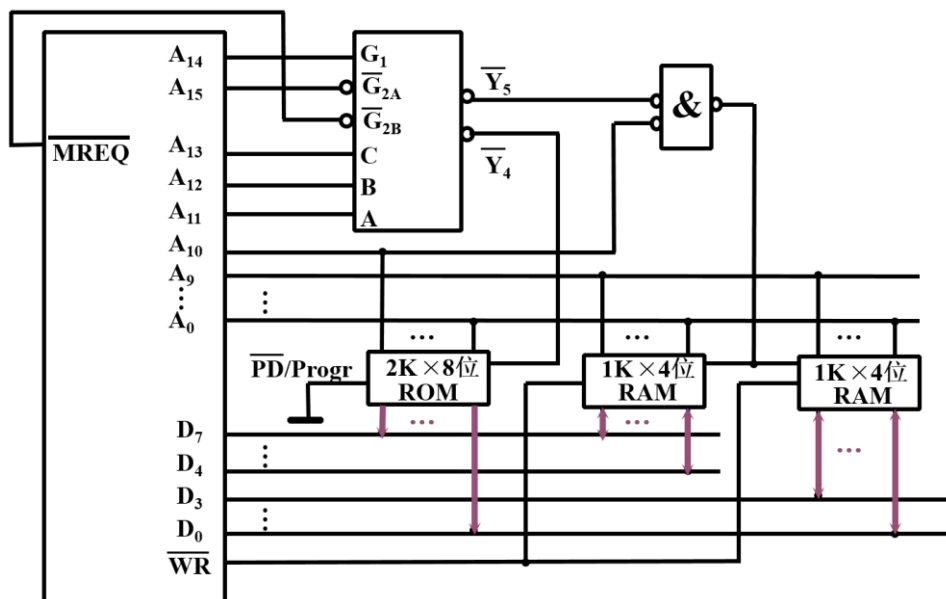
4K × 8 位 ROM、8K × 8 位 ROM 以及 74138 译码器和各种门电路,如图 4. 36 所示。画出 CPU 与存储器的连接图, 要求如下:

- ① 主存地址空间分配: (4 分)  
 6000H~67FFH 为系统程序区  
 6800H ~6BFFH 为用户程序区
- ② 合理选用上述存储芯片, 说明各选几片 (3 分)
- ③ 详细画出存储芯片的片选逻辑图 (3 分)



答:





- 2、按序写出下列程序所需的全部微操作命令及节拍安排。(微操作命令和节拍安排各 5 分)

指令地址	指令
300	LDA 306
301	ADD 307
302	BAN 304
303	STA 305
304	STP

答：

<b>LDA 306</b>		
取指周期	T <sub>0</sub>	PC→MAR 1→R
	T <sub>1</sub>	PC+1→PC M(MAR)→MDR
	T <sub>2</sub>	MDR→IR OP(IR)→CU
执行周期	T <sub>0</sub>	306(IR)→MAR 1→R
	T <sub>1</sub>	M(MAR)→MDR
	T <sub>2</sub>	MDR→ACC

<b>ADD 307</b>		
取指周期	T <sub>0</sub>	PC→MAR 1→R
	T <sub>1</sub>	PC+1→PC M(MAR)→MDR
	T <sub>2</sub>	MDR→IR OP(IR)→CU
执行周期	T <sub>0</sub>	370(IR)→MAR 1→R
	T <sub>1</sub>	M(MAR)→MDR
	T <sub>2</sub>	(ACC)+(MDR)→AC

<b>BAN 304</b>		
取指周期	T <sub>0</sub>	PC→MAR 1→R
	T <sub>1</sub>	PC+1→PC M(MAR)→MDR
	T <sub>2</sub>	MDR→IR OP(IR)→CU
执行周期	T <sub>0</sub>	
	T <sub>1</sub>	
	T <sub>2</sub>	

<b>STA 305</b>		
取指周期	T <sub>0</sub>	PC→MAR 1→R
	T <sub>1</sub>	PC+1→PC M(MAR)→MDR
	T <sub>2</sub>	MDR→IR OP(IR)→CU
执行周期	T <sub>0</sub>	305(IR)→MAR 1→W
	T <sub>1</sub>	AC→MDR
	T <sub>2</sub>	MDR→M(MAR)

<b>STP</b>		
取指周期	T <sub>0</sub>	PC→MAR 1→R
	T <sub>1</sub>	PC+1→PC M(MAR)→MDR
	T <sub>2</sub>	MDR→IR OP(IR)→CU
执行周期	T <sub>0</sub>	
	T <sub>1</sub>	
	T <sub>2</sub>	0→G