

《计算机组成原理》

（第九讲习题答案）

厦门大学信息学院软件工程系 曾文华

2023年6月19日

第9章 输入输出系统

- 9.1 输入输出设备与特性
- 9.2 I/O接口
- 9.3 数据传输控制方式
- 9.4 程序控制方式
- 9.5 程序中断控制方式
- 9.6 DMA方式
- 9.7 通道方式
- 9.8 常见I/O设备

习题 (P368-371)

- 9.2
- 9.3
- 9.4
- 9.5
- 9.6
- 9.8

习题答案（P368-371）

习题 9.2 选择题

- (1) **D**
 - I/O接口中的命令字、状态字，中断类型号，都是通过I/O总线的数据线传输的
- (2) **D**
 - A: 正确
 - B: 正确
 - C: 正确
 - D: 错误：采用统一编址方式，CPU可以使用访存指令访问I/O端口
- (3) **D**
 - I/O指令实现的数据传送发生在通用寄存器与I/O端口之间
- (4) **A**
 - 键盘输入属于外部中断事件，其他属于内部异常
- (5) **A**
 - 单级中断：保护现场 -> 中断事件处理 -> 恢复现场 -> 开中断 -> 中断返回
 - I V VI II VII
- (6) **B**
 - 中断隐指令的任务：保护断点、关中断、形成中断服务程序入口地址并送入PC

习题 9.2 选择题（续）

- (7) **B**
 - A: 正确
 - B: 错误, 多重中断, 中断处理期间CPU要开中断
 - C: 正确
 - D: 正确

- (8) **B**
 - 主存地址不可能在CPU和打印机控制接口中的I/O端口之间进行交换

- (9) **C**
 - A: 错误
 - B: 错误
 - C: 正确
 - D: 错误

- (10) **D**
 - A: 正确
 - B: 正确
 - C: 正确
 - D: 错误

- (11) **D**
 - 带宽=1600x1200x24x85x(1/50%)=7,833.6Mbit/s

- (12) **B**
 - 存取时间=寻道时间（找磁道的时间）+等待时间（找扇区的时间）+传输时间
 - 等待时间=磁盘转半圈的时间=(60/7200)x0.5=4.17ms
 - 传输时间=传输一个扇区的时间=(60/7200)/1000=0.0083ms
 - 存取时间=8+4.17+0.0083=12.18ms

习题 9.3 简要回答下列问题:

- (1) CPU与外部设备之间如何连接?
- 答:
 - 通常CPU与外部设备之间通过总线连接, 外部设备通过接口连接在总线上, 接口实现CPU与外部设备的连接和信息的交换。

习题 9.3 简要回答下列问题（续）：

- （2）CPU与外部设备信息交换的控制方式有哪些？它们各有什么特点？

• 答：

- （1）**程序控制方式**：首先，通过设置I/O接口的命令寄存器启动设备；设备准备的过程中，CPU通过读取I/O接口中的状态寄存器，查询设备是否已就绪，根据查询结果决定下一步操作究竟是进行数据传送，还是等待。程序控制方式也称为程序查询方式。程序控制方式的I/O接口设计简单，但是CPU与外部设备只能串行工作，CPU浪费大量时间进行查询和等待，系统效率较低。
- （2）**程序中断控制方式**：CPU启动外部设备后，不再查询外部设备的状态，当外部设备准备好后，主动向CPU发出中断请求；CPU响应中断请求，暂停正在执行的程序，并调用相应的中断服务程序，完成CPU与外部设备的一次信息传输。程序中断控制方式中，CPU与外部设备是并行工作，CPU利用率高。
- （3）**直接存储器访问方式**：即DMA方式，Direct Memory Access。DMA方式中，由DMA控制器（DMAC）临时代替CPU控制总线，控制外部设备与内存之间进行直接的数据交换，信息传送不再经过CPU寄存器中转；DMA方式主要用于存储器与外部设备（如磁盘）之间的大量数据传送。
- （4）**通道方式**：为进一步减少CPU被I/O操作中断的次数，提高CPU效率，出现了通道技术（通道方法）；由通道分担CPU的I/O管理，能有效提高系统效率。通道拥有独立的通道指令系统，可以通过执行通道程序来完成CPU指定的I/O任务。
- （5）**外围处理器方式**：外围处理机方式（PPU，Peripheral Processor Unit）是通道方式的进一步发展，通常用于大中型计算机系统中。

习题 9.3 简要回答下列问题（续）：

- （3）什么是程序查询I/O方式？简要说明其工作原理。
- 答：
 - 程序程序I/O方式是指输入/输出完全依靠CPU执行程序实现。
 - 当CPU要与设备进行数据交换时，首先设置接口命令寄存器启动设备；设备准备的过程中，CPU通过读取接口中的状态寄存器查询设备是否已就绪，根据查询结果决定下一步操作究竟是进行数据传送还是等待。
 - 这种控制方式中CPU与外部设备串行工作，CPU会浪费大量的时间进行查询和等待，系统效率较低。

习题 9.3 简要回答下列问题（续）：

- （4）比较单级中断和多重中断处理程序的异同点。
- 答：
 - 两者都可以有多个中断源，但单级中断的中断服务程序不可被其他中断源再次中断，所以中断服务程序全程为关中断状态；多重中断的中断服务程序保护现场的内容包括中断屏蔽字，并且保护现场后立即开中断，方便中断嵌套。

习题 9.3 简要回答下列问题（续）：

- （5）中断隐指令完成什么功能？

• 答：

- 中断隐指令的主要任务是：关中断、保存断点、中断识别。
- （1）**关中断**：关中断的目的是临时禁止新的中断请求，是为了在中断响应周期以及中断服务程序中保护现场操作的完整性，只有这样才能保证中断服务程序执行完成后，能返回断点正确执行。
- （2）**保存断点**：保存断点就是保存将来返回被中断程序的位置；对于已经执行完毕的指令，断点是下一条指令的位置；对于缺页故障、段错等执行指令引起的故障异常，由于指令并没有执行，断点就是异常指令的PC值。
- （2）**中断识别**：中断识别的主要任务就是根据当前的中断请求识别中断来源，将中断服务程序入口地址送入程序计数器PC。
- 中断隐指令内的操作是由硬件实现的，整个中断隐指令是不可被打断的；中断隐指令结束后，CPU将执行中断服务程序，直至中断返回，这部分由软件实现（中断服务程序）；因此，整个中断处理过程是软硬件协同实现的。

习题 9.3 简要回答下列问题（续）：

- （6）为什么在保护现场和恢复现场的过程中，**CPU**必须关中断？
- 答：
 - 保护现场、恢复现场的过程必须是原子操作，否则中断返回时被中断程序的运行现场不正常，程序无法正确运行。关中断就是为了保障保护现场、恢复现场的原子性。

习题 9.3 简要回答下列问题（续）：

- （7）CPU响应中断的条件有哪些？

答：CPU 响应中断的条件包括以下 5 点。

- ① 对应的中断请求未被屏蔽。
- ② 当前没有更高优先级的其他中断请求。
- ③ 如果 CPU 正在执行中断服务，则中断请求应符合嵌套条件。
- ④ 中断使能位处于使能状态，也就是开中断状态，内部异常和不可屏蔽中断不受此限制。
- ⑤ CPU 已执行完一条指令的最后一个状态周期。

（8）什么是中断优先级？它具有哪两层含义？划分优先级的原则是什么？

习题 9.3 简要回答下列问题（续）：

- （8）什么是中断优先级？它具有哪两层含义？划分优先级的原则是什么？

答：中断优先级是指 CPU 响应并处理不同中断源中断请求的先后次序。中断优先级包括两层含义：响应优先级和处理优先级。响应优先级是指 CPU 对各设备中断请求进行响应的先后次序，其在硬件线路上是固定的，不便于变动；处理优先级是指中断嵌套的实际优先级处理次序，通常可以利用中断屏蔽技术动态调整。

划分优先级的原则：①不可屏蔽中断>内部异常>可屏蔽中断；②内部异常中硬件终止属于最高级，其次是指令异常或自陷等程序故障；③DMA 中断请求优先于 I/O 设备传送的中断请求；④在 I/O 传送类中断请求中，高速设备优先于低速设备，输入设备优先于输出设备，实时控制设备优先于普通设备。

习题 9.3 简要回答下列问题（续）：

- （9）计算机中断系统中使用屏蔽技术有什么好处？

答：中断屏蔽技术可以动态调整处理优先级，从而使低优先级的中断也可以中断高优先级的中断服务程序，使中断处理更加灵活。如果不使用中断屏蔽技术，处理优先级和响应优先级相同。

习题 9.3 简要回答下列问题（续）：

- （10）计算机中断响应后，如何调出中断服务程序？

答：通过硬件或软件方法查找中断源，清除当前中断请求，将对应的中断服务程序入口地址送入程序计数器 PC，完成中断识别后即可正式执行中断服务程序。

习题 9.3 简要回答下列问题（续）：

- （11）DMA方式传送数据前，CPU应该先进行哪些操作？
- 答：
 - （1）**初始化DMA**：CPU将内存地址、数据块长度、数据传输方向等DMA传输参数通过系统总线经DMAC的I/O接口传输给DMAC，此时DMAC是总线的从设备，接收CPU传输过来的DMA参数。
 - （2）**启动设备**：CPU通过系统总线向设备I/O接口发送DMA读、写命令以及相关参数，这里的参数包括设备地址、传输块大小、传输方向等，也就是传统的启动设备的过程。
 - （3）**其他进程运行**：完成以上工作后，CPU将当前进程主动挂起，通过进程调度转去执行其他进程，以充分利用CPU资源。

习题 9.3 简要回答下列问题（续）：

- （12）比较中断I/O和DMA的异同点。

- 答：

- （1）两者均采用了“请求-应答”机制；中断方式请求的是CPU时间，响应时机是指令周期结束时刻；DMA方式请求的是总线控制权，响应时机是任何一个机器周期结束的时刻。
- （2）中断方式通过CPU执行程序进行实际的数据传送，存在程序执行现场的保护和恢复问题；DMA方式依靠额外的硬件来实现数据传输，其不改变CPU现场，不影响系统性能。
- （3）DMA方式仅仅用于数据的传输；中断方式不仅可以实现数据传输，还可以用于处理各种随机事件，提高计算机的灵活性。

9.4 A、B、C 是与 CPU 连接的 3 个设备，在硬件排队线路中，它们的优先级是 $A > B > C > \text{CPU}$ ，为改变中断处理的次序，它们的中断屏蔽字如表 9.5 所示（设“0”表示允许中断，“1”表示中断屏蔽）。请按图 9.36 所示的时间轴给出的设备中断请求时刻，画出 CPU 执行程序的轨迹（A、B、C 中断服务程序的时长为 $20\mu\text{s}$ ）。

表 9.5 中断屏蔽表

设备名	中断屏蔽字		
	A	B	C
A	1	1	1
B	0	1	0
C	0	1	1

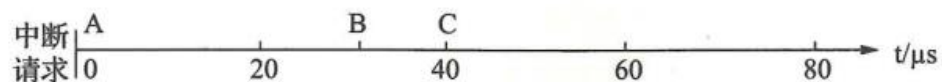
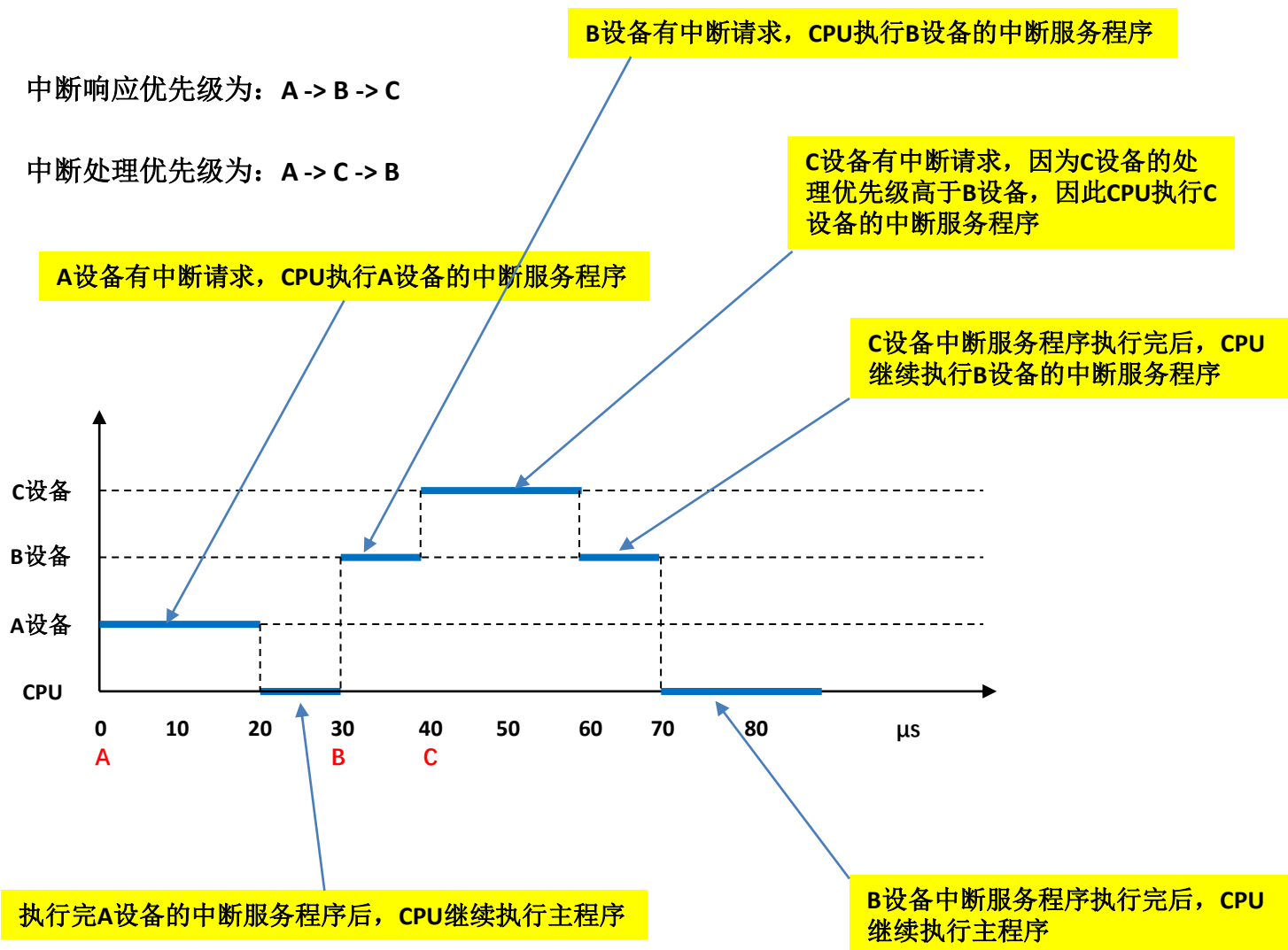


图 9.36 中断请求时刻

习题 9.4

• 答:

- 中断响应优先级为: A -> B -> C
- 中断处理优先级为: A -> C -> B



9.5 设某计算机有 4 级中断：L0、L1、L2、L3。其中断响应优先次序为 $L0 > L1 > L2 > L3$ ，现在要求将中断处理次序改为 $L1 \rightarrow L3 \rightarrow L0 \rightarrow L2$ 。请回答下列问题。

(1) 表 9.6 所示的中断屏蔽字该如何设置（“0”表示允许中断，“1”表示中断屏蔽）？请将答案填入表 9.6 中。

表 9.6 更新后的中断屏蔽表

设备名	中断屏蔽字			
	L0	L1	L2	L3
L0				
L1				
L2				
L3				

(2) 若这 4 级中断同时都发出中断请求，按更改后的次序画出进入各级中断处理程序的过程示意图。

习题 9.5

• 答:

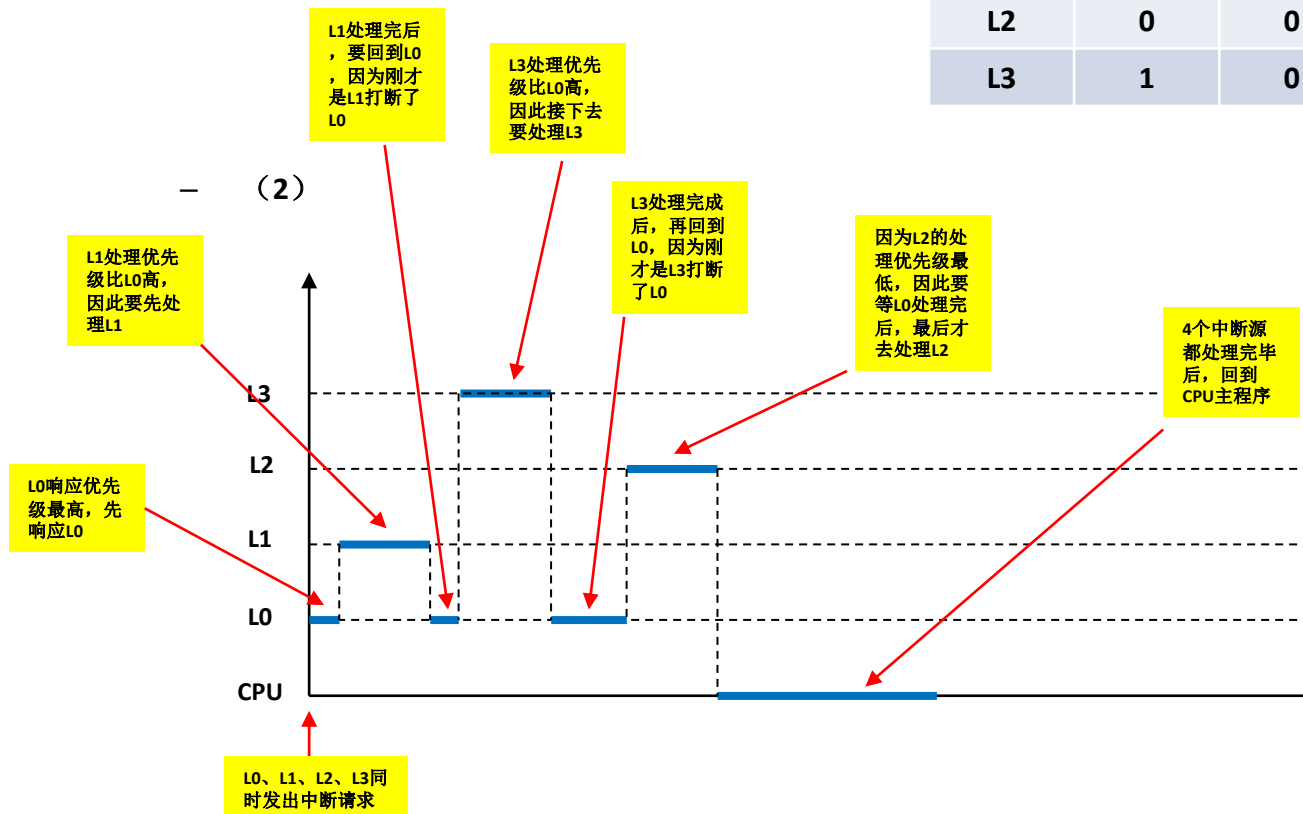
— (1) 中断响应次序: L0 -> L1 -> L2 -> L3

— 中断处理次序改为: L1 -> L3 -> L0 -> L2

— 因此中断屏蔽字为:

设备名	中断屏蔽字			
	L0	L1	L2	L3
L0	1	0	1	0
L1	1	1	1	1
L2	0	0	1	0
L3	1	0	1	1

— (2)



习题

9.6

9.6 某计算机的 CPU 主频为 500MHz，与之连接的外部设备的最大数据传输速率为 20KB/s，外部设备接口中有一个 16 位的数据缓冲器，相应的中断服务程序执行时间为 500 个时钟周期，通过计算分析该设备是否可采用中断 I/O 方式。若该设备的最大数据传输速率为 2MB/s，该设备是否可采用中断 I/O 方式？

• 答：

- 外部设备的最大数据传输速率=20KB/s，数据缓冲区=16位=2B
 - 因此，每秒产生的中断次数=20KB/2B=10K=10000次
 - 中断占用CPU的时间=500x(1/500MHz)x10000=1%
 - 采用中断方式只占CPU1%的时间，影响不大，可以采用中断I/O方式。
-
- 如果外部设备的最大数据传输速率=2MB/s，数据缓冲区=16位=2B
 - 此时，每秒产生的中断次数=2MB/2B=1M=1,000,000次
 - 中断占用CPU的时间=500x(1/500MHz)x1,000,000=100%
 - 采用中断方式要占CPU100%的时间，故不能采用中断I/O方式。

9.7 假定 CPU 主频为 50MHz，CPI 为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 字符，通信规程中有 1 位奇校验位和 1 位停止位，从 D 接收启动命令到字符送入 I/O 端口需要 0.5ms。请回答下列问题，需要说明理由。

(1) 每传送一个字符，在异步串行通信线上共需传输多少位？在设备 D 持续工作过程中，每秒最多可向 I/O 端口送入多少个字符？

(2) 设备 D 采用中断方式进行输入输出，示意图如图 9.37 所示。

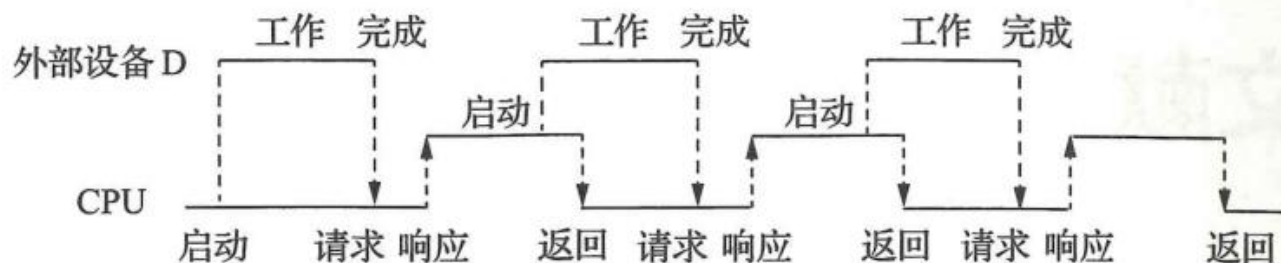


图 9.37 设备中断响应流程

I/O 端口每收到一个字符就申请一次中断，中断响应需 10 个时钟周期，中断服务程序共有 20 条指令，其中第 15 条指令启动设备 D 工作。若 CPU 需从设备 D 读取 1000 个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU 用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段 CPU 进行了哪些操作？

- 9.7

- 答:

- (1)

- 异步串行通信的信息帧格式: 1位起始位+7位ASCII字符+1位奇校验位+1位停止位=10位
 - 因此, 共需传输10位
 - 因为从设备D接收启动命令到字符送入I/O端口需要0.5ms, 因此每秒最多可向I/O端口送入:
 $1s/0.5ms=2000$ 个字符

- (2)

- 时钟周期 $T=1/50MHz=0.02\mu s$
 - 一个字符传送时间=设备D将字符送I/O端口的时间 + 中断响应时间 + 中断服务程序前15条指令的执行时间
 $= 0.5ms + 10T + 15 \times 4T = 500\mu s + 10 \times 0.02\mu s + 60 \times 0.02\mu s = 501.4\mu s$
 - 读取1000个字符需要: $1000 \times 501.4 = 0.5014s = 0.5014 \times 50MHz = 2.507 \times 10^7 T$
 - CPU用于完成这一任务的时间= $1000 \times (10 + 20 \times 4) \times T = 90000T$
 - 在中断响应阶段, CPU主要完成: 关中断、保护断点和中断识别操作

9.8 假定计算机的主频为 500MHz, CPI 为 4。现有设备 A 和 B, 它们的数据传输速率分别为 2MB/s 和 40MB/s, 对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题并给出计算过程。

(1) 若设备 A 采用定时查询 I/O 方式, 每次输入输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据? CPU 用于设备 A 输入输出的时间占 CPU 总时间的百分比至少是多少?

(2) 在中断 I/O 方式下, 若每次中断响应和中断处理的总时钟周期数至少为 400, 则设备 B 能否采用中断 I/O 方式? 为什么?

(3) 若设备 B 采用 DMA 方式, 每次 DMA 传送的数据块大小为 1000B, CPU 用于 DMA 预处理和后处理的总时钟周期数为 500, 则 CPU 用于设备 B 输入输出的时间占 CPU 总时间的百分比最多是多少?

习题 9.8

• 答:

— (1)

- 时钟周期 $T = 1/500\text{MHz}$
- 设备 A 的数据传输速率 = 2MB/s, 32 位数据缓冲区, 因此设备 A 必须每隔 $32/(2\text{MB/s}) = 2\mu\text{s}$ 查询一次
- 即 1 秒查询 $1\text{s}/2\mu\text{s} = 500,000$ 次
- 查询一次需要的时间 = $10 \times 4 \times T$
- 查询方式 CPU 用于设备 A 的时间占比为 $= 500000 \times 40T / 1\text{s} = 4\%$

— (2)

- 设备 B 的数据传输速率 = 40MB/s, 32 位数据缓冲区, 因此设备 B 必须每隔 $32/(40\text{MB/s}) = 0.1\mu\text{s}$ 中断一次
- 中断一次需要的时间 = $400 \times T = 400/500\text{MHz} = 0.8\mu\text{s} > 0.1\mu\text{s}$
- 因此, 设备 B 不能采用中断 I/O 方式

— (3)

- 设备 B 的数据传输速率 = 40MB/s, DMA 方式的数据块大小 = 1000B, 因此设备 B 必须每隔 $1000\text{B}/(40\text{MB/s}) = 25\mu\text{s}$ 进行一次 DMA 传输
- 即每秒进行 $1\text{s}/25\mu\text{s} = 40,000$ 次 DMA 操作
- 一次 DMA 需要花费 CPU 时间 = $500T$
- DMA 方式设备 B 占用 CPU 的时间比 = $40000 \times 500T / 1\text{s} = 4\%$

Thanks