



厦门大学《计算机组成原理》课程期末试卷

信息学院 软件工程系 2018 级 软件工程专业

主考教师：曾文华、张海英

试卷类型：(A 卷) 答案

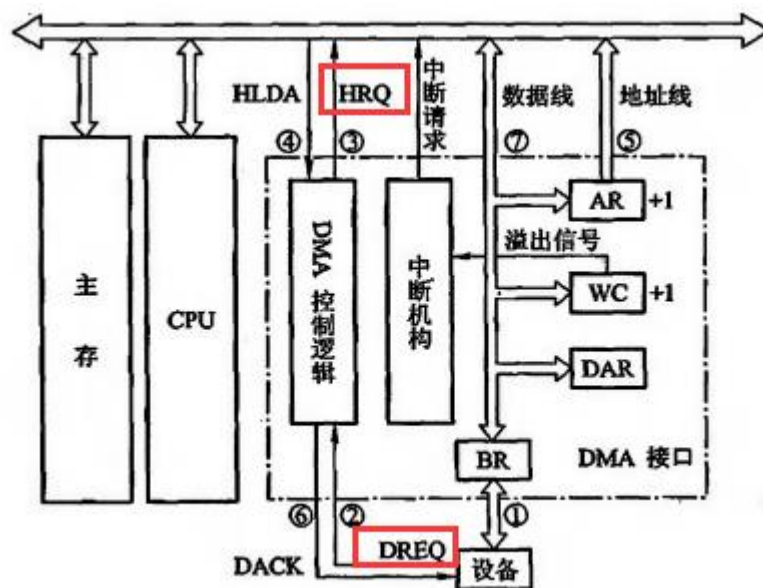
一、简答题（5 小题，共 40 分）

1. (7 分) 结合现代计算机组成框图，回答问题：

(1) 请结合所学，举出一个例子，说明图中 I/O 外设与主机之间反馈线的具体含义。

如：总线的判优控制方式中，CPU 向 I/O 接口发出的 BG 总线同意信号，一旦查询到满足条件的接口，则该外设接口就会向 CPU 发送一个 BS 信号，表示总线忙状态。通知 CPU 和其他外设总线被它占用。

如：DMA 方式中，外设采用 DMA 方式与主存通信时，通过 DMA 接口与 CPU 进行联络的握手信号 DREQ 和 HRO



如：接口电路中的状态线将外设状态反馈给主机，'ready', 'busy' 等等。

注：该题目中描述的反馈线主要针对主机与外设之间的联络信号，因而，题目的采分点应着眼于此。

(2 分)

(2) 请各举一例解释控制单元 CU 向主存、ALU 和 I/O 设备发出什么样的控制信号。

向主存发出的读写 R/W 控制信号，片选 CS 信号等；

向 ALU 发出的运算器工作方式控制信号 S1S2S3S4，还有控制运算器运算的脉冲信号等等；

向外设发出的查询信号 INTR, HLDA 信号等等。

注：该题目主要考察学生对于部件之间分工协作这一原理的认识和把握。

(3 分)

3 个例子, 每个例子 1 分)

- (3) 如果要想主存和 I/O 外设之间直接通信, 在数据通道上需要如何设计? 可以采用什么方式?

需要在主存与外设之间增加数据总线, 采用 DMA 直接存储器访问方式。

(2 分)

2 个小问, 每个小问 1 分)

2. (12 分) 图 2 表示某输入设备与 CPU 采用同步式数据输入的传输过程。结合该图, 回答下述问题:

- (1) 在一个总线传输周期中的 4 个时钟周期 $T_1 \sim T_4$ 内, 各自完成什么样的具体操作?
对于输入过程: T_1 : 主模块发地址; T_2 : 主模块发读命令; T_3 : 从模块提供数据;
 T_4 : 主模块撤销读命令, 从模块撤销数据。

(4 分)

- (2) 地址信号为何要保持一个总线周期?

因为总线是分时共享的, 所以为了确保在该总线周期内该地址端口对应的输入设备将数据稳定的正确地写入到 CPU 中。

(1 分)

- (3) 读命令为何要在地址信号出现以后才能出现在总线上?

先送地址是为了进行地址译码找到外设, 然后再发送读控制命令, 控制该外设的读写。如果顺序颠倒, 则会出现读写错误, 即: 有可能将其他外设端口的数据读进来。

(1 分)

- (4) 如果该传输过程发生在 CPU 与输出设备之间, 需要改变什么信号? 数据总线上的数据出现的时间会发生如何的变化? 为什么?

需要改变读写控制信号, 读命令切换为写命令。

数据总线上的数据会更早的出现在总线上。

因为数据由 CPU 提供, 无需更多的准备时间。

(3 分)

3 个小问、每个 1 分)

- (5) 如果在一个总线周期内无法完成传输过程, 可采用什么工作方式?

可以采用异步方式或者半同步方式

(1 分)

- (6) 如果该传输过程是发生在 CPU 与存储器之间，图中需要增加什么控制信号？为什么？

需要增加片选 CS 信号。

因为存储器是由一定容量和规格的存储芯片构成的，存储器地址由高位的片选地址和片内地址两部分构成。为了保证译码正确，必须增加片选信号。

(2 分) 2 个小问, 每个 1 分)

3. (5 分) Cache 与主存的地址映射方式中，全相联映射方式下主存的地址格式如下所示：

主存字块标记	字块内地址
--------	-------

- (1) 该地址格式中为什么没有 Cache 字块地址字段？

因为全相联地址映射方式的特点是，主存中某块可以进入到 cache 中任一块中，所以在主存地址中无需体现 cache 字块地址字段。

(1 分)

- (2) 主存字块标记如何与 Cache 的标记位进行比较？如何提速？

访问 cache 时，主存字块标记需要和 cache 的全部标记位进行比较。

通常采用“按内容寻址”的相联存储器。

(2 分) 2 个小问、每个 1 分)

- (3) 如果采用组相联地址映射方式，画出对应的主存地址格式并从原理上阐述该地址格式与直接映射地址格式的差异性。

(2 分)

主存字块标记	组地址	字块内地址
--------	-----	-------

组相联映射是映射到 cache 中固定组中的任意块。直接映射是映射到 cache 中固定块，所以两者的地址格式主要体现在中间字段上。

4. (10 分) 答：

$$X = 13.3125 = 213/16 = (213/256) * 16 = 0.1101\ 0101\ 00 * 2^4$$

$$X = 1,0100\ 0.1101\ 0101\ 00$$

(2 分)

$$Y=26.125=209/8=(209/256)*32=0.1101\ 0001\ 00*2^5$$

$$Y=1,0101\ 0.1101\ 0001\ 00 \quad (2\text{分})$$

$$-Y=1,0101\ 1.0010\ 1111\ 00 \quad (1\text{分})$$

$$\text{对阶: } X=1,0101\ 0.0110\ 1010\ 10 \quad (1\text{分})$$

$$\text{尾数求和: } X+(-Y) \quad (2\text{分})$$

$$\begin{array}{r} 0.0110\ 1010\ 10 \\ +\ 1.0010\ 1111\ 00 \\ =\ 1.1001\ 1001\ 10 \end{array}$$

$$\text{尾数规格化: } \text{尾数左移 1 位, 阶码减 1} \quad (2\text{分})$$

$$\text{结果: } X-Y=1\ 0100\ 1.0011\ 0011\ 00$$

$$\text{验证: } -0.1100\ 1101\ 00*2^4=-(205/256)*16=-12.8125$$

(这一步不要求学生做!)

5. (6分) 答:

$$(1)\ \text{时钟周期取 4 个段中操作时间最大的值: } 90\text{ns} \quad (1.5\text{分})$$

$$(2)\ \text{串行方式时间为: } 80\text{ns}+90\text{ns}+70\text{ns}+50\text{ns}=290\text{ns}$$

$$\text{加速比} = 290\text{ns}/90\text{ns} = 3.22 \quad (1.5\text{分})$$

$$(3)\ \text{至少需用推迟 2 个时钟周期} \quad (1.5\text{分})$$

$$(4)\ \text{可以采取旁路技术, 即设置直接传送数据的通路} \quad (1.5\text{分})$$

二、 综合题 (5 小题, 共 60 分)

1. (12分) 假设某存储系统的主存采用多体并行结构 (3 个体 M0, M1, M2, 每个体 4 个单元)。请回答下述问题:

(1) 如果让多体之间能并行工作, 请给出主存中每个体的地址编码。(3分)

M0:	0000	0001	0010	0011
M1:	0100	0101	0110	0111
M2:	1000	1001	1010	1011

(2) 如果让多体之间能够交叉工作，请给出主存中每个体的地址编码。(3 分)

M0:	0000	0011	0110	1001
M1:	0001	0100	0111	1010
M2:	0010	0101	1000	1011

(3) 根据上述的地址格式，解释采用哪种地址格式可以提高存储器的存储带宽？

答：提高存储器带宽，应该利用低位交叉编址方式。CPU 采用交叉访问的方式，使得多体之间的读写工作重叠，可以使得存储器在一个存取周期内，向 CPU 提供三倍的存储字长，达到提高存储器带宽的目的。(2 分)

(4) 假设每个体的存储字长是 16 位，存取周期 100ns，数据总线宽度 16 位，总线传输周期 30ns，求两种编码方式下的存储器带宽。

顺序存储连续读出 3 个字的时间：100ns×3=300ns=3×10⁻⁷s

带宽： $16 \times \frac{3}{3 \times 10^{-7}} = 16 \times 10^7 bps$ (2 分)

交叉存储连续读出 3 个字的时间：100ns+30ns×(3-1)=160ns=1.6×10⁻⁷

带宽： $16 \times \frac{3}{1.6 \times 10^{-7}} = 30 \times 10^7 bps$ (2 分)

2. (13 分) 某模型机的机器字长为 16 位，有 8 个通用寄存器、1 个基址寄存器和 1 个变址寄存器（均为 16 位寄存器）。假设指令字长、存储字长与机器字长相同

答：(1) (2 分，每个 0.5 分)

OP(4)	R(3)	M(2)	A(7)
-------	------	------	------

OP(4 位)：操作码位，对应 16 条指令

R(3 位)：选择 8 个通用寄存器中的 1 个作为寄存器型操作数

M(2 位)：寻址特征位，表示主存的 4 种寻址模式

A(7 位)：形式地址

(2) (4 分)

直接寻址的范围：2⁷

存储器间接寻址的范围：2¹⁶

基址寻址的范围： 2^{16}

变址寻址的范围： 2^{16}

(3) (2.5 分, 每 1 个 0.5 分)

OP(4)	R(3)	M(2)	RB/RX(3)	A(4)
-------	------	------	----------	------

OP(4 位): 操作码位, 对应 16 条指令

R(3 位): 选择 8 个通用寄存器中的 1 个作为寄存器型操作数

M(2 位): 寻址特征位, 表示主存的 4 种寻址模式

RB/RX(3 位): 选择 8 个通用寄存器中的 1 个作为基址寄存器或变址寄存器

A(4 位): 形式地址

(4) 可采用三种方式

① 采用直接寻址方式, 将指令的字长扩展到 32 位:

OP(4)	R(3)	M(2)	RB/RX(3)	A1(4)
A2(16)				

形式地址 = A1//A2 = 20 位地址 $2^{20}=1M$ (1.5 分)

② 采用基址寻址方式, 指令字长仍然是 16 位, 将基址寄存器 (16 位) 的内容作为高 16 位, 形式地址 A (4 位) 的内容作为低 4 位, 拼接成 1 个 20 位的地址。

(1.5 分)

③ 采用变址寻址方式, 指令字长仍然是 16 位, 将变址寄存器 (16 位) 的内容作为高 16 位, 形式地址 A (4 位) 的内容作为低 4 位, 拼接成 1 个 20 位的地址。

(1.5 分)

3. (10 分) 假设某计算机有 4 个中断源 A、B、C、D, 其硬件排队优先次序为 $A > B > C > D$, 现要求将中断处理次序改为 $C > D > B > A$ 。

(1) 写出每个中断源对应的新屏蔽字。

(2) 画出采用屏蔽技术后, 中断服务程序的流程图。

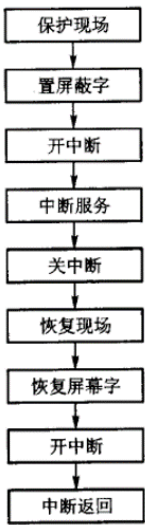
(3) 图 3 的时间轴给出了 4 个中断源的请求时刻, 画出 CPU 执行程序的轨迹。假设每个中断源的中断服务程序时间均为 $20\mu s$ 。

答：

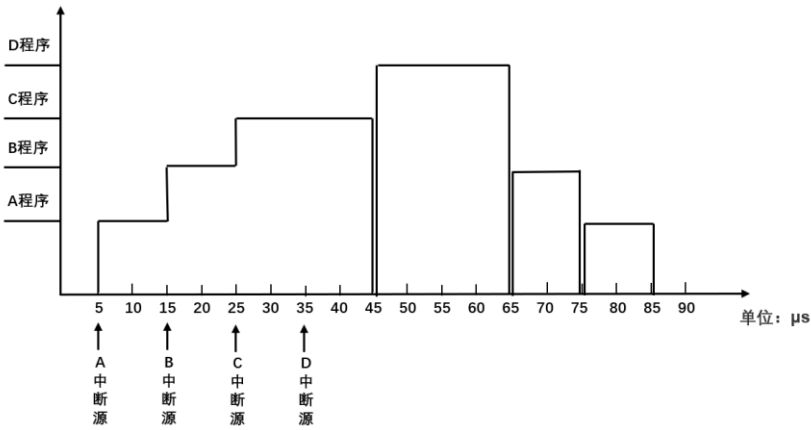
(1) 新的屏蔽字 (2 分，每一个 0.5 分)

中断源	屏蔽字			
	A	B	C	D
A	1	0	0	0
B	1	1	0	0
C	1	1	1	1
D	1	1	0	1

(2) 采用屏蔽技术后，中断服务程序的流程图如下： (3 分)

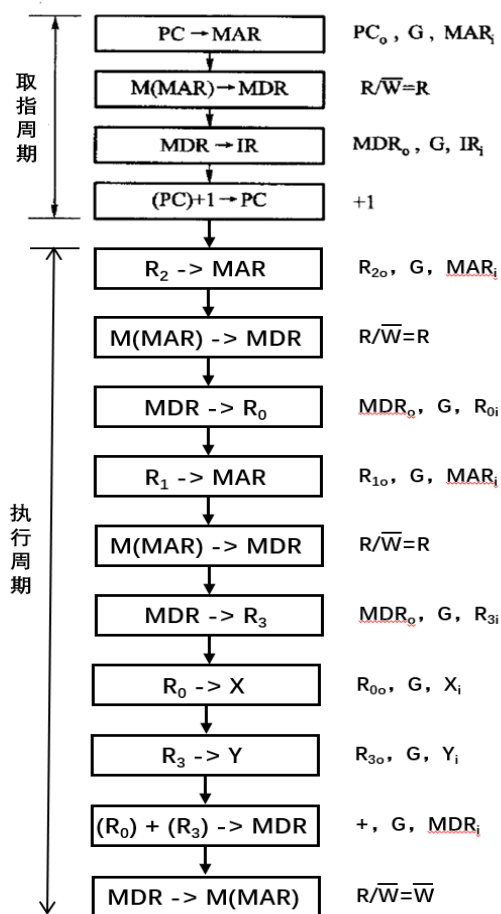


(3) CPU 执行程序的轨迹 (5 分)



4. (12 分) 某模型计算机采用双总线结构，如图 4 所示。“ADD @R1, @R2”指令

完成 $((R1)) + ((R2)) \rightarrow ((R1))$ ，即将两个存储单元的内容相加，结果送其中一个存储单元，采用寄存器间接寻址方式。画出该指令的指令周期的信息流程图，并列出相应的微操作控制信号序列。



取指周期 4 分，取第 1 操作数部分 2.5 分，取第 2 操作数部分 2.5 分，加法运算部分 2 分，运算结果回存 1 分

5. (13 分) 设 CPU 共有 16 根地址线，8 根数据线，并用 \overline{MREQ} 作为访存控制信号（低电平有效），用 \overline{WR} 作为读写控制信号（高电平为读，低电平为写）。现有下列存储芯片：要求：

- (1) 存储芯片地址空间分配为：0 ~ 8191 为系统程序区；8192 ~ 32767 为用户程序区；最大 4K 地址空间为系统程序工作区。

(2) 指出选用芯片的数量和种类，并给出分析过程。

根据主存地址空间分配：

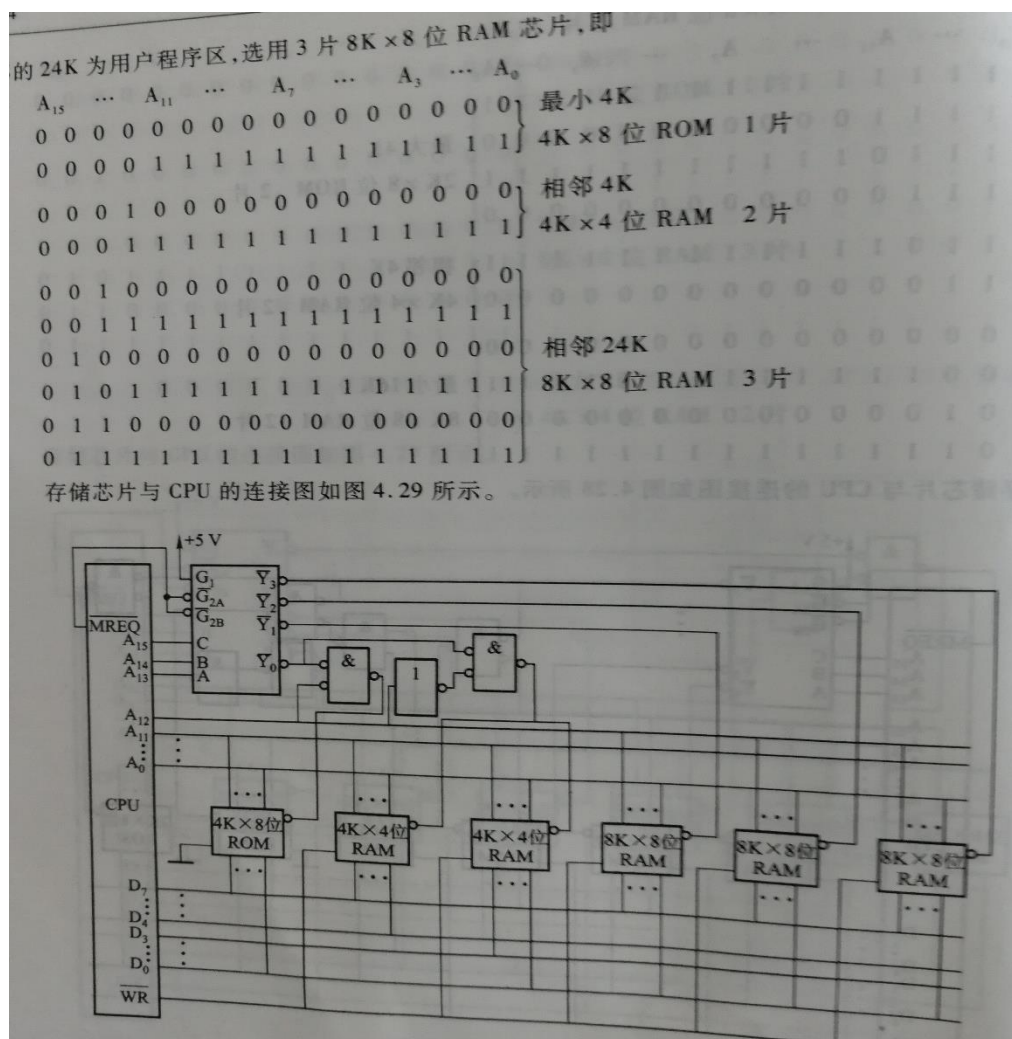
0~8191 为系统程序区，选用 1 片 $8K \times 8$ 位 ROM 芯片； (1 分)

8192~32767 为用户程序区，选用 3 片 $8K \times 8$ 位 RAM 芯片。 (1 分)

最大 4K，选用 2 片 $4K \times 4$ 位 RAM 芯片。 (1 分)

(3) 详细画出片选逻辑。 (10 分)

具体参看下图



片选设计：共计 5 分 (输入端 3 分，控制门 2 分，译码器输出逻辑 3 分)

ROM 片内地址线 0.5 分，数据线 0.5 分，接地信号 0.5 分

RAM 片内地址线 0.5 分，数据线 0.5 分，读写线 0.5 分