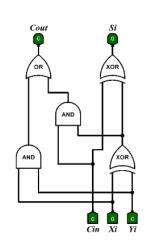
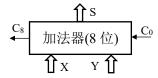


一、现有 8 位加法器,输入分别为被加数 $X=X_8-X_1$,加数 $Y=Y_8-Y_1$,进位输入 C_0 ,输出 $S=S_8-S_1$,第 8 位为最高位, C_8 为最高位进位,完成下列各题。(14 分)





- 1) 若该 8 位加法器是由 8 个一位全加器 FA 串联构成, FA 内部结构如图所示, 假设所有门电路时间延迟均为 1T, 则全加器 FA 的关键时延为 3T 。 8 位串行加法器关键时延为 17T 。 (4 分)
- 2) 结合组合逻辑电路的特性, 简要分析怎么样才能保证 8 位串行加法器运算结果是正确的?(2 分)

组合逻辑电路的特点是输出随输入的改变而改变,从工程上看,该加

法器输入端数据一定要持续8位串行加法器的延迟,只有这样才能保证每次运算结果的有效性。

- 3) 若 X、Y、Z 采用补码,则 S 最大值为 <u>7F (</u>16 进制),最小数为 <u>80 (</u>16 进制)。(2 分)
- 4) 该加法器是否可以进行无符号数的运算,简要说明理由。(2分)

5) 该 8 位加法器具有溢出检测功能吗? 如果有请说明原因; 如果没有,请给出一种增加溢出检测功能的方法。从软硬协同的角度分析运算器提供硬件溢出检测机制的意义(5 分)

只能对无符号数加法具有溢出检测功能。

对有符号数的溢出没有检测功能。对于本运算器而言,只能通过额外设计电路,通过参加运算数据的符号位和结果的符号位是否相同的方式来判断溢出。

硬件提供溢出检测后,程序员可通过该溢出位判断溢出与否,而不再需要通过专门程序 判断溢出,简化了程序设计,且有利于流水线 CPU 的高效运行。



二、某原始 16 位数据为 0x0181, 采用 CRC 校验码进行传输和校验,若采用的生成多项式为 $G(x)=x^6+x^5+x^3+x^2+x+1$,完成下列各题。(14 分) 1) 该原始数据对应的编码可能是某汉字 GB2312 编码吗,为什么?(2 分) 不是,因为汉字 GB2312 编码两个字节的最高位应该是 1。

2) 若采用 CRC 校 1 验码对该数据进行编码传输,求对应的 CRC 编码(最终结果以 16 进制表示,要求写出计算过程)(4分)

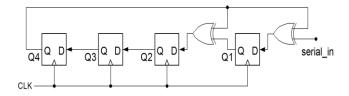
0000 0001 1000 0001 <u>000000</u> mod 1101111 = 001011 最终编码为 0000 0001 1000 0001 001011

16 进制为 604B

3) 若接收方进行 CRC 解码时得到 CRC 余数是 010000, 在什么条件下可通过 CRC 校验的原理判断 出错的位置,并给出此条件下由上述余数计算出的出错位。(4分)

在能判断只有一位出错的情况下,可利用接收方解码时得到的不为 0 余数判断出错位。这里应该是传输编码的第 5 位出错。

4)下图为某串行 CRC 电路



(1) 根据该图给出此 CRC 校验使用的生成多项式, 并简要说明理由。(2分)

10011,根据 CRC 校验码的原理,被除数最高位为 1 时才进行减法运算,图中最低两个 D 触发器的输入端有 2 个异或门

(2) 简要对比并行 CRC 电路与串行 CRC 电路的特点。(2分)

时序/组合逻辑 多个时钟周期/单周期 慢/快 硬件少/硬件多



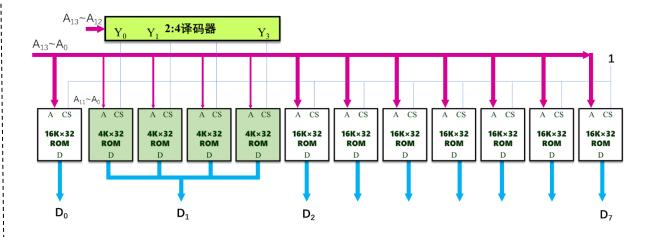
三、汉字显示可以采用字形码进行点阵显示, 现需要构建一个 16*16 点阵的汉字字库, 用于显示 16 位的 GB2312 汉字编码, 假设需要一次读出一个汉字字形码的全部点阵信息。现在有 7 块 16K*32 位的 ROM 芯片, 7 块 4K*32 位的 ROM 芯片, 规格如下图。(14 分)





1) 选用其中的部分芯片设计汉字字库存储系统,则该字库存储系统 地址线至少是<u>14</u>根,数据线至少<u>256</u>根,需要 16K*32 位 ROM 7 片,4K*32 位 ROM 4 片。(4 分)

2)给出该汉字字库的逻辑示意图,假设输入为地址线 $A_i \cdots A_0$,要求标注各芯片的详细的地址输入,片选 CS输入(高电平有效),数据输出 $D_k \cdots D_0$ 。(5分)



3) 假设 GB2312 汉字点阵信息全部存放在一个文件中,每个汉字的点阵数据在文件中顺序存放, 解 请问汉字数据如何分割载入到你设计的存储系统的每个芯片中。(3分)

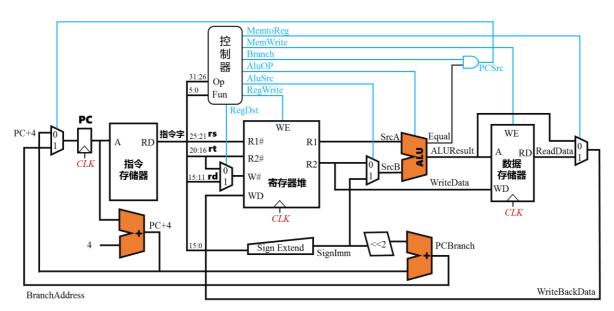
首先需要将字库文件均分为8个文件,其中7个文件载入16K*32位的然后将其中一个文件再均分成4份,

4) 这个汉字字库如何才能显示英文字符和数字字符? (2分)

线 可以使用全角字符代替英文字符和数字字符

分 数	
评卷人	

七、下图为某 32 位单周期 MIPS CPU 的逻辑框图,完成下列各问。(16 分) 1) lw \$rt, imm(\$rs) 的功能为: R[\$rt]←Men₄₈(R[\$rs]+SignExt16b(imm))。分别给出该指令取指和执行阶段需要使用的主要功能部件及相关控制信号的值,确保该指令能正确执行。 (5 分)



取指令阶段部件: PC 寄存器,指令寄存器,加法器

执行阶段部件: 寄存器堆 ALU 符号扩展器 数据存储器

控制信号	MemtoReg	MemWrite	Branch	Alu0P	AluSrc	RegWrite	RegDst
值	1	0	0	5	1	1	0

2) 假设 lw 指令中 imm 字段的值为 8AF2H, 则经过图中扩展电路后的值为_____(16 进制示)? 为什么要对指令 imm 字段的值进行符号扩展? (3 分)

FFFF8AF2

因为 ALU 为 32 位, imm 字段本身只有 16 位, 当与另一个 32 位数据进行运算时, 必须将符号位扩展为 32 位数才能参与运算

3) 如果要修改 CPU 设计方案,变成多周期 CPU,则需要对上述结构做哪些变化? (4分)

可以将指令存储器和数据存储器合二为一;在每个功能部件后增加一个缓冲器,如主存、寄存器堆、ALU等部件后都要增加。

4) 如果多周期 MIPS CPU 采用微程序控制器,若要加入中断逻辑,应该进行哪些扩展?(4分)

微程序中需要增加中断隐指令的微程序,该微程序的功能是保存断点,修改 PC 地址为中断程序入口地址,微指令 P 字段需要增加一位用于进行中断判断,每条指令对应微程序最后一条指令的中断判断位为 1,如果当前有中断请求信号,要进行分支跳转中断隐指令对应的微程序。