



# 厦门大学《计算机组成原理》课程期末试卷

信息学院 软件工程系 2018 级 软件工程专业

主考教师：曾文华、张海英

试卷类型：(B 卷) 答案

## 一、选择题（请从 A、B、C、D 中选择唯一的一个正确答案，每 1 小题 1 分，共 20 分）

1. 有些计算机将一部分软件永久地存于只读存储器中，称之为 C。

- A. 硬件
- B. 软件
- C. 固件
- D. 辅助存储器

2. 冯诺伊曼计算机工作方式的基本特点是 B。

- A. 多指令流单数据流
- B. 按地址访问并顺序执行指令
- C. 堆栈操作
- D. 存储器按内容选择地址

3. 计算机中 B 负责指令译码。

- A. 算术逻辑单元
- B. 控制单元
- C. 存储器译码电路
- D. 输入输出译码电路

4. 存放欲执行指令的寄存器是 D。

- A. MAR
- B. PC
- C. MDR
- D. IR

5. 在 CPU 中跟踪指令后续地址的寄存器是 C。

- A. MAR
- B. IR
- C. PC
- D. MDR

6. 计算机使用总线结构便于增减外设，同时 C。

- A. 减少了信息传输量
- B. 提高了信息的传输速度

C.减少了信息传输线的条数

D.增加了信息传输的条数

7. 总线的异步通信方式是 A。

A. 不采用时钟信号，只采用握手信号

B. 采用时钟信号，不采用握手信号

C. 既采用时钟信号，又采用握手信号

D. 既不采用时钟信号，又不采用握手信号

8. 不同的信号共用一组信号线，分时传送，这种总线传输方式是 C。

A. 猝发

B. 并行

C. 复用

D. 串行

9. 在同步通信中，一个总线周期的传输过程是 B。

A. 先传送数据，再传输地址

B. 先传送地址，再传输数据

C. 只传输数据

D. 只传输地址

10. 所谓三总线结构的计算机是指 B。

A. 地址线、数据线和控制线三组传输线

B. I/O 总线、主存总线和 DMA 总线三组传输线

C. I/O 总线、主存总线和系统总线三组传输线

D. I/O 总线、主存总线和通信总线三组传输线

11. 下列器件中存取速度最快的是 D。

A. Cache

B. 主存

C. 辅助存储器

D. 寄存器

12. 在虚拟存储器中，当程序正在执行时，由 C 完成地址映射。

A. 程序员

B. 编译器

C. 操作系统

D. 硬件自动

13. 在程序的执行过程中，Cache 与主存的地址映射是由\_\_\_C\_\_\_。
- A. 操作系统来管理的                      B. 程序员调度的  
C. 由硬件自动完成的                      D. 编译器完成的
14. 存取周期是指\_\_\_C\_\_\_。
- A. 存储器的读出时间或写入时间  
B. 存储器进行连续读操作允许的最短间隔时间  
C. 存储器进行连续写操作允许的最短间隔时间  
D. 存储器进行连续读或写操作所允许的最短间隔时间
15. 采用 DMA 方式传送数据时，每传送一个数据要占用\_\_\_D\_\_\_的时间。
- A. 一个指令周期                      B. 一个机器周期  
C. 一个总线周期                      D. 一个存储周期
16. 在中断响应周期，置“0”允许中断触发器是由\_\_\_A\_\_\_完成的。
- A. 硬件自动                      B. 程序员在编制中断服务程序时设置的  
C. 开中断指令                      D. 关中断指令
17. 中断发生时，程序计数器内容的保护和更新，是由\_\_\_A\_\_\_完成的。
- A. 硬件自动                      B. 进栈指令  
C. 转移指令                      D. 访存指令
18. 主机与设备传送数据时，采用\_\_\_A\_\_\_，主机与设备是串行工作的。
- A. 程序查询方式                      B. 中断方式  
C. DMA 方式                      D. 以上三个都是
19. I/O 采用统一编址时，进行输入输出操作的指令是\_\_\_B\_\_\_。
- A. 控制指令                      B. 访存指令  
C. 输入输出指令                      D. 转移指令

20. I/O 与主机交换信息的方式中, 中断方式的特点是 B。

- A. CPU 与设备串行工作, 传送与主程序串行工作
- B. CPU 与设备并行工作, 传送与主程序串行工作
- C. CPU 与设备串行工作, 传送与主程序并行工作
- D. CPU 与设备并行工作, 传送与主程序并行工作

## 二、填空题（每 1 空 1 分，共 20 分）

1. 在溢出的判断方法上, 浮点数是对规格化数的 阶码 进行判断, 而定点数是对 数值本身 进行判断。
2. 并行加法器的运行速度与 进位 信号的传递方式有关, 如果其 同时 产生, 称之为跳跃进位。若某机器字长 16 位, 分别按照 4,4,4,4 和 5,5,3,3 进行分组后, 采用单重分组并行进位链运算时, 其运算速度只与 组数 有关, 与 如何分组 无关。
3. 扩展操作码技术通过减少 地址数 而增加操作码的长度, 可以有效缩短指令 字长。
4. 子程序的返回可以通过 间接 寻址方式的实现, 避免了直接寻址方式中对于 返回 地址的修改, 但其访存次数至少 两 次。
5. 流水线技术中的超流水方式, 其特点是将一个时钟周期分成 多 段, 功能部件可以被 重复 使用。
6. 中断隐指令主要完成 保护断点、寻找 入口地址 以及关中断等主要操作。
7. 控制单元 CU 的控制方式中的中央控制与局部控制结合的方式属于 同步控制 方式, 必须满足两者的节拍宽度 相同。
8. 三态门有三种状态, 分别是: 逻辑“0”、逻辑“1”和 高阻态。
9. 在异步通信中, 没有固定的总线传输周期, 通信双方通过 应答（握手） 信号联络。
10. 相联存储器是按 内容 寻址的存储器。

## 三、综合题（6 小题，共 60 分）

1. （10 分）指令流水中如发生数据相关, 可以采用定向技术解决, 如图 1 所示。

- (1) 图 1 中，多路开关的作用是什么？其输入分别代表什么含义？（5 分）

答：通过多路开关，可以实现将运算器的操作结果直接送到其他指令需要的地方，不必等待送回寄存器，是解决数据相关，支持旁路技术的核心。（2 分）

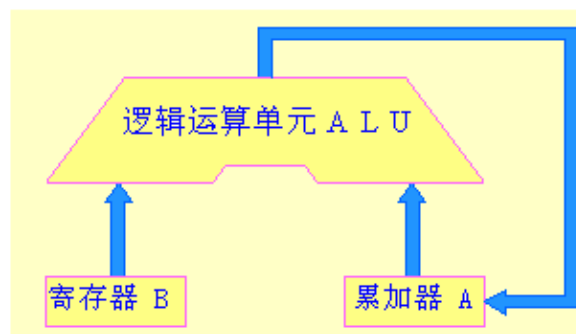
输入分别代表：寄存器堆，暂存器 1，暂存器 2（3 分）

- (2) 暂存器 1 和暂存器 2 的作用是什么？（2 分）

答：主要用于将 ALU 运算器的输出暂时保存，从而通过旁路通道，输送到需要的指令中。

- (3) 如果没有多路开关，请绘出运算器 ALU 的简图。（3 分）

答：累加器，暂存器 $\Rightarrow$ ALU，结果回送累加器



2. （14 分）图 2 为补码比较法（Booth 算法）所需的硬件配置，根据图 2 并结合 Booth 算法原理，回答下述问题：

- (1) 图 2 中 A、Q、X 三个寄存器分别存放什么？长度是多少？为什么？（5 分）

答：A 存放部分积，Q 存放乘数，X 存放被乘数（3 分），长度为  $n+2$ （1 分），因为 booth 算法需要两位符号位（主要考虑运算时可能出现绝对值大于 1 的情况）（1 分）。

- (2) 移位和加控制逻辑是如何通过控制门对 X 进行控制的？（3 分）

答：受到 Q 寄存器末 2 位乘数控制。（1 分）

当其为 01 时，A，X 内容相加后一起右移 1 位；（1 分）

当其为 01 时，A，X 内容相减后一起右移 1 位；（1 分）

- (3) 图 2 中 I、II、III、IV、V 处应分别表示什么？（5 分）

答：I:  $n$  II:  $n+1$  III: 00, 11 IV: 01 V: 10

- (4)  $G_M$  代表什么意思？（1 分）

答：乘法标记

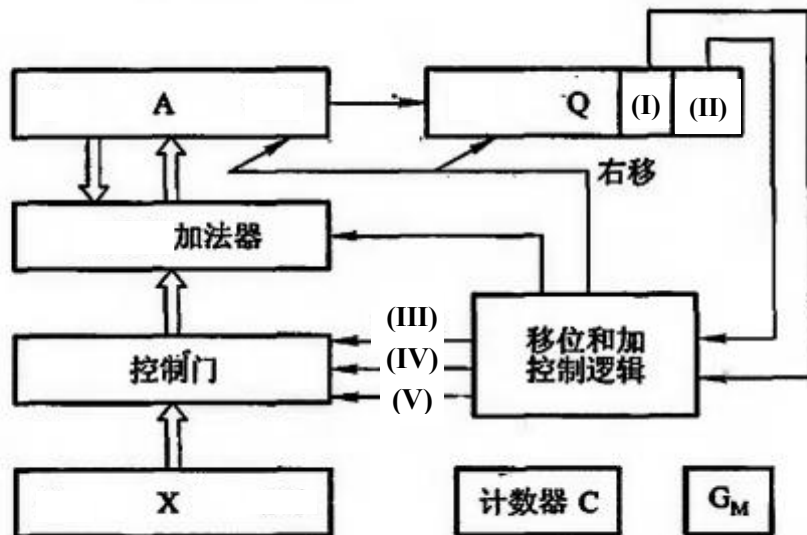


图2 补码比较法运算基本硬件配置

3. (11分) 已知4个中断源A、B、C、D，某一次CPU执行程序的轨迹如图3所示，请回答下述问题：

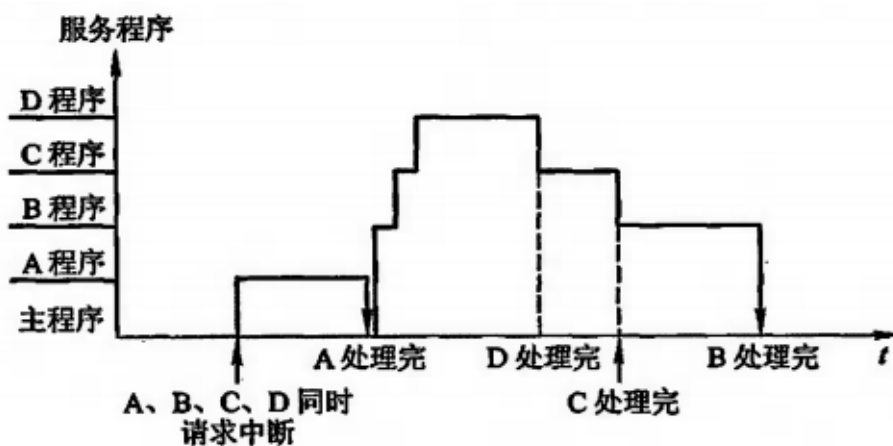


图3 CPU执行中断服务的轨迹

- (1) 写出A、B、C、D四个中断源的屏蔽字。(4分)

表1 各个中断源对应的屏蔽字 (1代表屏蔽)

中断源	屏蔽字
A	1111
B	0100
C	0110
D	0111

- (2) 屏蔽字在硬件上是如何实现的? (3分)

答：每个中断请求触发器 INTR 都有一个屏蔽触发器 MASK，将所有屏蔽触

发器组合在一起，就构成了屏蔽寄存器，该寄存器的内容就是屏蔽字。

- (3) 图 4 为多重中断的中断服务程序流程，请问采用屏蔽技术之后，该服务程序应做哪些改变？请指出补充的位置节点（如图 4①②③④所示）以及补充的内容。（4 分）



图 4 多重中断的中断服务程序流程

答：需增加置屏蔽字和恢复屏蔽字两部分内容（2 分）。分别位于①和④（2 分）

4. （8 分）图 5 为针对某模型机的指令系统，采用组合逻辑设计产生的 M(MAR)->MDR 命令的逻辑图，针对该逻辑图：

- (1) 写出 M(MAR)->MDR 微操作命令的逻辑表达式（注：可不必化简）（3 分）

答：M(MAR) → MDR =  $FE \cdot T_1 + IND \cdot T_1(ADD + STA + LDA + JMP + BAN) + EX \cdot T_1(ADD + LDA) = T_1[FE + IND(ADD + STA + LDA + JMP + BAN + EX(ADD + LDA))]$

- (2) 请解释 M(MAR)->MDR 微操作命令在 FE、IND 以及 EX 这三个工作周期分别代表什么含义。（3 分）

FE 周期代表根据指令地址（MAR）去内存取指；（1 分）

IND 周期代表根据操作数的形式地址（MAR）去内存取操作数的有效地址；（1 分）

EX 周期代表根据操作数地址（MAR）去内存取操作数。（1 分）

- (3) 指令 JMP 采用间接寻址方式，请写出每个工作周期内对应的微操作序列。（注：每个工作周期采用固定的三节拍  $T_0$ 、 $T_1$ 、 $T_2$ ）（2 分）

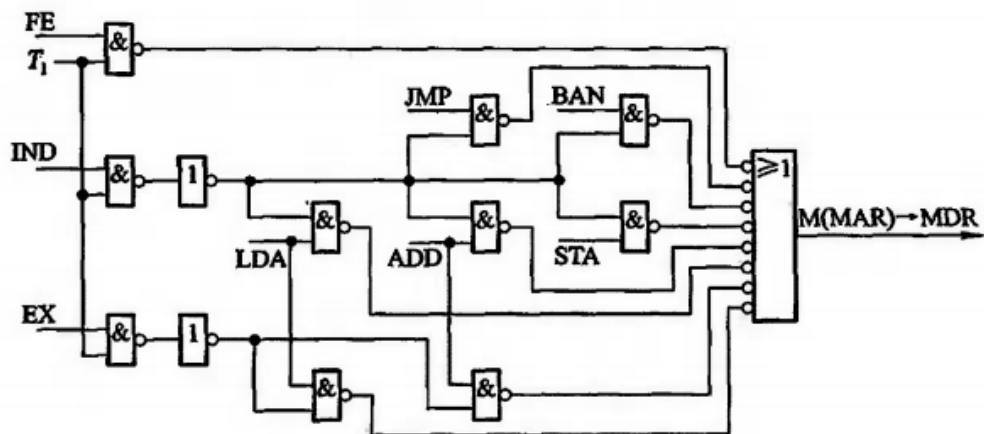


图 5 产生 M(MAR)->MDR 命令的逻辑图

答：主要考察间址周期 IND（1 分）以及 EX 执行周期的情况（1 分）

FE(取指)	T0		PC->MAR 1->R
	T1		M(MAR)->MDR (PC)+1->PC
	T2		MDR->IR OP(IR)->ID
		I	I->IND
		$\bar{I}$	I->EX
IND(间接寻址)	T0		Ad(IR)->MAR 1->R
	T1		M(MAR)->MDR
	T2		MDR->Ad(IR)
		$\overline{IND}$	I->EX
EX(执行)	T0		
	T1		
	T2		Ad(IR)->PC

5. （11 分）设 CPU 有 16 根地址线、8 根数据线，并用 /MREQ 作为访存控制信号（低电平有效），用 /WR 作为读/写控制信号（低电平为写、高电平为读）。

现有 2KX8 位 ROM、8KX8 位 ROM、32KX8 位 ROM 若干片，1KX4 位 RAM、2KX8 位 RAM、4KX4 位 RAM、8KX8 位 RAM 若干片，门电路和译码器自定。

要求存储芯片地址空间分配为：最小 8K 地址空间为系统程序区；相邻的 24K 地址空间为用户程序区；最大 4K 地址空间为系统程序工作区。

请：（1）画出 CPU 与存储器的连接图。（8 分）



(2) 写出图中每片存储器芯片的地址范围 (用 16 进制表示)。(3 分)

答: (1) CPU 与存储器的连接图

(2) 存储器芯片的地址范围:

系统程序区: 0000H-1FFFFH

用户程序区: 2000H-3FFFFH

4000H-5FFFFH

6000H-7FFFFH

系统程序工作区: F000H-FFFFFH

F000H-FFFFFH

6. (6 分) 设某计算机采用直接映射 Cache, 已知主存容量为 4MB, Cache 容量为 4KB, 字块长度为 8 个字 (32 位/字)。

(1) 画出反映主存与 Cache 映射关系的主存地址各字段分配框图, 并说明每个字段的名称及位数。(3 分)

(2) 设 Cache 初态为空, CPU 依次从主存第 0、1、2、...、99 号单元读出 100 个字 (主存一次读出 1 个字), 并重复此次序读 10 次, 问命中率是多少? (3 分)

答:

(1) 主存字块标志=10 位

Cache 字块地址=7 位

字块内地址=5 位

(2) 命中率= $(100 \times 10 - 13) / (100 \times 10) = 98.7\%$