



# 厦门大学《计算机组成原理》课程期末试卷

信息学院 软件工程系

2020 届毕业班提前考

主考教师：曾文华

试卷类型：(C 卷) 答案

一、 选择题（请从 A、B、C、D 中选择唯一的一个正确答案，15 小题，每小题 1 分，共 15 分；在答题纸填写答案时请写上每小题的对应编号）

- 冯·诺伊曼计算机工作方式的基本特点是 B。  
A.多指令流单数据流                      B.按地址访问并顺序执行指令  
C.堆栈操作                                  D.存储器按内容选择地址
- 在 CPU 中跟踪指令后续地址的寄存器是 C。  
A. MAR                                      B. IR  
C. PC                                         D. MDR
- 不同的信号共用一组信号线，分时传送，这种总线传输方式是 C。  
A.猝发                                      B.并行  
C.复用                                        D.串行
- 在同步通信中，一个总线周期的传输过程是 B。  
A.先传送数据，再传输地址              B.先传送地址，再传输数据  
C.只传输数据                                D.只传输地址
- 下列器件中存取速度最快的是 D。  
A.Cache                                    B.主存  
C.辅助存储器                               D. 寄存器
- 采用虚拟存储器的目的是 C。  
A.提高主存的速度                        B.扩大辅存的存取空间  
C.扩大存储器的寻址空间                D.提高辅存的速度
- 在程序的执行过程中，Cache 与主存的地址映射是由 D。  
A.操作系统来管理的                      B.程序员调度的  
C. 编译器完成的                            D.由硬件自动完成的
- 磁盘转速提高一倍，则 D。  
A.平均查找时间缩小一半                B.存取速度提高一倍  
C. 平均查找时间增大一倍                D.不影响查找时间
- 采用 DMA 方式传送数据时，每传送一个数据要占用 C 的时间。  
A.一个指令周期                            B.一个机器周期  
C.一个存储周期                            D.一个总线周期

10. 在中断响应周期, 置“0”允许中断触发器是由 A 完成的。  
A. 硬件自动                      B. 程序员在编制中断服务程序时设置的  
C. 开中断指令                  D. 关中断指令
11. I/O 采用统一编址时, 进行输入输出操作的指令是 B。  
A. 控制指令                      B. 访存指令  
C. 输入输出指令                D. 转移指令
12. 在浮点表示时, 若用全 0 表示机器零, 则阶码应采用 A。  
A. 移码                          B. 补码  
C. 原码                          D. 反码
13. 对真值 0 表示形式唯一的机器数是 B。  
A. 原码                          B. 补码和移码  
C. 反码                          D. 原码和补码
14. 将一个十进制数  $x = -8192$  表示成补码时, 至少采用 B 位二进制代码表示。  
A. 13                              B. 14  
C. 15                              D. 16
15. 设寄存器内容为 FFH, 若它等于 -1, 则为 B。  
A. 原码                          B. 补码  
C. 反码                          D. 移码

## 二、 填空题 (10 个空, 每一空 1 分, 共 10 分; 在答题纸填写答案时请写上每个空格的对应编号)

1. 在异步通信中, 没有固定的总线传输周期, 通信双方通过 ①应答(握手) 信号联络。
2. 三态门有三种状态, 分别是: 逻辑“0”、逻辑“1”和 ②高阻态。
3. 层次化存储器结构设计的依据是 ③程序访问的局部性 原理。
4. 相联存储器是按 ④内容 寻址的存储器。
5. 通常可将存储系统分为 Cache-主存层次和主存-辅存层次, 前者主要解决存储系统的 ⑤速度 问题, 后者主要解决存储系统的 ⑥容量 问题。
6. 海明码可以发现并纠正 ⑦1 位错误。
7. 14、设有一个四体低位交叉的存储器, 每个体的容量为 256KX64 位, 存取周期为 200ns, 则 CPU 连续读 4 个字所需的最多时间是 ⑧350 ns。       $(200\text{ns} + (4-1) * 50\text{ns})$

8. CPU 在 ⑨指令执行周期结束 时刻采样中断请求信号（在开中断情况下），而在 ⑩存储周期结束 时刻采样 DMA 的总线请求信号。

三、 判断题（下列表述正确的打√，错误的打×，10 小题，每小题 1 分，共 10 分；在答题纸填写答案时请写上每小题的对应编号）

1. 用以指定待执行指令所在地址的寄存器是指令寄存器。 （ × ）
2. 在计数器定时查询方式下，若每次计数从上一次计数的终止点开始，则每个设备使用总线的机会相等。（ √ ）
3. 由容量为 16KB 的 Cache 和容量为 16MB 的主存构成的存储系统的总容量为 16MB。 （ √ ）
4. 中断接口电路通过数据总线将向量地址送至 CPU。 （ √ ）
5. 一个更高级的中断请求一定可以中断另一个中断处理程序的执行。 （ × ）
6. 中断向量就是中断服务程序入口地址。 （ × ）
7. 多重分组跳跃进位链是组内并行、组间串行的进位链。 （ × ）
8.  $[-x]_{补} = -[x]_{补}$  。 （ √ ）
9. 在浮点机中，尾数的第一数位为 1 时，即为规格化形式。 （ × ）
10. RISC 的主要目标是减少指令数，因此允许采取增加每条指令功能的方法来减少指令系统所包含的指令数。 （ × ）

四、 名词解释（请写出下列英文缩写的中文全称，10 小题，每 1 小题 1 分，共 10 分；在答题纸填写答案时请写上每小题的对应编号）

1. CPI：每条指令的平均时钟周期数
2. FLOPS：每秒执行的浮点运算次数
3. EPROM：可擦除可编程只读存储器
4. LRU：近期最少使用
5. CRC：循环冗余校验码
6. RAID：独立磁盘冗余阵列
7. RISC：精简指令系统计算机
8. VLIW：超长指令字

9. VHDL: 超高速集成电路硬件描述语言(硬件描述语言)
10. DDR SDRAM: 双倍速率同步动态随机存储器

## 五、问答题(5 小题, 每小题 3 分, 共 15 分; 在答题纸填写答案时请写上每小 题的对应编号)

1. (3 分) 设一个 32 位微处理器配有 16 位的外部数据总线, 时钟频率为 50MHz, 若总线传输的最短周期为 4 个时钟周期, 试问处理器的最大数据传输率是多少? 若想提高一倍数据传输率, 可采用什么措施?

答:

(1) 最大数据传输率= $2B/(4*(1/50MHz))=25MBps$  (1.5 分)

(2) 提高一倍数据传输率, 可采用以下措施: (1.5 分)

①增加数据总线位数: 16 位增加到 32 位

②提高时钟频率: 50MHz 提高到 100MHz

③减少总线传输周期: 4 个时钟周期减少到 2 个时钟周期

2. (3 分) 什么是“程序访问的局部性”原理? 存储系统中哪一级采用了程序访问的局部性原理?

答:

(1) 所谓“程序访问的局部性”即程序执行时对存储器的访问是不均匀的, 这是由于指令和数据在主存的地址分布不是随机的, 而是相对地簇聚。 (1 分)

(2) 存储系统的 Cache-主存级和主存-辅存级都用到程序访问的局部性原理。 (2 分)

3. (3 分) 在什么条件和什么时间, CPU 可以响应 I/O 的中断请求?

答:

(1) 条件: 允许中断触发器为“1”, I/O 本身有中断请求且未被屏蔽; 经排队后又被选中。 (1.5 分)

(2) 时间: 每条指令执行阶段的结束时刻。因为此时由 CPU 发出中断查询信号, 才能获取 I/O 的中断请求信号。 (1.5 分)

4. (3 分) 如何判断定点补码加减运算、浮点补码加减运算是否溢出。

答:

(1) 定点补码加减运算溢出的判断方法:

采用 1 位符号位运算: 当符号位的进位与最高数值位的进位不同时, 即为溢出。 (1 分)

采用双符号位: 当运算结果的两个符号位不同时, 即为溢出。 (1 分)

(2) 浮点比较暗加减运算溢出的判断方法: 根据运算结果的阶码来判断是否溢出, 当阶码大于最大正阶码时, 即为溢出。 (1 分)

5. (3 分) 微指令的编码方式主要有哪几种? 微指令序列地址(后续微指令的地址)的形成方法主要有哪几种?

答:

(1) 微指令的编码方式主要有直接编码(直接控制)方式、字段直接编码方式、字段间接编码方式、混合编码方式等。 (1.5 分)

(2) 微指令序列地址(后续微指令的地址)的形成方法主要有直接由微指令的下地址字段指出、根据机器指令的操作码形成等。 (1.5 分)

## 六、设计题（4 小题，共 40 分；在答题纸填写答案时请写上每小题的对应编号）

1. （6 分）设某计算机采用直接映射 Cache，已知主存容量为 4MB，Cache 容量为 4KB，字块长度为 8 个字（32 位/字）。
- （1）画出反映主存与 Cache 映射关系的主存地址各字段分配框图，并说明每个字段的名称及位数。
  - （2）设 Cache 初态为空，CPU 依次从主存第 0、1、2、...、99 号单元读出 100 个字（主存一次读出 1 个字），并重复此次序读 10 次，问命中率是多少？
  - （3）如果 Cache 的存取时间是 50ns，主存的存取时间是 500ns，根据（2）求出的命中率，求平均存取时间。
  - （4）计算 Cache-主存系统的效率。

注：由于考场不允许带计算器，该题计算命中率、平均存取时间、效率时，只需列出计算式子，不需给出计算结果。

答：

- |  |                |           |       |
|--|----------------|-----------|-------|
| （1）主存字块标志=10 位   | Cache 字块地址=7 位 | 字块内地址=5 位 | （2 分） |
| （2）命中率= $(100 \times 10 - 13) / (100 \times 10) = 98.7\%$                                |                |           | （2 分） |
| （3）平均访问时间= $0.987 \times 50\text{ns} + (1 - 0.987) \times 500\text{ns} = 55.85\text{ns}$ |                |           | （1 分） |
| （4）Cache-主存系统的效率= $50\text{ns} / 55.85\text{ns} = 89.5\%$                                |                |           | （1 分） |

2. （10 分）设机器字长为 32 位，写出下列各种情况下它能表示的数的范围（用十进制表示）。假设定点数采用 1 位符号位，浮点数阶码为 8 位（含 1 位符号位）、尾数为 24 位（含 1 位符号位）。
- （1）无符号数；
  - （2）原码表示的定点整数；
  - （3）补码表示的定点整数；
  - （4）原码表示的定点小数；
  - （5）补码表示的定点小数；
  - （6）原码规格化表示的浮点数，其对应的正数和负数范围；
  - （7）补码规格化表示的浮点数，其对应的正数和负数范围。

答：

- （1）无符号数：
- $0 \sim 2^{32}-1$
- $(00 \cdots 00 \sim 11 \cdots 11)$

- （2）原码表示的定点整数：
- $-(2^{31}-1) \sim +(2^{31}-1)$
- $(1, 1 \cdots 11 \sim 0, 1 \cdots 11)$

- （3）补码表示的定点整数：

$$-2^{31} \sim + (2^{31}-1)$$

$$(1,0\cdots00 \sim 0,1\cdots11)$$

(4) 原码表示的定点小数:

$$-(2^{31}-1)/2^{31} \sim + (2^{31}-1)/2^{31}$$

$$(1.1\cdots11 \sim 0.1\cdots11)$$

(5) 补码表示的定点小数:

$$-1 \sim + (2^{31}-1)/2^{31}$$

$$(1.00\cdots00 \sim 0.1\cdots11)$$

(6) 原码规格化表示的浮点数，其对应的正数和负数范围:

$$\text{正数: } 2^{-127} * 2^{-1} \sim 2^{127} * (1-2^{-23})$$

$$(1,1111111 \ 0.1\cdots00 \sim 0,1111111 \ 0.1\cdots11)$$

$$\text{负数: } -2^{127} * (1-2^{-23}) \sim -2^{-127} * 2^{-1}$$

$$(0,1111111 \ 1.1\cdots11 \sim 1,1111111 \ 1.1\cdots00)$$

(7) 补码规格化表示的浮点数，其对应的正数和负数范围:

$$\text{正数: } 2^{-128} * 2^{-1} \sim 2^{127} * (1-2^{-23})$$

$$(1,0000000 \ 0.10\cdots00 \sim 0,1111111 \ 0.11\cdots11)$$

$$\text{负数: } 2^{127} * (-1) \sim 2^{-128} * [-(2^{-1}+2^{-23})]$$

$$(0,1111111 \ 1.00\cdots00 \sim 1,0000000 \ 1.01\cdots11)$$

3. (10 分) 已知 74181 和 74182 芯片的外特性如图 1 所示。现要完成两个 32 位数 A 和 B 的加法, 记  $A=A_{31}A_{30}...A_0$ ,  $B=B_{31}B_{30}...B_0$ , 运算结果为  $S=S_{31}S_{30}...S_0$ , 最低位进位为  $C_{in}$ , 最高位进位为  $C_{out}$ 。请采用这两个芯片设计以下两种方案的 32 位加法器:
- (1) 采用单重分组进位结构;
  - (2) 采用双重分组进位结构。

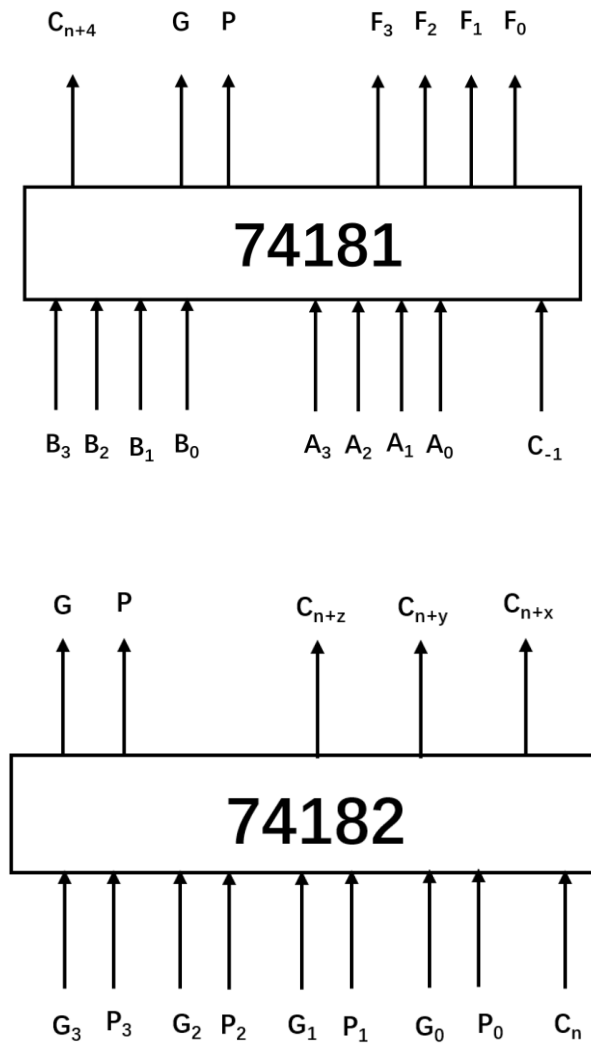
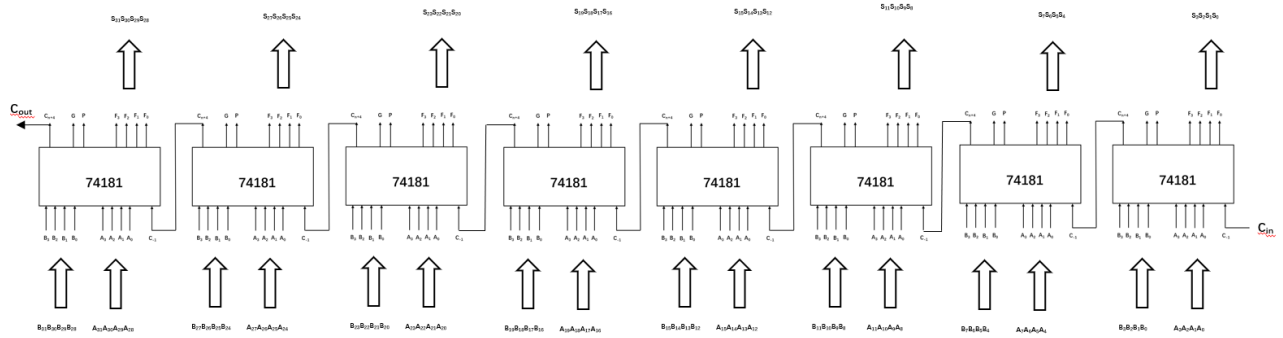


图 1 74181、74182 芯片的外特性

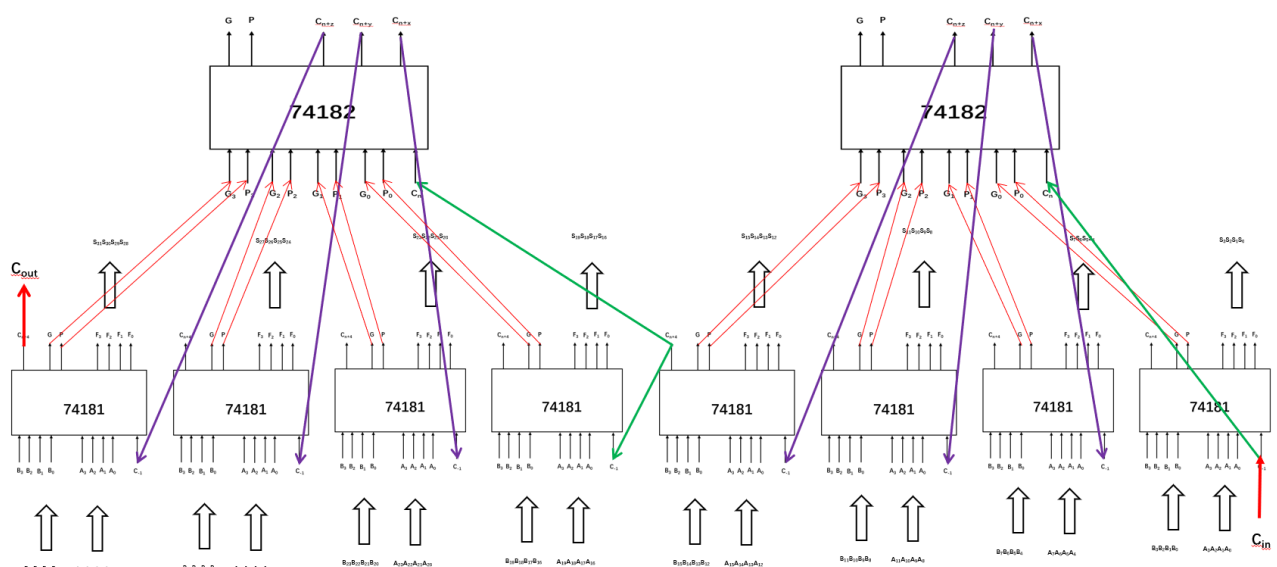
答:

- (1) 采用单重分组进位结构如下: (5 分)



(2) 采用双重分组进位结构如下:

(8 分)



4. (14 分) 设 CPU 内部结构如图 2 所示, 且 PC 有自动加 1 功能。此外还有 B、C、D、E、H、L 六个寄存器 (图中未画), 它们各自的输入端和输出端都与内部总线 Bus 相连, 并分别受控制信号控制。要求写出完成下列指令组合逻辑控制单元所发出的微操作命令及节拍安排。

(1) ADD B, C ; (B) + (C) -> B

(2) SUB E, @H ; (E) - ((H)) -> E

(3) STA @mem ; ACC -> ((mem))

寄存器间接寻址

存储器间接寻址



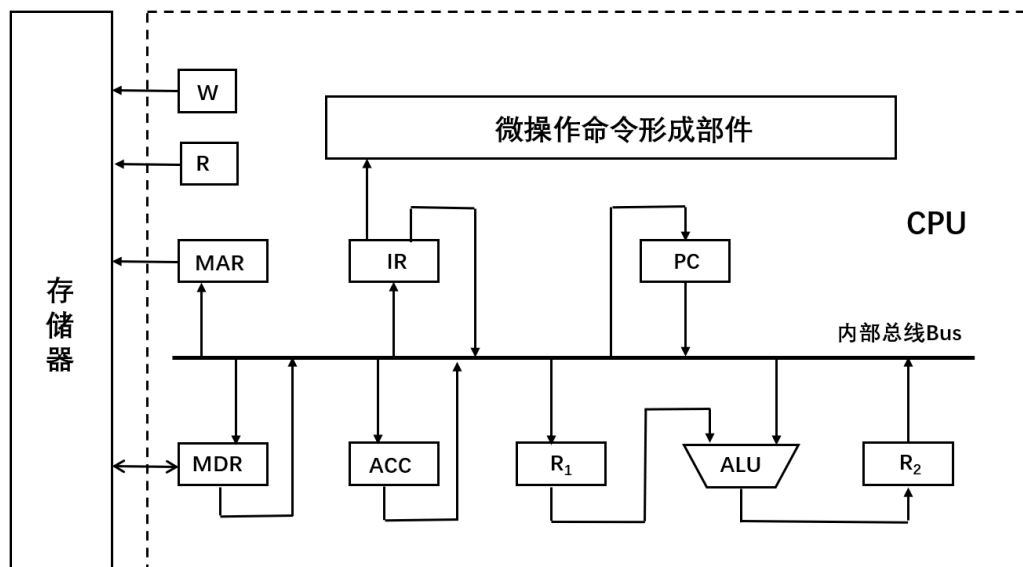


图 2 CPU 内部结构框图

答：(1) ADD B,C 指令

取指周期：

T0 PC → Bus → MAR, 1 → R

T1 M(MAR) → MDR, (PC) + 1 → PC

T2 MDR → Bus → IR, OP(IR) → 微操作命令形成部件

执行周期：

T0 C → Bus → R1

T1 (B) + (R1) → ALU → R2

T2 R2 → Bus → B

(2) SUB E,@H 指令

取指周期：

T0 PC → Bus → MAR, 1 → R

T1 M(MAR) → MDR, (PC) + 1 → PC

T2 MDR → Bus → IR, OP(IR) → 微操作命令形成部件

间址周期：

T0 H → Bus → MAR, 1 → R

T1 M(MAR) → MDR

执行周期：

T0 MDR → Bus → R1

T1 (E) - (R1) → ALU → R2

T2 R2 → Bus → E

(3) STA @mem 指令

#### 取指周期:

T0 PC  $\rightarrow$  Bus  $\rightarrow$  MAR, 1  $\rightarrow$  R

T1 M(MAR)  $\rightarrow$  MDR, (PC) + 1  $\rightarrow$  PC

T2 MDR  $\rightarrow$  Bus  $\rightarrow$  IR, OP(IR)  $\rightarrow$  微操作命令形成部件

#### 间址周期:

T0 Ad(IR)  $\rightarrow$  Bus  $\rightarrow$  MAR, 1  $\rightarrow$  R

T1 M(MAR)  $\rightarrow$  MDR

#### 执行周期:

T0 MDR  $\rightarrow$  Bus  $\rightarrow$  MAR, 1  $\rightarrow$  W

T1 ACC  $\rightarrow$  Bus  $\rightarrow$  MDR

T2 MDR  $\rightarrow$  M(MAR)