



厦门大学《计算机组成原理》课程期末试卷

软件学院 软件工程系 2016 级 软件工程专业

主考教师：曾文华 张海英 试卷类型：(A 卷) 答案

一、 选择题（请从 A、B、C、D 中选择唯一的一个正确答案，15 小题，每小题 1 分，共 15 分；在答题纸填写答案时请写上每小题的对应编号）

1. 在 CPU 中跟踪指令后续地址的寄存器是 D。
A. MAR B. IR
C. MDR D. PC
2. 有些计算机将一部分软件永恒地存于只读存储器中，称之为 C。
A. 硬件 B. 软件
C. 固件 D. 辅助存储器
3. 计算机中 B 负责指令译码。
A. 算术逻辑单元 B. 控制单元
C. 存储器译码电路 D. 输入输出译码电路
4. 在三种集中式总线控制中， A 方式对电路故障最敏感。
A. 链式查询 B. 计数器定时查询
C. 独立请求 D. 链式查询和独立请求
5. 在三种异步通信方式中， C 方式速度最快。
A. 全互锁 B. 半互锁
C. 不互锁 D. 全互锁和半互锁
6. 在同步通信中，一个总线周期的传输过程是 C。
A. 先传输数据，再传输地址 B. 只传输数据
C. 先传输地址，再传输数据 D. 只传输地址
7. 所谓三总线结构的计算机是指 B。
A. 地址总线、数据总线、控制总线 B. I/O 总线、主存总线、DMA 总线
C. I/O 总线、主存总线、系统总线 D. 片内总线、系统总线、通信总线
8. 存取周期是指 D。
A. 存储器的写入时间 B. 存储器进行连续写操作允许的最短间隔时间
C. 存储器的读入时间 D. 存储器进行连续读或写操作允许的最短间隔时间
9. 主机和 I/O 设备传送数据时，采用 A，主机与 I/O 设备是串行工作的。
A. 程序查询方式 B. 中断方式
C. DMA 方式 D. 以上三种都是

10. 中断发生时，程序计数器（PC）内容的保护和更新，是由 A 完成的。
A. 硬件自动 B. 进栈指令
C. 转移指令 D. 访存指令
11. 在小数定点机中，下述说法正确的是 A 。
A. 补码能表示-1 B. 反码能表示-1
C. 原码能表示-1 D. 原码、补码、反码都能表示-1
12. 在程序的执行过程中，Cache 与主存的地址映射是由 C 。
A. 操作系统来管理的 B. 程序员调度的
C. 硬件自动完成的 D. 编译器完成的
13. 设 $[x]_{\text{补}} = 1.x_1x_2x_3x_4$ ，当满足下列 C 时， $x > -1/2$ 成立。
A. x_1 必须为 0， $x_2 \sim x_4$ 至少有一个为 1
B. x_1 必须为 0， $x_2 \sim x_4$ 任意
C. x_1 必须为 1， $x_2 \sim x_4$ 至少有一个为 1
D. x_1 必须为 1， $x_2 \sim x_4$ 任意
14. 在浮点机中，判断补码规格化形式的原则是 D 。
A. 尾数的最高有效位为 1，符号位任意
B. 尾数的最高有效位为 0，符号位任意
C. 尾数的符号位与最高有效位位相同
D. 尾数的符号位与最高有效位位不同
15. 为了缩短指令中地址码的位数，应采用 D 方式。
A. 立即数寻址 B. 间接寻址
C. 直接寻址 D. 寄存器寻址

二、 填空题（10 个空，每一空 1 分，共 10 分；在答题纸填写答案时请写上每个空格的对应编号）

- 1、基于 存储程序 原理的冯·诺依曼计算机工作方式的基本特点是按地址访问并顺序执行指令。
- 2、层次化存储器结构设计的依据是程序访问的 局部性 原理。
- 3、动态 RAM 依据电容存储电荷的原理存储信息，因此一般在 2ms 时间内必须刷新一次。
- 4、在 DMA 方式中，CPU 与 DMA 控制器通常采用三种方法来分时使用主存，分别是停止 CPU 访问主存、 周期挪用（或周期窃取） 、DMA 与 CPU 交替访问主存。

- 5、虚拟存储器由主存和 辅助存储器 两级组成。
- 6、在 Cache 的写操作时，对 Cache 与主存单元同时修改的方法称为 写直达（或存直达） 法；若每次只暂时写入 Cache，直到替换时才写入主存的方法称为 写回（或拷回） 法。
- 7、I/O 的编址方式可以分为独立编址和统一编址两大类，前者需有独立的 I/O 指令，后者可通过 访存 指令和 I/O 设备交换信息。
- 8、CPU 在 指令执行周期结束 时刻查询中断请求信号（在开中断情况下），而在 存储器存取周期结束 时刻查询 DMA 的总线请求信号。

三、 判断题（下列表述正确的打√，错误的打×，10 小题，每小题 1 分，共 10 分；在答题纸填写答案时请写上每小题的对应编号）

- 1、 连接计算机与计算机之间的总线属于系统总线。（ × ）
- 2、 三种集中式总线控制方式（链式查询、计数器定时查询、独立请求）中，独立请求方式响应时间最快。（ √ ）
- 3、 DRAM 的刷新是采用“读出”方式进行刷新。（ √ ）
- 4、 采用流水线技术的机器一定是 RISC 计算机。（ × ）
- 5、 采用微程序控制器的处理器称为微处理器。（ × ）
- 6、 一个更高级别的中断请求一定可以中断另一个中断处理程序的执行。（ × ）
- 7、 任何十进制小数都可以用二进制数精确表示。（ × ）
- 8、 指令操作数所需的数据不可能来自控制存储器。（√）
- 9、 寄存器间接寻址方式中，操作数在寄存器中。（ × ）
- 10、在微指令编码中，编码效率最低的是直接编码方式。（√）

四、 名词解释（请写出下列英文缩写的中文全称，10 小题，每 1 小题 1 分，共 10 分；在答题纸填写答案时请写上每小题的对应编号）

1、PCI 外围部件互连总线

2、AGP 加速图形端口总线

3、MIPS 每秒百万条指令

4、FLOPS 每秒浮点运算次数

5、LRU 近期最少使用算法

6、CPI 执行一条指令所需的时钟周期数

7、DDR SDRAM 双倍速率同步动态随机存储器

8、SCSI 小型计算机系统接口

9、RAID 独立磁盘冗余阵列或廉价磁盘冗余阵列

10、VLIW 超长指令字技术

五、问答题（5 小题，每小题 3 分，共 15 分；在答题纸填写答案时请写上每小 题的对应编号）

1、冯·诺依曼计算机的主要特点是什么？

答：

- (1) 计算机由五大部件组成；
- (2) 指令和数据以同等地位存于存储器，可按地址寻访；
- (3) 指令和数据用二进制表示；
- (4) 指令由操作码和地址码组成；
- (5) 存储程序；
- (6) 以运算器为中心。

2、简要说明提高访问存储器速度的主要措施。

答：

- (1) 采用高速器件，如 SDRAM (同步 Synchronous DRAM)，RDRAM (Rambus DRAM)，带 Cache 的 DRAM (CDRAM，也称增强型 DRAM，EDRAM，Enhanced DRAM)。
- (2) 采用 Cache-主存层次结构。
- (3) 调整主存结构，包括单体多字系统、多体并行系统(高位交叉多体存储器，低位交叉多体存储器)。

3、请比较 RISC 计算机和 CISC 计算机。

答：

- (1) RISC 计算机是精简指令系统计算机，CISC 是复杂指令系统计算机。
- (2) RISC 更能充分利用 VLSI 芯片的面积，
- (3) RISC 更能提高计算机运算速度。主要原因是 RISC 计算机的指令数量少、指令格式简单、寻址方式少、通用寄存器多、采用组合逻辑实现控制器、便于实现指令流水。
- (4) RISC 便于设计，可降低成本，提高可靠性。
- (5) RISC 有利于编译程序代码优化。
- (6) RISC 不易实现指令系统兼容。

4、请比较组合逻辑设计和微程序设计。

答：

- (1) 组合逻辑设计是采用组合逻辑电路来实现控制器，把控制部件看成是产生专门固定时序控制信号的逻辑电路，这种逻辑电路是由门电路和触发器构成的复杂逻辑网络。

- (2) 微程序设计是把一条机器指令看成一个微程序，每一个微程序包含若干条微指令，每一条微指令对应一个或几个微操作，然后把这些微程序存到一个存储器（控制存储器）中，逐条执行每一条微指令，就相应地完成了一条机器指令的全部操作。
- (3) 组合逻辑设计的优点是控制器执行指令的速度快，缺点是设计与实现复杂。
- (4) 微程序设计的优点是控制器的设计与实现简单，易于实现系列计算机产品的控制器，可实现动态微程序设计，缺点是控制器执行指令的速度要慢。
- (5) 微程序控制器同组合逻辑控制器相比较，具有设计规整、调试、维修以及更改、扩充指令方便的优点，易于实现自动化设计；但是由于它使用了控制存储器，所以指令的执行速度比组合逻辑控制器慢。

5、 请比较水平型微指令和垂直型微指令。

答：

- (1) 水平型微指令比垂直型微指令并行操作能力强、效率高、灵活性强。
- (2) 水平型微指令执行一条机器指令所要的微指令数目少，执行一条机器指令的速度要比垂直型微指令快。
- (3) 水平型微指令用较短的微程序结构换取较长的微指令结构；垂直型微指令正好相反，它以较长的微程序结构换取较短的微指令结构。
- (4) 水平型微指令与机器指令差别较大；垂直型微指令与机器指令相似。

六、 设计题（4 小题，共 40 分；在答题纸填写答案时请写上每小题的对应编号）

1、（8 分）、设某计算机采用 8 路组相联映射的 Cache，已知主存容量为 4MB，Cache 容量为 4KB，字块长度为 4 个字，每个字 32 位。要求：

- (1) 画出 Cache 地址各字段分配框图，画出反映主存与 Cache 映射关系的主存地址各字段分配框图，并说明每个字段的名称及位数。
- (2) 设 Cache 初态为空，若 CPU 依次从主存第 0, 1, ..., 99 号单元读出 100 个字（主存一次读出一个字），并重复按此次序读 10 次，问 Cache 的命中率是多少？
- (3) 如果 Cache 的存取时间是 20ns，主存的存取时间是 200ns，根据（2）求出的命中率，求平均存取时间。
- (4) 计算 Cache-主存系统的效率。

注：因为考场不允许带计算器，在计算命中率、平均存取时间、效率时，可以只写出有数字的计算式子，不必算出具体的数值。

答：（1）主存位数=22 位 Cache 位数=12 位 块内地址=2+2=4 位

Cache 地址格式 = Cache 字块地址+块内地址 = 8 位 + 4 位

Cache 块数= $2^8=256$ Cache 组数= $256/8=32$

主存地址格式 = 主存字块标志+Cache 组地址+块内地址 = 13 位 + 5 位 + 4 位

答对给 4 分

（2）因为 Cache 的初态为空，因此 CPU 读 0 号单元时为未命中，必须访问主存，同时将该字所在的主存块调入 Cache 第 0 组中的任一块内。接着 CPU 读 1-3 号单元时均命中。同理，读第 4,8,...,96 号单元时均未命中。CPU 连续读 100 个字有 25 次未命中，而后 9 次循环则全部命中。

命中率 $h = (100 \times 10 - 25) / (100 \times 10) = 0.975$

答对给 2 分

（3）平均存取时间= $0.975 \times 20\text{ns} + (1 - 0.975) \times 200\text{ns} = 24.5\text{ns}$

答对给 1 分

（4）效率 = $20\text{ns} / 24.5\text{ns} = 81.6\%$

答对给 1 分

2、（10 分）已知某 CPU 共有 16 根地址线、8 根数据线，并用 IO/M 作为访问存储器与 I/O 的控制线（高电平访问 I/O，低电平访问存储器），用 $\overline{\text{WR}}$ 作为读/写控制信号（高电平为读，低电平为写）。要求设计一个容量为 32KB 的 RAM，RAM 的起始地址为 0000H，RAM 采用低位交叉编址的四体并行结构。现有 2KB、4KB、8KB、16KB 的 RAM 芯片若干（RAM 芯片除了数据线、地址线外，还有输出允许-OE、写允许-WE 控制信号，片选信号-CS，均为低电平有效），3-8 译码器（74LS138）芯片、门电路芯片若干。

（1）请画出 CPU 与存储器芯片完整的连接线路图。

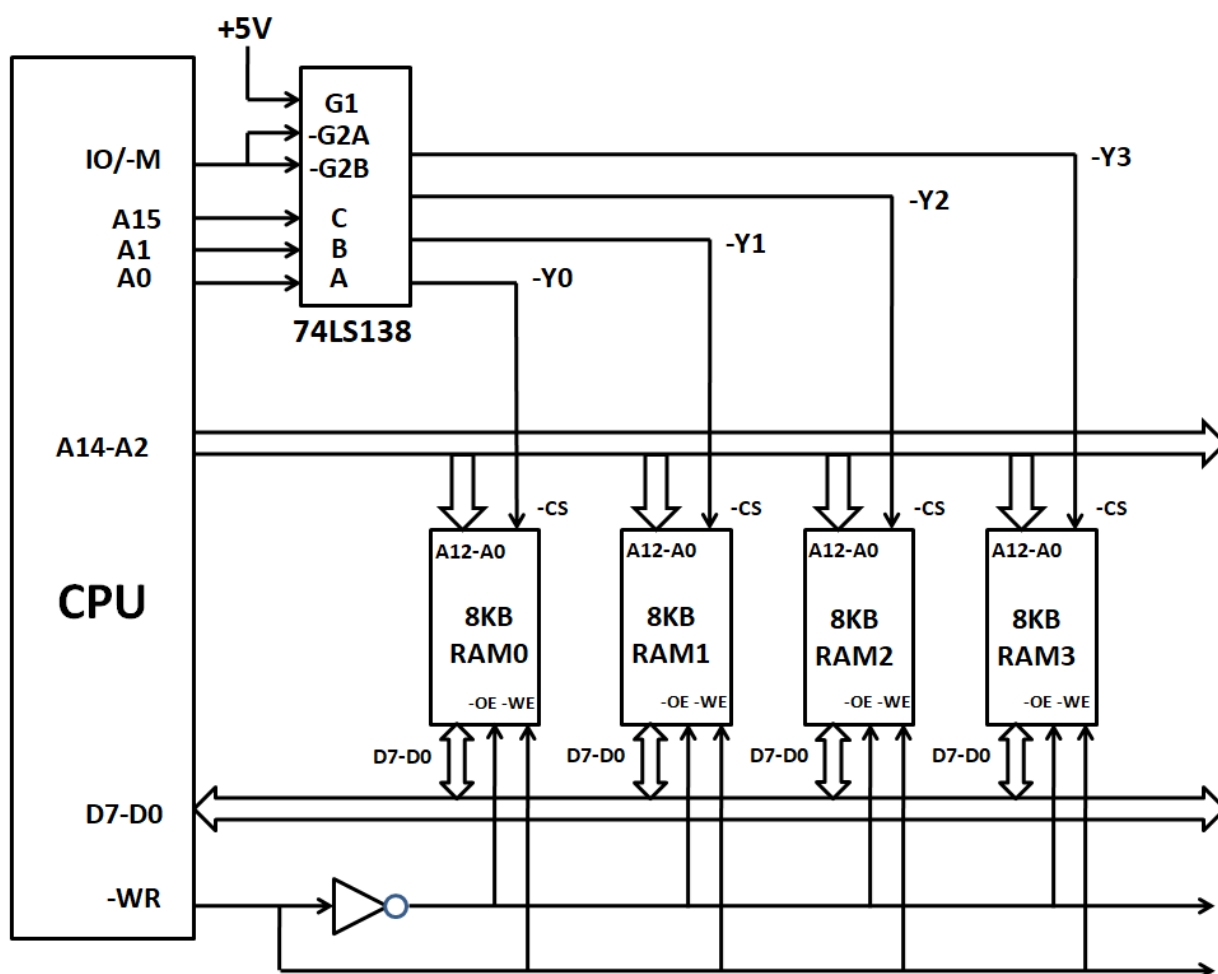
（2）写出图中每个存储器芯片的地址范围（用 16 进制表示）。

答：（1）选用 4 片 8KB 的 RAM，构成四体并行结构的 32KB 存储器（采用低位交叉编址）。

CPU 的 IO/-M 同时连到 74LS138 的-G2A 和-G2B，74LS138 的 G1 接+5V。

四体并行结构的 32KB 存储器地址范围为：0000H-7FFFH，因此 A15=0，将 A15、A1、A0 连到 74LS138 的 C、B、A 上，A14-A2 连到 RAM 的 A12-A0 地址线上。74LS138 的-Y0、-Y1、-Y2、-Y3 分别连到 4 个 8KB 的 RAM 的-CS 上。CPU 的-WR 直接连到每个 RAM 的-WE 上，CPU 的-WR 通过反相器连到 RAM 的-OE 上。

学生的答案中，上述文字部分可以不要



画对给 8 分

(2) 上图中各个 RAM 芯片的地址范围是：

RAM0: 0000H, 0004H, 0008H,, 7FFCH

RAM1: 0001H, 0005H, 0009H,, 7FFDH

RAM2: 0002H, 0006H, 000AH,, 7FFE H

RAM3: 0003H, 0007H, 000BH,, 7FFFH

答对给 2 分

3、(10 分) 已知 $X = 14.75$, $Y = 26.4375$, 请采用浮点加减法运算的方法, 完成 “ $X - Y = ?$ ” 的运算。要求: 先将 X 和 Y 用规格化的浮点数表示, 再进行浮点数的加减法运算, 运算结果也要用规格化浮点数表示。浮点数的格式为: 阶码为 5 位 (含 1 位符号位), 尾数为 11 位 (含 1 位符号位); 阶码采用移码表示, 尾数采用补码表示。

答: $X = 14.75 = 1110.11 = 0.111011 * 2^{100}$

X 的浮点规格化表示 = 1, 0100 (阶码, 移码) 0. 11 1011 0000 (尾数, 补码)

$Y = 26.4375 = 1\ 1010.0111 = 0.110100111 * 2^{101}$

Y 的浮点规格化表示 = 1, 0101 (阶码, 移码) 0. 11 0100 1110 (尾数, 补码)

$-Y = -26.4375 = -1\ 1010.0111 = -0.110100111 * 2^{101}$

$-Y$ 的浮点规格化表示 = 1, 0101 (阶码, 移码) 1. 00 1011 0010 (尾数, 补码)

X 、 Y 、 $-Y$ 的浮点规格化表示, 答对给 4 分

(1) 对阶:

小阶向大阶对齐, X 向 Y 对齐 尾数右移 1 位, 阶码加 1

$X = 1, 0101$ (阶码, 移码) 0. 01 1101 1000 (尾数, 补码)

答对给 2 分

(2) 尾数求和:

$0. 01\ 1101\ 1000 + 1. 00\ 1011\ 0010 = 1. 10\ 1000\ 1010$

答对给 2 分

(3) 尾数规格化:

上述和的尾数不是规格化数 (绝对值 < 0.5 的负数), 需要左移 1 次, 阶码减 1

和的尾数 = 1. 01 0001 0100 和的阶码 = 1, 0100

最后的结果为: $X - Y = 1, 0100$ (阶码, 移码) 1. 01 0001 0100 (尾数, 补码)

答对给 2 分

(4) 验证:

$$\begin{aligned} X-Y &= 0,0100 \quad (\text{阶码, 原码}) \quad 1.10 \ 1110 \ 1100 \quad (\text{尾数, 原码}) \\ &= -0.10111011 \times 2^4 = -(187/256) \times 16 = -11.6875 = 14.75 - 26.4375 \end{aligned}$$

这一步不需要学生答

4、(12 分) 已知 TD-CMA 实验系统在简单模型机方式下的数据通路图如图 1 所示, ALU 的逻辑功能表如表 1 所示。该简单模型机有 5 条指令, 指令的助记符、机器码和说明如下:

助记符	指令机器码	说明
IN R0	0010 0000	IN -> R0
ADD R0,R0	0000 0000	R0 + R0 -> R0
OUT R0	0011 0000	R0 -> OUT
JMP addr	1110 0000 *****	addr -> PC
HLT	0101 0000	停机

该简单模型机的微指令格式如表 2 所示, 5 条指令的微程序流程图如图 2 所示, 微指令的代码如表 3 所示。

请问:

(1) 该简单模型机的微指令采用什么编码方式(控制方式)? 微指令的操作控制字段和顺序控制字段各有几位?

(2) 下面 8 条微指令, 该简单模型机的控制器发出什么控制信号?(请分别列出)

- ① PC -> AR, PC 加 1
- ② MEM -> IR, P<1>
- ③ R0 -> A
- ④ R0 -> B
- ⑤ A 加 B -> R0
- ⑥ IN -> R0
- ⑦ R0 -> OUT
- ⑧ MEM -> PC

(3) 要求设计一条新的指令, 代替原有 5 条指令中的“HLT”指令。该新指令完成“R0 加 1”的功能, 即“R0 + 1 -> R0”, 其助记符为“INC R0”。请对图 2 的微程序流程图进行修改, 对表 3 的微指令代码表进行修改, 使该简单模型机具有新指令“R0 加 1”的功能(代替原有的“HLT”指令)。注: 只需给出

图 2 的修改部分，表 3 的修改部分。

答：

(1) 该简单模型机的微指令采用混合编码方式。

微指令的操作控制字段=18 位，顺序控制字段=6 位。

答对给 2 分

(2) 8 条微指令，控制器发出的控制信号如下：

① PC → AR，PC 加 1

控制信号：LDAR=1 PC_B=1 LDPC=1

② MEM → IR，P<1>

控制信号：RD=1 LDIR=1 P<1>

③ R0 → A

控制信号：LDA=1 R0_B=1

④ R0 → B

控制信号：LDB=1 R0_B=1

⑤ A 加 B → R0

控制信号：LDR0=1 ALU_B=1 S3-S0 = 1001

⑥ IN → R0

控制信号：RD=1 IOW=1 LDR0=1

⑦ R0 → OUT

控制信号：WR=1 IOM=1 R0_B=1

⑧ MEM → PC

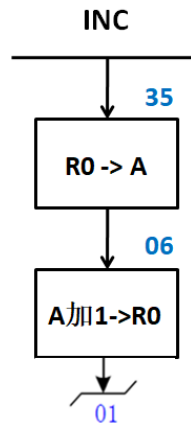
控制信号：RD=1 LOAD=1 LDPC=1

答对给 4 分

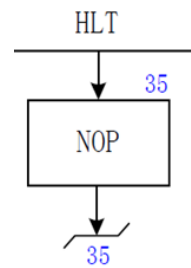
(3)

①修改后的微程序流程图（只画出修改部分）：

用下面的图：



取代：



②修改后的微指令代码表（只给出修改部分）：

将：

35	00 00 35	00000	0000	000	000	000	110101
----	----------	-------	------	-----	-----	-----	--------

改为：

35	001406	00000	0000	001	010	000	000110
----	--------	-------	------	-----	-----	-----	--------

并增加：

06	06B201	00000	1101	011	001	000	000001
----	--------	-------	------	-----	-----	-----	--------

答对给 6 分

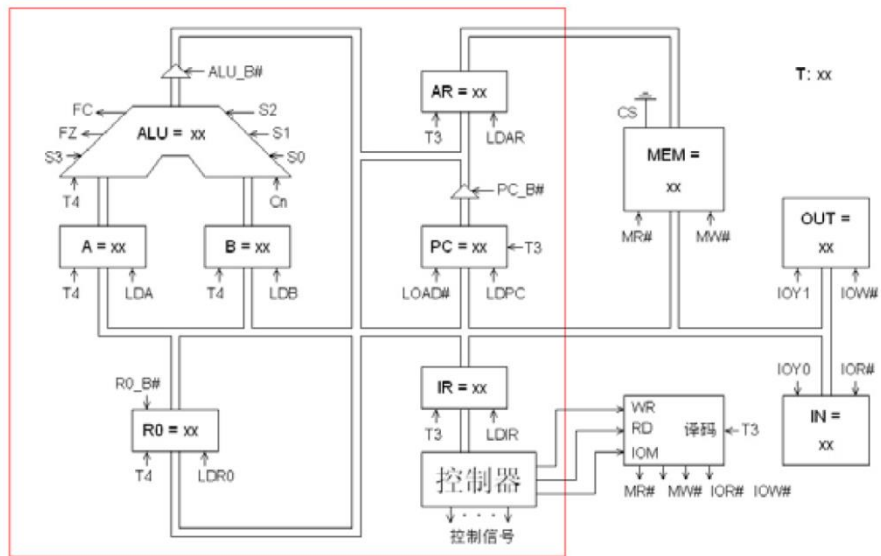


图 1 简单模型机的数据通路图

表 1 简单模型机 ALU 的逻辑功能表

运算类型	S3 S2 S1 S0	CN	功 能
逻辑运算	0000	X	F=A (直通)
	0001	X	F=B (直通)
	0010	X	F=AB (FZ)
	0011	X	F=A+B (FZ)
	0100	X	F=/A (FZ)
移位运算	0101	X	F=A 不带进位循环右移 B (取低 3 位) 位 (FZ)
	0110	0	F=A 逻辑右移一位 (FZ)
		1	F=A 带进位循环右移一位 (FC, FZ)
	0111	0	F=A 逻辑左移一位 (FZ)
		1	F=A 带进位循环左移一位 (FC, FZ)
算术运算	1000	X	置 FC=CN (FC)
	1001	X	F=A 加 B (FC, FZ)
	1010	X	F=A 加 B 加 FC (FC, FZ)
	1011	X	F=A 减 B (FC, FZ)
	1100	X	F=A 减 1 (FC, FZ)
	1101	X	F=A 加 1 (FC, FZ)
	1110	X	(保留)
	1111	X	(保留)

*表中“X”为任意态，下同

表 2 简单模型机微指令的格式

23	22	21	20	19	18-15	14-12	11-9	8-6	5-0
M23	M22	WR	RD	IOM	S3-S0	A字段	B字段	C字段	MA5-MA0

A字段				B字段				C字段			
14	13	12	选择	11	10	9	选择	8	7	6	选择
0	0	0	NOP	0	0	0	NOP	0	0	0	NOP
0	0	1	LDA	0	0	1	ALU_B	0	0	1	P<1>
0	1	0	LDB	0	1	0	RO_B	0	1	0	保留
0	1	1	LDRO	0	1	1	保留	0	1	1	保留
1	0	0	保留	1	0	0	保留	1	0	0	保留
1	0	1	LOAD	1	0	1	保留	1	0	1	LDPC
1	1	0	LDAR	1	1	0	PC_B	1	1	0	保留
1	1	1	LDIR	1	1	1	保留	1	1	1	保留

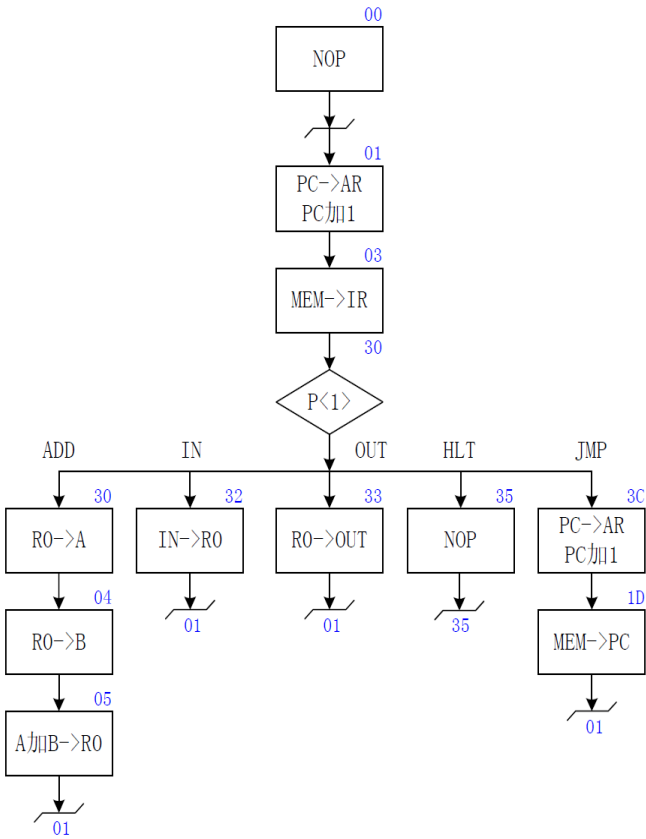


图 2 简单模型机微程序流程图

表 3 简单模型机微指令的代码

地址	十六进制	高五位	S3-S0	A 字段	B 字段	C 字段	MA5-MA0
00	00 00 01	00000	0000	000	000	000	000001
01	00 6D 43	00000	0000	110	110	101	000011
03	10 70 70	00010	0000	111	000	001	110000
04	00 24 05	00000	0000	010	010	000	000101
05	04 B2 01	00000	1001	011	001	000	000001
1D	10 51 41	00010	0000	101	000	101	000001
30	00 14 04	00000	0000	001	010	000	000100
32	18 30 01	00011	0000	011	000	000	000001
33	28 04 01	00101	0000	000	010	000	000001
35	00 00 35	00000	0000	000	000	000	110101
3C	00 6D 5D	00000	0000	110	110	101	011101