



# 厦门大学《计算机组成原理》课程试卷

信息学院 软件工程系 软件工程专业

试卷类型：样卷 1

by maoli

一、选择题（请从 ABCD 中选择唯一的一个答案，每小题 1.5 分，

30 小题，共 45 分）

1. 下列关于冯诺依曼结构计算机基本思想的叙述中，错误的是：

A. 程序的功能都通过中央处理器执行指令实现

B. 指令和数据都用二进制表示，形式上无差别

C. 指令按地址访问，数据都在指令中直接给出

D. 程序执行前，指令和数据需预先存放在存储器中

C. 指令按地址访问，数据都在指令中直接给出

在冯诺依曼结构计算机中，指令和数据是分开存储的。指令存储在指令存储器（也称为指令缓存或指令内存）中，而数据存储在数据存储器（也称为数据缓存或数据内存）中。指令按照地址逐条读取，然后由中央处理器执行，而数据则根据指令的操作码指示进行访问。因此，指令和数据在存储器中的存放方式是不同的，选项C中的描述是错误的。

2. 将高级语言源程序转换为机器级目标代码文件的程序称为：

A. 汇编程序

B. 链接程序

C. 编译程序

D. 解释程序

C. 编译程序

将高级语言源程序转换为机器级目标代码文档的程序称为编译程序。编译程序将源代码作为输入，对其进行词法分析、语法分析、语义分析和代码生成等过程，最终生成与目标机器相关的目标代码文档，这些目标代码文档可以由计算机直接执行。编译程序在转换过程中会对源代码进行优化和错误检查，以生成效率高且可执行的目标代码。

3. 下列选项中，描述浮点数操作速度指标的是：

A. MIPS

B. CPI

C. IPC

D. MFLOPS

D. MFLOPS

MFLOPS是衡量计算机浮点运算速度的指标，表示每秒执行的百万次浮点操作数。它是“FLOPS”（每秒浮点操作数）的一种常见单位，通过将浮点操作的数量除以执行这些操作所花费的时间来计算得出。MFLOPS用于评估计算机系统在执行科学计算、图像处理、模拟等需要大量浮点运算的应用程序时的性能。越高的MFLOPS值表示计算机在执行浮点运算方面的速度越快。

4. 考虑以下 C 语言代码：

```
unsigned short usi=65535;
```

```
short si=usi;
```

执行上述程序段后，si 的值是：

A. -1

B. -32767

C. -32768

D. -65535

A. -1

在这段代码中，我们首先声明了一个无符号短整型变量 usi，并将其初始化为最大值 65535，即二进制中所有位都为1。然后，我们声明了一个有符号短整型变量 si，并将其赋值为无符号短整型变量 usi。

由于 si 是有符号变量，因此在将无符号变量 usi 赋值给 si 时，会进行类型转换。根据C语言的类型转

换规则，将一个无符号整型数值赋值给一个有符号整型变量时，需要进行符号扩展。也就是说，如果无符号整型数值的最高位为1，表示这是一个正数，而在有符号整型变量中则表示这是一个负数。因此，在进行符号扩展时，会在有符号变量的高位填充1。

在本题中，无符号短整型变量 `usi` 的值为 65535，即二进制的各位都是1，因此在将其赋值给有符号短整型变量 `si` 时，需要进行符号扩展。符号扩展后的结果是一个负数，其值等于  $65535 - 65536 = -1$ 。因此，执行完这段代码后，变量 `si` 的值为 -1。

5. 用海明码对长度为 8 位的数据进行检错和纠错时，若能纠正一位错，则校验位数至少为：

- A. 2                      B. 3                      C. 4                      D. 5

C. 4

通常情况下，海明码的校验位数是由以下公式确定的： $m + r + 1 \leq 2^r$ ，其中  $m$  是数据位数， $r$  是校验位数。对于长度为 8 位的数据，如果能够纠正一位错，说明至少需要添加一个校验位，使得校验位数  $r$  满足以上公式中的条件。通过代入  $m=8$  和  $r=4$ ，可以发现这个条件得到满足，因此至少需要添加 4 个校验位。

6. 下列存储器中，在工作期间需要周期性刷新的是：

- A. SRAM                      B. SDRAM                      C. ROM                      D. FLASH

B.

SRAM 以双稳态为存储单元，数据不易丢失，不需要周期性的刷新。DRAM 的数据以电荷的形式保存在电容中，需要以刷新的方式，不断为电容充放电，需要周期性刷新。

7. 下列各类存储器中，不采用随机存取方式的是：

- A. EPROM                      B. CDROM                      C. DRAM                      D. SRAM

B.

光盘采用顺序存储。光盘采用顺序存储。

8. 下列关于闪存（Flash Memory）的叙述中，错误的是：

- A. 信息可读可写，并且读、写速度一样快  
B. 存储元由 MOS 管组成，是一种半导体存储器  
C. 掉电后信息不丢失，是一种非易失性存储器  
D. 采用随机访问方式，可替代计算机外部存储器

A. 闪存的写操作必须在空白区域进行，如果目标区域已经有数据，必须先擦除后写入，而读操作不必如此，所以闪存的读速度比写速度快。

9. 某 C 语言程序段如下：

```
for(i=0; i<=9;
    i++){temp=1;
    for(j=0; j<=i; j++)
        temp += a[j];
    sum += temp;
}
```

下列关于数组 `a` 的访问局部性的描述中，正确的是：

- A. 时间局部性和空间局部性都有                      B. 无时间局部性，有空间局部性  
C. 有时间局部性，无空间局部性                      D. 时间局部性和空间局部性都无

A. 数组 `a` 按顺序储存，在对数组 `a` 进行遍历时，是在连续按顺序访问地址空间，具有空间局部性。数组中的数据在遍历循环中会被多次访问，则也会具有时间局部性。

10. 采用指令 cache 与数据 cache 分离的主要目的是:

- A. 降低 cache 的缺失损失
- B. 提高 cache 的命中率
- C. 降低 CPU 平均访存时间
- D. 减少指令流水线资源冲突

分离cache的主要原因是执行部件存取数据时, 指令预取部件又要取指令又要取数据, 两者会发生冲突, 采用独立的就可以解决这个问题, 则应选择D。

11. 假定一台计算机采用 3 通道存储器总线, 配套的内存条型号为 DDR3-1333, 即内存条所接触的存储器总线的工作频率为 1333MHz、总线宽度为 64 位, 则存储器总线的总带宽大约是:

- A. 10.66GB/s
- B. 32GB/s
- C. 64GB/s
- D. 96GB/s

B. 总带宽=单位时间传输的数据长度/单位时间

$$=3*64/T(\text{位/s})$$

$$=3*64*f(\text{位/s})$$

$$=3*64*1333*220(\text{位/s})=3*64*1333*220/233(\text{GB/s})=31.242\text{GB/s}。$$

12. 下列命中组合情况中, 一次访存过程中不可能发生的是:

- A. TLB 未命中, cache 未命中, Page 未命中
- B. TLB 未命中, cache 命中, Page 命中
- C. TLB 命中, cache 未命中, Page 命中
- D. TLB 命中, cache 命中, Page 未命中

D: 页缺失说明页和数据不在主存中, TLB中一定没有对应页表项, cache也不可能命中, 所以D不可能

13. 下列关于缺页处理的叙述中, 错误的是:

- A. 缺页是在地址转换时 CPU 检测到的一种异常
- B. 缺页处理由操作系统提供的缺页处理程序完成
- C. 缺页处理程序根据页故障地址从外存读入所缺失的页
- D. 缺页处理完成后执行发生缺页的指令的下一条指令

D. 缺页处理完成后将刷新缺页异常状态并回到发生缺页的指令(原进程)继续执行

14. 偏移寻址通过将某个寄存器内容与一个形式地址相加来生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是:

- A. 间接寻址
- B. 基址寻址
- C. 相对寻址
- D. 变址寻址

A. 答: 间接寻址是直接访问主存地址获得有效地址, 再访问该地址内容作为一个新的地址获取我们的操作数。未进行寄存器内容和偏移量的相加, A错误;

基址寻址选择基址寄存器作为我们的基址地址, 再通过形式地址D中的偏移量与其相加获得我们有效地址;

相对寻址通过PC的自动进一, 再加上我们的偏移量来获得最后的有效地址;

变址寻址通过选择一个寄存器作为我们存放变址寄存器, 然后将该寄存器中的值加上我们的偏移量获得我们的有效地址。

15. 下列寻址方式中, 最适合按下标顺序访问一维数组元素的是:

- A. 相对寻址
- B. 寄存器寻址
- C. 直接寻址
- D. 变址寻址

D. 答: 在变址操作中, 指令提供数组首地址, 变址寄存器可用于定位数据中的各元素。

16. 下列关于 RISC 的叙述中, 错误的是:

- A. RISC 普遍采用微程序控制器
- B. RISC 中的大多数指令在一个时钟周期内完成

**C. RISC 的内部通用寄存器数量比 CISC 的多**

**D. RISC 的指令数、寻址方式和指令格式种类比 CISC 的少**

A. 答：CISC主要采用微程序控制器，RISC主要采用组合逻辑控制。

**17. 下列寄存器中，汇编语言程序员可见的是：**

**A. 存储器地址寄存器（MAR）**

**B. 程序计数器（PC）**

**C. 存储器数据寄存器（MDR）**

**D. 指令寄存器（IR）**

B. CPU中的寄存器，用户可见的是通用寄存器组、程序状态字寄存器、程序计数器；用户不可见的是存储器地址寄存器、存储器数据寄存器、指令寄存器、暂存寄存器。

**18. 下列有关处理器时钟脉冲信号的叙述中，错误的是：**

**A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成**

**B. 时钟脉冲信号的宽度称为时钟周期，时钟周期的倒数为机器主频**

**C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定**

**D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令**

D. 指令流水线中，理想情况下每个机器周期完成一条指令并开始执行一条新的指令，而非一个时钟脉冲就开始执行一条新的指令。

**19. 单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中，错误的是：**

**A. 可以采用单总线结构数据通路**

**B. 处理器时钟频率较低**

**C. 在指令执行过程中控制信号不变**

**D. 每条指令的 CPI 为 1**

A. 单周期处理器一个时钟内处理完取指令、寻址等操作，有多种类型数据要传输，需要专用数据通路，而单总线结构数据通路一个时钟只能传输一类数据，所以单周期处理器不能采用单总线。

**20. 下列关于主存（MM）和控制存储器（CS）的叙述中，错误的是：**

**A. MM 在 CPU 外，CS 在 CPU 内**

**B. MM 按地址访问，CS 按内容访问**

**C. MM 存储指令和数据，CS 存储微指令**

**D. MM 用 RAM 和 ROM 实现，CS 用 ROM 实现**

B. CS按地址访问（TLB快表按内容访问）

**21. 相对于微程序控制器，硬布线控制器的特点是：**

**A. 指令执行速度慢，指令功能的修改和扩展容易**

**B. 指令执行速度慢，指令功能的修改和扩展难**

**C. 指令执行速度快，指令功能的修改和扩展容易**

**D. 指令执行速度快，指令功能的修改和扩展难**

D. 硬布线控制器采用硬连线逻辑，故一旦构成，除非在物理上进行重新布线，否则指令功能无法修改和扩展。所以指令功能的修改和扩展难。

微程序控制器采用存储逻辑，当需要对指令功能进行修改和扩展时，只要重新设计微代码的码点，并将其注入控制存储器中即可；但是由于采用存储逻辑，相比硬布线控制器多了从控制存储器中读出码点的过程，故其执行速度较慢。

**22. 假定不采用 cache 和指令预取技术，且计算机处于“开中断”状态，则在下列有关指令执行的叙述中，错误的是：**

**A. 每个指令周期中 CPU 都至少访存一次**

- B. 每个指令周期一定大于或等于一个 CPU 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

A. 因为没有cache，所以CPU要直接访问内存才能完成取指，否则无法执行完一个指令周期。所以每个指令周期中CPU至少访问主存一次

B. 指令周期是指CPU取出并执行一条指令的时间，至少与CPU时钟周期相等。即指令周期大于等于一个CPU时钟周期。

C. 即使是空操作，在完成操作后，程序寄存器PC也会自动加1

D. 开中断状态下可以响应外部中断。

23. 下列选项中不会引起指令流水线阻塞的是：

- A. 数据旁路（转发）
- B. 数据相关
- C. 条件转移
- D. 资源冲突

A. 引起流水线阻塞的三种相关：

结构相关 又称 资源相关：不同指令同时征用同一功能部件

数据相关：后继指令需要前面的运算结果

控制相关：转移指令

数据旁路技术（即是重定向技术）：其主要思想是不必待某条指令的执行结果送回到寄存器，再从寄存器中取出该结果，作为下一条指令的源操作数，而是直接将执行结果送到其他指令所需要的地方，这样可以使流水线不发生停顿。

24. 下列关于指令流水线数据通路的叙述中，错误的是：

- A. 包含生成控制信号的控制部件
- B. 包含算术逻辑运算部件（ALU）
- C. 包含通用寄存器组和取指部件
- D. 由组合逻辑电路和时序逻辑电路组合而成

指令流水线数据通路通常由多个部件组成，包括取指部件、译码部件、执行部件、访存部件和写回部件等。这些部件负责执行指令流水线的各个阶段。

选项 B 提到了算术逻辑运算部件（ALU），这是指令流水线中执行部件的一部分，用于执行算术和逻辑运算。

选项 C 提到了通用寄存器组和取指部件，这是指令流水线中的一部分，用于存储和读取数据。

选项 D 提到了组合逻辑电路和时序逻辑电路，这是指令流水线中各个部件的基本构成，用于实现不同的功能和时序控制。

然而，选项 A 提到了包含生成控制信号的控制部件。CPU由数据通路和控制部件构成，因此数据通路不包含控制部件。因此，选项 A 是错误的叙述。

25. 在系统总线的数据线上，不可能传输的是：

- A. 指令
- B. 操作数
- C. 握手（应答）信号
- D. 中断类型号

C. 分析：数据总线传输的数据可以是真正的数据，也可以是指令代码或状态信息。握手（应答）信号属于控制信号，在通信总线上传输。

26. 一次总线事务中，主设备只需给出一个首地址，从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为：

- A. 并行传输
- B. 串行传输
- C. 突发传输
- D. 同步传输

C. 猝发（突发）传输：在一个总线周期中，可以传输多个存储地址连续的数据，即一次传输一个地址和一批地址连续的数据。

27. 下列关于总线设计的叙述中，错误的是：

- A. 并行总线传输比串行总线传输速度快
- B. 采用信号线复用技术可以减少信号线数量
- C. 采用突发传输方式可提高总线数据传输速率
- D. 采用分离事务通信方式可提高总线利用率

A. 分析：为了保证并行传输正常进行总线的工作频率不能过高，而串行总线可以通过不断提高工作频率提高传输速度，最终超过并行总线。

28. 下列选项中，用于设备和设备控制器（I/O 接口）之间互连的接口标准是：

- A. PCI
- B. USB
- C. AGP
- D. PCI-Express

A. PCI：外部设备互连总线。

B. USB：设备和设备控制器互连接口标准。

C. AGP：加速图形接口。

D. PCI-Express：最新总线和接口标准。

29. 下列关于多重中断系统的叙述中，错误的是：B

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间 CPU 处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU 通过采样中断请求信号检测中断请求

30. 下列关于中断 I/O 方式和 DMA 方式比较的叙述中，错误的是：

- A. 中断 I/O 方式请求的是 CPU 处理时间，DMA 方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后，DMA 响应发生在一个总线事务完成后
- C. 中断 I/O 方式下数据传送通过软件完成，DMA 方式下数据传送由硬件完成
- D. 中断 I/O 方式适用于所有外部设备，DMA 方式仅适用于高速外部设备

D. 中断控制方式只有在设备数据准备时间长于它的额外开销时才有优势。NVMeSSD等高速设备适用的是程序查询方式。

## 二、简答题（6 小题，共 15 分）

1. （2 分）如何判断浮点数运算结果是否为规格化数？如果不是规格化数，如何进行规格化？

答：要判断浮点数运算结果是否为规格化数，可以检查浮点数的指数部分和尾数部分。

在IEEE 754浮点数标准中，规格化数的特点是指数部分不全为0或全为1（排除全0和全1的情况），尾数部分的最高位为1。如果一个浮点数满足这些条件，则可以判断它为规格化数。

如果运算结果不是规格化数，可以通过规格化的方式进行处理。以下是一般的规格化过程：

1. 检查运算结果是否为零。如果结果为零，直接返回0作为规格化数。
2. 检查运算结果是否为无穷大或NaN（非数）。如果是无穷大或NaN，根据IEEE 754标准的规定，无需进行规格化处理。
3. 如果运算结果既不是零，也不是无穷大或NaN，那么需要对尾数进行规格化。
  - 找到尾数中的最高位1所在的位置，将其左边的部分作为规格化后的尾数。
  - 根据最高位1的位置，相应地调整指数部分。指数部分需要减去一个偏移量，该

偏移量等于尾数规格化所移动的位数。

- 如果尾数规格化后超出了浮点数表示的范围（例如溢出），需要进行舍入和溢出处理。
- 如果规格化后的尾数中最高位为1，则得到规格化的结果。否则，需要进行舍入处理。

## 2. （2分）动态 MOS 存储器为什么要刷新？如何刷新？

答:动态MOS（Metal-Oxide-Semiconductor）存储器，也称为DRAM（Dynamic Random-Access Memory），由于其特殊的电荷存储机制，需要定期刷新来保持存储数据的准确性。这是由DRAM的内部电荷漏失效应导致的。

动态MOS存储器的基本单元是存储电容器（电容），每个存储电容器存储一个数据位。电容的电荷会随时间逐渐泄漏，导致数据丢失。为了保持数据的正确性，DRAM需要定期刷新（refresh）操作，将存储电容器中的电荷重新写入以防止数据丢失。

刷新操作的具体步骤如下：

1. 选择一行（或一个区块）的存储电容器，通过行选择线（row select line）将其置于活动状态。
2. 读取存储电容器的内容，并立即重新写入相同的数据。这个过程会重新充电电容，使其保持原来的数据。
3. 恢复其他行（或区块）的存储电容器，以确保整个存储器中的数据都得到刷新。

刷新操作需要周期性地执行，以防止数据丢失。刷新频率取决于DRAM芯片的特性和设计要求。通常，DRAM芯片会有内部的计时器或控制逻辑来自动触发刷新操作。

需要注意的是，刷新操作会导致DRAM芯片在执行刷新期间无法访问存储数据。为了确保刷新操作不会对系统性能造成严重影响，通常会采用一些技术手段，如将刷新操作分散到不同的时刻，以平衡刷新和数据访问之间的冲突。

## 3. （2分）为什么说 cache 对程序员是透明的？

答：Cache对程序员来说是透明的，是因为程序员无需显式地编写代码或进行特定的操作来使用或管理缓存。以下是几个原因：

1. 自动缓存管理：缓存是由计算机体系结构和处理器硬件自动管理的。程序员无需关心缓存的具体细节，也无需手动管理缓存。处理器硬件会自动将数据从主存加载到缓存中，并在需要时自动进行缓存的读取和写入操作。
2. 缓存透明性：缓存对程序员来说是透明的，意味着程序员编写的代码在缓存中执行时的行为与在没有缓存的情况下的行为相同。程序员无需担心缓存的存在会对程序的正确性产生影响。缓存透明性有助于编写可移植的代码，因为代码的性能在不同的计算机体系结构和缓存配置下保持一致。
3. 隐藏访存延迟：缓存的存在可以帮助隐藏主存访问的延迟。当处理器需要访问数据时，它首先会检查缓存中是否存在所需的数据。如果数据在缓存中，处理器可以直接从缓存中读取，避免了从主存中获取数据的延迟。这种隐藏访存延迟的机制使得程序员无需显式地处理主存访问延迟问题。

## 4. （3分）RISC 处理器有何特点？

答：RISC（Reduced Instruction Set Computer）处理器是一种计算机处理器设计的范式，具有以下特点：



1. 简化指令集：RISC处理器采用精简的指令集，指令的操作数量相对较少且固定，每个指令执行的操作都很简单。这使得指令的执行时间可以更加均匀，简化了处理器的控制逻辑。
2. 硬布线控制：RISC处理器采用硬布线控制，即硬件电路的方式来执行指令，而不依赖复杂的微程序控制。这样可以提高指令的执行速度和效率。
3. 加载-存储体系结构：RISC处理器使用加载-存储（Load-Store）体系结构，即只允许指令从存储器中加载数据到寄存器或将数据从寄存器存储回存储器。这简化了指令的设计和处理器的架构。
4. 寄存器优化：RISC处理器拥有大量通用寄存器，用于存储操作数和中间结果，减少了对内存的访问次数，提高了指令的执行效率。
5. 简化的指令流水线：由于指令集较简单且操作相对独立，RISC处理器可以更容易地实现指令流水线，将指令的执行划分为多个阶段，使得多条指令可以同时在不同阶段执行，提高了处理器的并行性和吞吐量。
6. 高性能和低功耗：RISC处理器的设计着重于性能优化和功耗控制。简化的指令集和硬布线控制使得指令的执行速度更快，同时减少了功耗的消耗。

### 5. （3分）中断隐指令完成什么功能？

答：关中断，保存程序断点，将中断服务程序入口地址送入程序计数器PC

### 6. （3分）假设一个同步总线的时钟频率=100MHz，总线宽度为 32 位，每个时钟周期传输一个数据，该总线的最大数据传输率为多少？若要将总线带宽提高一倍，有几种可行方案？

答：最大数据传输速率=总线宽度\*总线时钟频率\*单时钟传输次数=4B\*100MHz\*1=400MB/s

总线时钟频率提高1倍或总线宽度改为64位或单时钟传输次数提高至2次。

## 三、综合题（6 小题，共 40 分）

1. （6分）若某程序编译后生成的目标代码由 A、B、C、D 等 4 类指令组成，它们在程序中所占比例分别为 40%、20%、15%、25%。已知 A、B、C、D 等 4 类指令的 CPI 分别为 1、2、2、2，现需要对程序进行编译优化，优化后的程序中 A 类指令数量减少了一半，而其它指令数量未发生变化。假设运行该程序的计算机 CPU 主频为 500MHz。

回答以下问题：

- （1）优化前后程序的 CPI 各为多少？
- （2）优化前后程序的 MIPS 各为多少？
- （3）通过上面的计算结果，你能得出什么结论？

（1）

优化前CPI=40%\*1+20%\*2+15%\*2+25%\*2=1.6

因为A类指令数量减少一半，那么就减少A类指令数一半，相应的，总指令的百分比也随之减少

减少后的指令数量：A类 20/80 B类 20/80 C类 15/80 D类 25/80

优化后CPI=20/80\*1+20/80\*2+15/80\*2+25/80\*2=1.75

（2）

优化前MIPS=500/1.6=312.5

优化后MIPS=500/1.75≈285.7

（3）如果从优化前后的程序执行时间来看，优化是成功的。但是，优化后，CPI却增加，MIPS却减少，如果从CPI 和MIPS 这两个指标看，好像优化后，性能变差。因此，不能简单的通过CPI 和MIPS 指标来评



## 价计算机性能。

2. (4分) 设8位有效信息为01101110, 试写出它的海明校验码。如果接收方收到的有效信息变成01101111, 说明如何定位错误并纠错。

(ps:完整过程, 考试只需写出计算答案) hyx好好看 = =

解:

发送端:

根据海明码的规则, 对于8位有效信息, 需要找到最小的 $r$ , 使得 $8 + r \leq 2^r - 1$ 。可以得到 $r = 4$ , 即需要添加4个校验位。以下是构造海明码的过程:

- 将8位有效信息进行编号, 从右到左, 从1到8。将校验位编号为1, 2, 4, 8。将编号转化成二进制形式, 准备插入。
- 海明校验码放在索引号为 $2^n$ 的位 ( $n=0,1,2,\dots,k-1$ ) 上, 本题中 $r=4$ , 所以校验位的索引为第1, 2, 4, 8位, 于是在下表中把这几位空出来

索引号	1	2	3	4	5	6	7	8	9	10	11	12
	H1	H2	0	H4	1	1	0	H8	1	1	1	0

3. 列出进制转换表:

索引号	8 ( $2^3$ )	4 ( $2^2$ )	2 ( $2^1$ )	1 ( $2^0$ )
3	0	0	1	1
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0

上表中, 先说每一行的内容: 从第二行开始, 每一行的第一列代表索引号, 这个索引号是除去了海明校验位之外的其他所有位。后面几列为该索引号对应的二进制表示, 其位数取决于第(1)步计算得出的海明校验码的位数, 比如第二行, 索引号是3, 十进制3对应的二进制就是0011, 之所以用4位表示是因为这段信息码需要4个海明校验位。

再看列信息: 第一行最右边数字1所对应的列里, 出现1的, 就表示可以用第H1位完成校验, 出现数字0则表示不能用H1位进行校验, 因此, 由上表可知:

校验位H1负责校验: 第3, 5, 7, 9, 11位 (上表黄色高亮显示部分), 对应位置上的值进行异或得:  
 $0 \oplus 1 \oplus 0 \oplus 1 \oplus 1 = 1$ , 由于海明校验做的是偶校验, 则 $H1=1$ ;

校验位H2负责校验: 第3, 6, 7, 10, 11位 (上表蓝色高亮显示部分), 对应位置上的值进行异或得:  
 $0 \oplus 1 \oplus 0 \oplus 1 \oplus 1 = 1$ ;

校验位H4负责校验: 第5, 6, 7, 12位, 对应位置上的值进行异或得:  $1 \oplus 1 \oplus 0 \oplus 0 = 0$ ;

校验位H8负责校验: 第9, 10, 11, 12位, 对应位置上的值进行异或得:  $1 \oplus 1 \oplus 1 \oplus 0 = 1$ 。

4. 得到最终要传输的数据串为

索引号	1	2	3	4	5	6	7	8	9	10	11	12
	1	1	0	0	1	1	0	1	1	1	1	0

## 接收端:

### 1. 进行校验:

索引号	1	2	3	4	5	6	7	8	9	10	11	12
	1	1	0	0	1	1	0	1	1	1	1	1

若此时接收方收到的数据相比源数据, 在第12位发生了错误:

接收方先按照上一步中类似的方式进行计算检错字, 区别在于要加上校验位自身这一位, 即:

G1的值为第H1, 3, 5, 7, 9, 11位上的值进行异或, 计算结果为0

G2的值为第H2, 3, 6, 7, 10, 11位上的值进行异或, 计算结果为0

G4的值为第H4, 5, 6, 7, 12位上的值进行异或, 计算结果为1

G8的值为第H8, 9, 10, 11, 12位上的值进行异或, 计算结果为1

### 2. 错误位判定:

由于海明校验采取的是偶校验, 所以判断出G1,G2监督式包含的数据位无错, 错误位发生在G4,G8两个监督式包含的位上。

此时的做法是: ①找到G4,G8这三个监督式共同包含的位; ②找出共同包含的位之后, 再剔除掉在G1,G2中出现过的位 (因为已经验证过监督式中的位是正确的); ③剩下的位就是发生传输错误的位。

也可以根据指错码 $G_4G_3G_2G_1 = 1100 = 12$ , 根据上述步骤可以得出, 出错的位就是第12位, 此时取反即可。

3. (6分) 假定某数组元素按行优先顺序存放在主存中, 则在以下两段程序 A 和B 中, 分析下列问题: (1) 两段代码中对数组访问的时间局部性和空间局部性。(2) 变量 sum 的时间局部性和空间局部性。(3) for 循环体对指令访问的时间局部性和空间局部性。

程序 A:

```
int sum_array_A(int a[M][N])
{
    int i,j,sum=0;
    for (i = 0; i < M; i++)
        for (j = 0; j < N; j++)
            sum += a[i][j];
    return sum;
}
```

程序 B:

```
int sum_array_B(int a[M][N])
{
    int i,j,sum=0;
    for (i = 0; i < N; i++)
        for (j = 0; j < M; j++)
            sum += a[j][i];
    return sum;
}
```

答: (1) 程序 A 中对数组的访问 (顺序访问) 具有空间局部性, 不具有时间局部性; 程序B中对数组的访问不具有空间局部性, 也不具有时间局部性。

(2) sum 因为在for循环中被多次访问, 所以具有时间局部性。

(3) for循环中的指令被反复执行, 具有时间局部性。并且循环语句中的机器指令序列通常会顺序执行, 因此

也具有一定的空间局部性。

4. (8分) 某计算机系统有一个 TLB 和 L1 级数据 cache, 存储系统按字节编址, 虚拟存储器容量为 2GB, 主存容量为 4MB, 页大小为 128KB, TLB 采用四路组相联方式, 共有 16 个页表项。cache 容量为 16KB, 每块包含 8 个字, 每字为 32 位, 映射方式采用四路组相联, 回答下列问题:

- (1) 虚拟地址中哪几位表示虚拟页号? 哪几位表示页内地址? 虚拟页号中哪几位表示 TLB 标记? 哪几位表示 TLB 索引?
- (2) 物理地址中哪几位表示物理页号? 哪几位表示偏移地址?
- (3) 为实现主存与数据 cache 之间的组相联映射, 对该地址应进行怎样的划分?

答: (1) 虚拟存储容量=2GB=2<sup>31</sup>(字节, 下文B同此描述), 所以虚拟地址共有31位。页大小=128KB=2<sup>17</sup>字节, 所以页内偏移地址为17位。则虚页号为31-17=14位。故虚拟地址中高14位表示虚页号, 低17位表示页内偏移地址。

TLB有四组, 需要2位组索引 (4=2<sup>2</sup>), 则TBL标记为14-2=12位。

故虚页号中高 12 位表示 TLB 标记, 低 2 位表示 TLB 组索引。

(2) 主存容量=4KB=2<sup>22</sup>B, 所以物理地址共有22位。页内偏移地址为17位, 所以物理页号为22-17=5位。故物理地址中高 5 位表示物理页号, 低 17 位表示页内偏移地址。

(3) 主存容量=4KB=2<sup>22</sup>B, 所以主存地址有22位。

cache每块包含8个字, 每字32位, 所以每个cache块大小为8\*32\8= 32 = 2<sup>5</sup>B。

cache容量=16KB=2<sup>14</sup>B, cache块数量为2<sup>14</sup>B/2<sup>5</sup>B=2<sup>9</sup>。

32B=2<sup>5</sup>B, 块内地址为5位。

采用四路组相联映射, 每四个为一组, 所以cache组数为2<sup>9</sup>/4=2<sup>7</sup>, 所以组索引为7位。剩下的标记位=22-5-7=10位。

故主存地址划分: 标记 (10位) + 组索引 (7位) + 块内地址 (5位)

**“组相联映射”如何访存**

假设某个计算机的主存地址空间大小为256MB, 按字节编址, 其数据Cache有8个Cache行, 行长为64B。

组相联映射, 所属分组=主存块号%分组数

256M=2 <sup>28</sup> 主存地址共28位	
主存块号	块内地址
22位	6位
20位 标记	2位 组号 6位块内 地址

Cache 分为2<sup>7</sup>组

**有效位**

0 0 1 1 0 0 0 0

**标记(20位)**

1...11  
0...00

**Cache**

0	00
1	00
2	01
3	01
4	10
5	10
6	11
7	11

Cache: 8×64B = 512B

2路组相联映射——2块为一组, 分四组

**CPU 访问主存地址**

1...11001110:

①根据主存块号的后2位确定所属分组号

②若主存块号的前20位与分组内的某个标记匹配且有效位=1, 则Cache命中, 访问块内地址为001110的单元。

**块号**

0 1 2 ... 2<sup>22</sup>-3 2<sup>22</sup>-2 2<sup>22</sup>-1

**主存**

每个主存块的地址范围

0...0000000000~0...0001111111

0...0001000000~0...0011111111

0...0010000000~0...0011111111

1...1101000000~1...1101111111

1...1110000000~1...1110111111

1...1111000000~1...1111111111

主存: 256MB

5. (6分) 计算机的指令格式包括操作码 OP、寻址方式特征位 I 和形式地址 D 等 3 个字段, 其中 OP 字段是 6 位, 寻址方式特征位 I 为 2 位, 形式地址 D 为 8 位。I 的取值与寻址方式的对应关系如下:

I=00: 直接寻址

- (1) 4420H      (2) 2244H      (3) 1322H      (4) 3521H

答：

(1) 4420H=0100 0100 0010 0000B, 则 I=00, D=20H, 则 EA 为 0010 0000B=20H;

(2) 2244 H=0010 0010 0100 0100B, 则 I=10, 用变址寄存器 X2 进行变址, D=44H, 则 EA=1122H+44H=1166H;

(3) 1322H=0001 0011 0010 0010B, 则 I=11, 相对寻址, D=22H, 则 EA=1234H+2+22H=1236H+22H=1258H;

(4) 3521H=0011 0101 0010 0001B, 则 I=01, 用变址寄存器 X1 进行变址 D=21H, 则 EA=0037+21H=0058H;

6. (10 分) 请修改图 1 所示的单总线结构 MIPS 处理器的数据通路, 使其能够支持 “sll rd,rt,shamt” 指令, 该指令的 RTL 描述为:  $R[rd]=R[rt] \ll shamt$ 。

请描述需要增加或修改哪些数据通路和控制信号，并给出该指令的执行流程和每一步的操作控制信号。

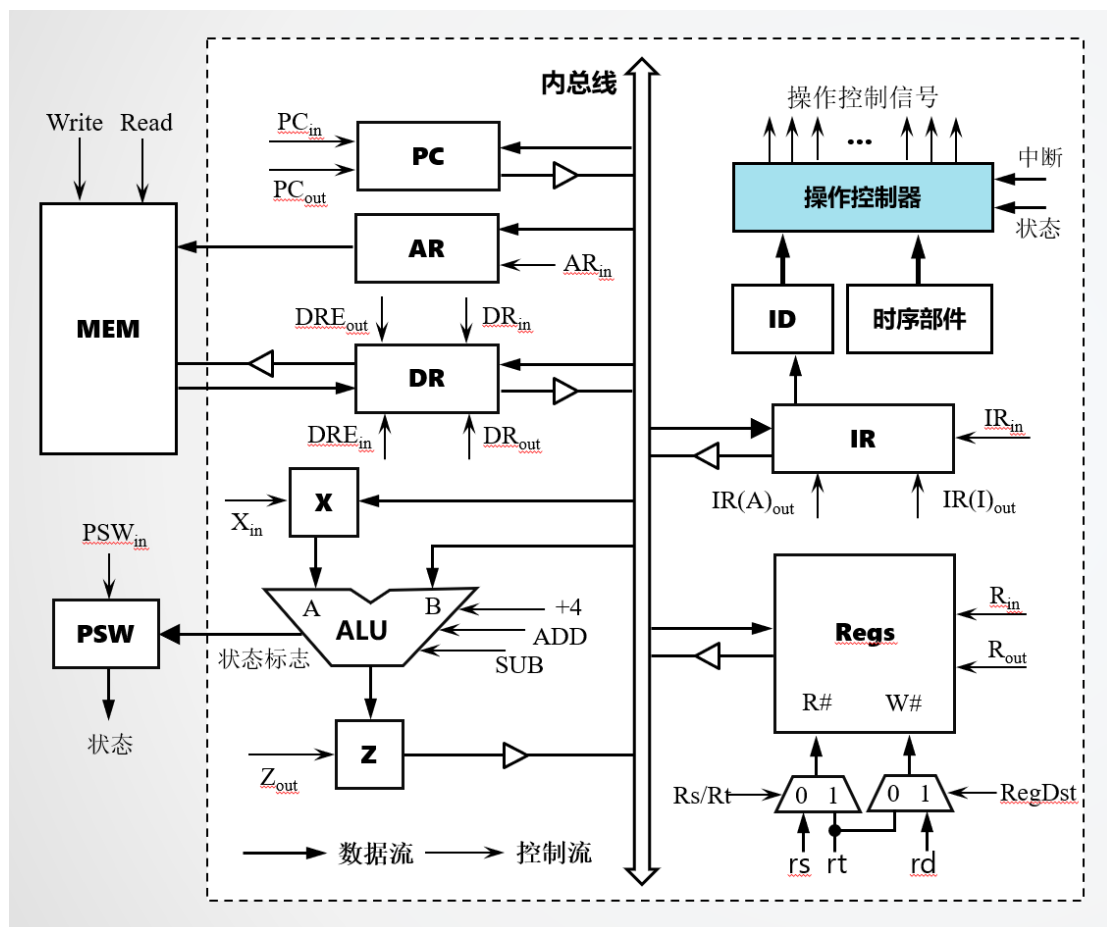


图 1 单总线结构 MIPS 处理器的数据通路

答：需要新增 IR[SHAMT]out 信号来输出指令中的 SHAMT 用于移位运算、增加 ALU 的移位控制信号 SLL, sll rd, rt, shamt; 将 rt 寄存器逻辑左移 shamt 后，存入 rd 寄存器中；

取指周期：

PC->AR, PC->X                      PCout=ARin=Xin=1  
X+4->Z                                  +4=1  
Z->PC, M[AR]->DR      Zout=PCin=1; Read=DREin=1

执行周期：

R(rt)->X                                  Rout=Xin=1  
X<<IR(shamt)->Z      Zin=IR(shamt)out=SLL=1  
Z->R(rd)                                  Zout=Rin=1