



厦门大学《计算机组成原理》课程期中试卷

软件学院 软件工程系 2021 级 软件工程专业

主考教师：曾文华 张海英 考试时间：2023. 4. 22

一、填空题（50 空，每空 0.5 分，共 25 分）

1. 计算机的发展根据其核心电子器件的变迁，经历了四个阶段：即：电子管、(1)、(2)和以(3)为特征的超大规模集成电路。在此期间，(4)定律产生了深远的影响。
2. 现在的主流计算机都是冯·诺依曼体系，其主要思想是(5)和(6)。前者依赖于记忆部件(7)，后者则由(8)负责完成。
3. 计算机系统的层次大致分为硬件和软件两个层次。其中硬件层包括(9)层、(10)层和逻辑门层。处于软硬分界的是(11)层。与机器结构高度相关的是(12)语言层。
4. 机器码是一种可以连同符号位一起编码的二进制数。最简单的是(13)，引入补码则是为了(14)。可以直接比较大小的是(15)，其通常以(16)作为偏移量。
5. 校验码是一种具有(17)和(18)能力的数据编码。通过引入部分(19)信息，以增大(20)，从而实现校验的目的。为了提升奇偶校验的纠错能力，可以采用(21)奇偶校验的原理。(22)既可以检错也可以纠错，如果其能纠正一位错，则最小码距是(23)。
6. n 位串行加法器，也称(24)进位加法器，而采用(25)进位则可以支持全加器的并行运算。其依赖于进位(26)函数和进位(27)函数。
7. 按照存取方式分类，半导体存储器属于(28)存储器，磁带属于(29)存储器，其访问的速度与存储单元的(30)有关，兼具两者特点的是(31)存储器。
8. MROM 只读存储器，利用(32)的通断表示 0, 1 信息。PROM 则是用(33)代替，因而可以编程(34)次。EPROM 利用(35) MOS 管的通断存储数据，并可利用(36)照射进行多次擦除。EEPROM 可以精准地擦除(37)存储单元。(38)则是一种快速擦写，非易失性存储器。

9. 在 SDRAM 出现之前,所有的 DRAM 都属于 (39) DRAM。快页模式 DRAM 的特点是,行地址锁定,只切换 (40)。EDO-DRAM 则可以实现 (41) 和 (42) 的重叠。如果在其基础之上增加列地址计数器,则其演变为 (43), 可以支持 (44) 处理。
10. 虚拟存储器处于 (45) 层次, 主要解决主存容量不足的问题。其虚实地址的映射依靠 (46)。在虚拟存储器中, 转换旁路缓冲区 TLB 实际就是一个 (47), 采用 (48) 或者组相联地址映射方式, 用于缓冲 (49), TLB 也叫做 (50)。

二、选择题 (15 小题, 每题 2 分, 共 30 分)

1. 下列关于冯·诺依曼计算机基本思想的叙述中, 错误的是:
- A. 程序的功能都通过 CPU 执行指令实现
 - B. 指令和数据都用二进制表示, 形式上无差别
 - C. 指令按地址访问, 数据都在指令中直接给出
 - D. 程序执行前, 指令和数据需预先存放在存储器中
2. 某程序 P 在计算机 M 上的执行时间是 10 秒。经过编译优化后, 程序 P 的指令数减少了 40%, 而 CPI 增加了 20%。请问编译优化后, 程序 P 在计算机 M 上的执行时间是:
- A. 6 秒
 - B. 7.2 秒
 - C. 8 秒
 - D. 12 秒
3. 假设有如下的 C 语言语句:
- ```
unsigned char uc=254;
char c=uc;
unsigned short int i=c;
```
- 请问, 执行上述语句后, i 的值是:
- A. 254
  - B. 2
  - C. 65534
  - D. 65024
4. 用海明码对长度为 32 位的数据进行检错和纠错时, 若能纠正一位错, 则检验位数至少为:
- A. 2
  - B. 4
  - C. 6
  - D. 8
5. 在程序的执行过程中, cache 与主存的地址映射是由:

- A. 操作系统来管理的
  - B. 程序员调度的
  - C. 硬件自动完成的
  - D. 编译器完成的
6. 存取周期是指:
- A. 存储器的写入时间
  - B. 存储器进行连续写操作允许的最短间隔时间
  - C. 存储器的读入时间
  - D. 存储器进行连续读或写操作允许的最短间隔时间
7. 下列关于原码不恢复余数法的叙述中, 错误的是:
- A. 商的符号 = 被除数的符号  $\oplus$  除数的符号
  - B. 余数为正时, 商 1, 余数左移 1 位, 减去除数
  - C. 余数为负时, 商 0, 余数左移 1 位, 加上除数
  - D. 余数的符号与被除数的符号相同
8. 下列关于浮点加减运算的叙述中, 正确的是:
- A. 尾数溢出时结果一定溢出
  - B. 浮点数的精度取决于阶码的长度
  - C. 右规或尾数舍入不会引起阶码上溢
  - D. 浮点数的精度取决于尾数的长度
9. 设有某动态 RAM 芯片, 容量为 64Kx1 位, 除电源线、接地线和刷新线外, 该芯片的最小引脚数量是:
- A. 17 根
  - B. 19 根
  - C. 11 根
  - D. 9 根
10. 对于 32KB 容量的存储器, 若按 16 位字编址, 其地址寄存器、数据寄存器的位数分别是:
- A. 地址寄存器为 14 位、数据寄存器为 8 位
  - B. 地址寄存器为 14 位、数据寄存器为 16 位
  - C. 地址寄存器为 15 位、数据寄存器为 8 位
  - D. 地址寄存器为 15 位、数据寄存器为 16 位
11. 下列关于主存的叙述中, 错误的是:
- A. 存储字长可以等于机器字长
  - B. 主存如果采用对齐方式会造成空间浪费
  - C. 存储字长可以不是字节的整数倍
  - D. 大端方式中, 存储器的低字节地址单元存放的是数据的最高字节
12. 下列关于 DRAM 存储器的叙述中, 错误的是:
- A. DRAM 的读操作不会破坏原有数据

- B. DRAM 需要定期进行刷新（通常每隔 2ms 刷新一次）
- C. DRAM 芯片没有片选信号（-CS）
- D. 1MB 容量的 DRAM，其地址线为 10 根

13. 下列关于并行主存系统的叙述中，正确的是：

- A. 多通道内存技术采用的是单体多字存储技术
- B. 单体多字存储器类似于存储器的字扩展
- C. 多体交叉存储器中的高位多体交叉相当于位扩展
- D. 多体交叉存储器中的低位交叉均可支持流水处理

14. 下列关于 cache 的叙述中，错误的是：

- A. cache 的引入是为了解决 CPU 访存的速度问题
- B. 直接相联映射方式也需要替换算法
- C. 写入策略采用写回法时，当 CPU 写 cache 时，不需要同时写入主存
- D. cache 中的相联存储器是按内容进行访问的存储器

15. 下列命中组合情况中，一次访存过程中不可能发生的是：

- A. TLB 命中、页缺失、cache 缺失
- B. TLB 命中、页命中、cache 缺失
- C. TLB 缺失、页命中、cache 命中
- D. TLB 缺失、页缺失、cache 缺失

### 三、问答题（5 小题，共 45 分）

1、图 1 为原码一位乘的逻辑实现框图，请根据此框图回答下述问题：（10 分）

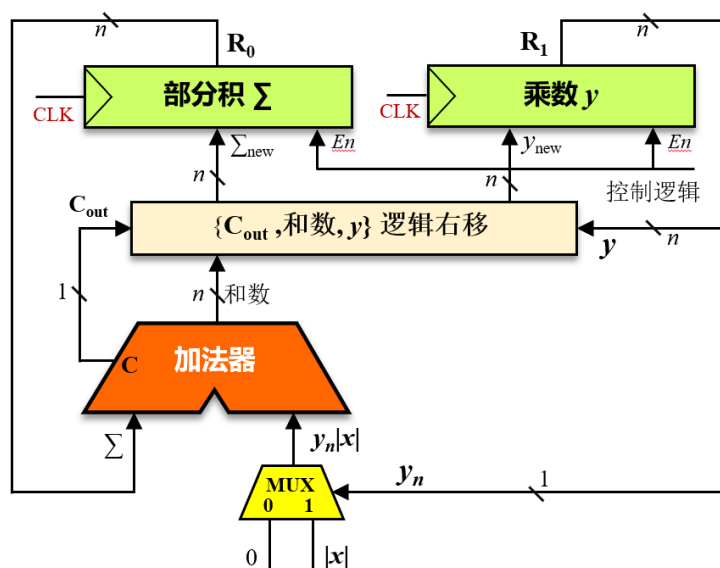


图 1 原码一位乘逻辑实现框图

（1）手工操作中位积的左移此时转换为部分积的右移，其意义是什么？（1 分）

- (2) 多路选择器 MUX 是如何支持原码一位乘的？(2 分)
- (3) 寄存器 R0 和 R1 在运算开始和结束分别存放什么？(2 分)
- (4) 请根据图 1 推导原码一位乘的递归公式。(1 分)
- (5) 图 2 为补码一位乘的部分逻辑框图，请比对图 1，回答下述问题：
- ①图 2 中，增加的  $C_{in}$  的作用是什么？其与  $y_n \overline{y_{n+1}}$  有什么关系？(2 分)
- ②为何在图 2 中，加法器的进位输出  $C_{out}$  不参与移位运算？而在图 1 中却参与移位？(2 分)

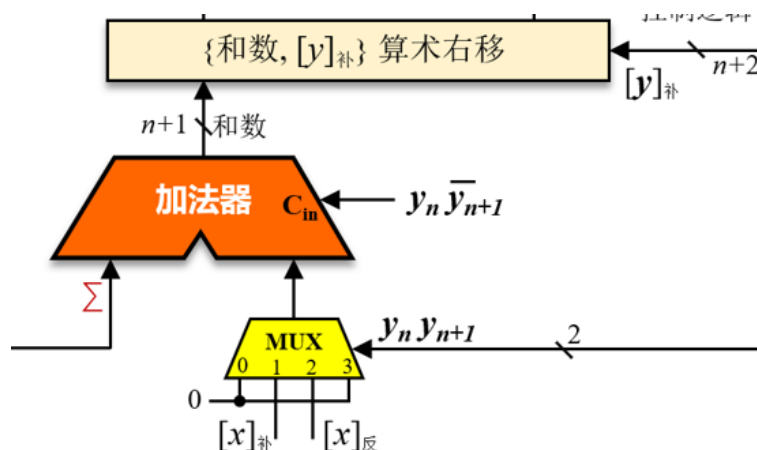


图 2 实现补码一位乘部分逻辑框图

- 2、设主存容量为 256K 字，cache 容量为 2K 字，块长为 4 个字，请回答以下问题：(7 分)
- (1) 设计 cache 地址格式，cache 中可装入多少块数据？(1 分)
- (2) 在直接映射方式下，设计主存地址格式。(2 分)
- (3) 在四路组相联映射方式下，设计主存地址格式。(2 分)
- (4) 若存储字长 32 位，存储器按字节寻址，写出全相联映射方式下主存的地址格式。(2 分)
- 3、图 3 为机器字长为 8 的 CPU 与某存储器的连接示意图，请根据图 3 回答下述问题：(11 分)
- (1) 该存储器空间如何划分？地址范围各是多少？(3 分)
- (2) 地址线 A10 的状态是逻辑 0 还是逻辑 1？其为何要参与到 RAM 区的片选？(2 分)
- (3) 若地址线 A10 的状态取反，则片选端的逻辑门电路应如何修改？(1 分)
- (4) 对于两片 1K×4 的 RAM 芯片来说，采用了位扩展技术，请问位扩展的作用是什么？(1 分)
- (5) 若将图 3 对应的存储器进行如下改动：2 片 1K×4 芯片构成 ROM 区，2K×8 芯片构成 RAM 区，并且 ROM 区的片选端为 3:8 译码器的 Y2，RAM 区的片选端为 3:8 译码器的 Y3，请说明图 3 应做哪些改动？(文字或作图形式)(4 分)

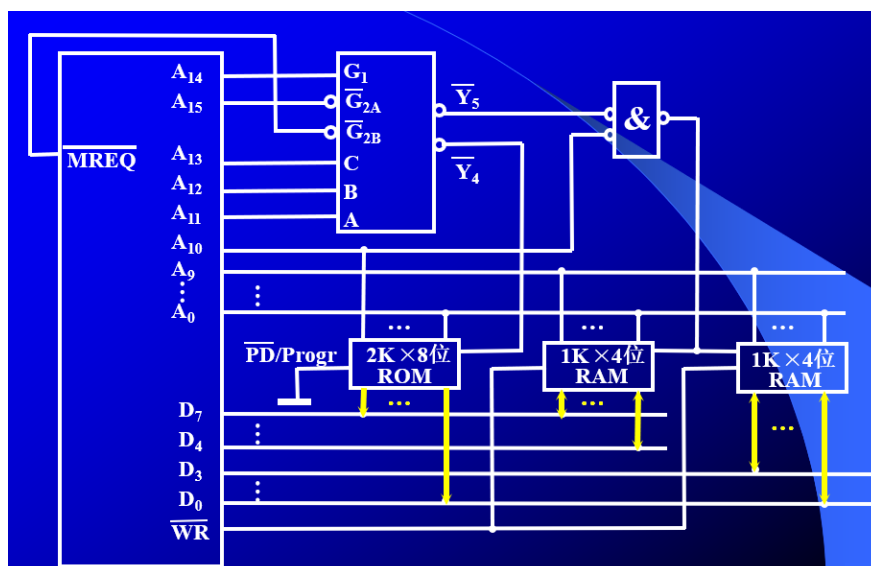


图3 CPU与某存储器的连接示意图

4、设浮点数长度为16位，其中阶码6位（含1位符号位）、尾数10位（含1位符号位），阶码用移码表示、尾数用补码表示，请采用浮点加减法运算完成以下两个十进制数的运算：6.25 - 12.25。（7分）

5、假设 Logisim 中已经有 8 位加法器的电路，其电路封装如图 4 所示；其中，X 和 Y 为 8 位输入，S 为 8 位输出，C0 为低位进位信号，C8 为最高位进位，C7 为次高位进位。现要求利用该 8 位加法器以及一些辅助的电路，实现一个 8 位可控加减法电路，该 8 位可控加减法电路可以完成 8 位有符号整数的加减法运算和 8 位无符号整数的加减法运算。该电路的输入为 X（8 位）和 Y（8 位）以及 Sub，输出为 S（8 位）以及 OF 和 UOF。Sub=0 时做加法运算，Sub=1 时做减法运算。OF 为有符号整数加减运算溢出标志，UOF 为无符号整数加减运算溢出标志。请画出该 8 位可控加减法电路（手绘或基于 logisim 作图）。提示：可以利用 Logisim 中的分线器实现 1 位扩展为 8 位的功能，如图 5 所示。（10 分）

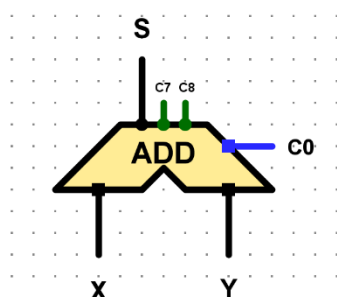


图4 8位加法器封装图

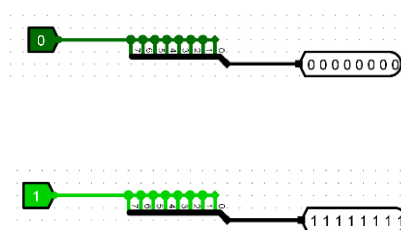


图5 利用分线器实现1位扩展为8位