



厦门大学《计算机组成原理》课程期中试卷

软件学院 软件工程系 2021 级 软件工程专业

主考教师：曾文华 张海英 考试时间：2023. 4. 22 答案

一、 填空题（50 空，每空 0.5 分，共计 25 分）

1. 计算机的发展根据其核心电子器件的变迁，经历了四个阶段：即：电子管、(1)晶体管、(2)集成电路 和以 (3)微处理器 为特征的超大规模集成电路。在此期间，(4)摩尔 定律产生了深远的影响。
2. 现在的主流计算机都是冯.诺依曼体系，其主要思想是 (5)存储程序 和 (6)程序控制。前者依赖于记忆部件 (7)存储器，后者则由 (8)控制器 负责完成。
3. 计算机系统的层次大致分为硬件和软件两个层次。其中硬件层包括 (9)指令集架构 层、(10)微代码 层 和逻辑门层。处于软硬分界的是 (11)操作系统 层。与机器结构高度相关的是 (12)汇编 语言层。
4. 机器码是一种可以连同符号位一起编码的二进制数。最简单的是 (13)原码，引入补码则是为了 (14)变减为加。可以直接比较大小的是 (15)移码，其通常以 (16) 2^n 作为偏移量。
5. 校验码是一种具有 (17)检错 和 (18)纠错 能力的数据编码。通过引入部分 (19)冗余 信息，以增大 (20)码距，从而实现校验的目的。为了提升奇偶校验的纠错能力，可以采用 (21)多重 奇偶校验的原理。(22)海明码 既可以检错也可以纠错，如果其能纠正一位错，则最小码距是 (23)3。
6. n 位串行加法器，也称 (24)行波 进位加法器，而采用 (25)先行 进位则可以支持全加器的并行运算。其依赖于进位 (26)生成 函数和进位 (27)传递 函数。
7. 按照存取方式分类，半导体存储器属于 (28)随机 存储器，磁带属于 (29)顺序 存储器，其访问的速度与存储单元的 (30)位置 有关，兼具两者特点的是 (31)直接 存储器。

8. MROM 只读存储器, 利用 (32) 开关 S 的通断表示 0, 1 信息。PROM 则是用 (33) 熔丝代替, 因而可以编程 (34) 1 次。EPROM 利用 (35) 浮置栅 MOS 管的通断存储数据, 并可利用 (36) 紫外线照射进行多次擦除。EEPROM 可以精准地擦除 (37) 某个存储单元。(38) FLASH 则是一种快速擦写, 非易失性存储器。
9. 在 SDRAM 出现之前, 所有的 DRAM 都属于 (39) 异步 DRAM。快页模式 DRAM 的特点是, 行地址锁定, 只切换 (40) 列地址。EDO-DRAM 则可以实现 (41) 数据输出和 (42) 列地址的重叠。如果在其基础之上增加列地址计数器, 则其演变为 (43) BEDO-DRAM, 可以支持 (44) 流水处理。
10. 虚拟存储器处于 (45) 主存-辅存层次, 主要解决主存容量不足的问题。其虚实地址的映射依靠 (46) 存储管理控制部件 MMU。在虚拟存储器中, 转换旁路缓冲区 TLB 实际就是一个 (47) cache, 采用 (48) 全相联或者组相联地址映射方式, 用于缓冲 (49) 页表项 PTE, TLB 也叫做 (50) 快表。

二、 选择题 (15 题, 每题 2 分, 共 30 分)

1. 下列关于冯·诺依曼计算机基本思想的叙述中, 错误的是:

- A. 程序的功能都通过 CPU 执行指令实现
- B. 指令和数据都用二进制表示, 形式上无差别
- C. 指令按地址访问, 数据都在指令中直接给出
- D. 程序执行前, 指令和数据需预先存放在存储器中

答: C 错误 数据也可以不在指令中

2. 某程序 P 在计算机 M 上的执行时间是 10 秒。经过编译优化后, 程序 P 的指令数减少了 40%, 而 CPI 增加了 20%。请问编译优化后, 程序 P 在计算机 M 上的执行时间是:

- A. 6 秒
- B. 7.2 秒
- C. 8 秒
- D. 12 秒

答: B 编译优化前程序执行时间 = $CPI \times IC \times T = 10$ 秒; 编译优化后程序执行时间 = $CPI \times$

$1.2 \times IC \times 0.6 \times T = 10 \times 0.72$ 秒 = 7.2 秒

3. 假设有如下的 C 语言语句：

```
unsigned char uc=254;
```

```
char c=uc;
```

```
unsigned short int i=c;
```

请问，执行上述语句后，i 的值是：

A. 254

B. 2

C. 65534

D. 65024

答：C

$uc=254=FEH$

$c=FEH$

$i=FFFEH=65534$

4. 用海明码对长度为 32 位的数据进行检错和纠错时，若能纠正一位错，则检验位数至少为：

A. 2

B. 4

C. 6

D. 8

答：C

海明码： $k+r \leq 2^r-1$

$k=32, r=5; 32+5 > 2^5-1$

$k=32, r=6; 32+6 \leq 2^6-1$

5. 在程序的执行过程中， cache 与主存的地址映射是由：

A. 操作系统来管理的

B. 程序员调度的

C. 硬件自动完成的

D. 编译器完成的

答：C

6. 存取周期是指：
- A. 存储器的写入时间
 - B. 存储器进行连续写操作允许的最短间隔时间
 - C. 存储器的读入时间
 - D. 存储器进行连续读或写操作允许的最短间隔时间

答： D

7. 下列关于原码不恢复余数法的叙述中，错误的是：
- A. 商的符号 = 被除数的符号 \oplus 除数的符号
 - B. 余数为正时，商 1，余数左移 1 位，减去除数
 - C. 余数为负时，商 0，余数左移 1 位，加上除数
 - D. 余数的符号与被除数的符号相同

答： D 错误 余数 $R=0.r_1r_2\cdots r_n$ ，余数的符号位为 0，即余数 ≥ 0

8. 下列关于浮点加减运算的叙述中，正确的是：
- A. 尾数溢出时结果一定溢出
 - B. 浮点数的精度取决于阶码的长度
 - C. 右规或尾数舍入不会引起阶码上溢
 - D. 浮点数的精度取决于尾数的长度

答： D 正确

A 错误（尾数溢出时，结果不一定溢出）

B 错误（浮点数的精度，取决于尾数的长度）

C 错误（右规或尾数舍入，可能会引起阶码上溢）

9. 设有某动态 RAM 芯片，容量为 64Kx1 位，除电源线、接地线和刷新线外，该芯片的最小引脚数量是：
- A. 17 根
 - B. 19 根
 - C. 11 根
 - D. 9 根

答： C

64Kx1 位，地址线=16 根（ $2^{16}=64K$ ），因为是 DRAM，采用地址复用技术（行地址、列地址复用），

实际只需要 8 根地址线（一半的地址线）；数据线=1 根；此外，DRAM 芯片还需要/RAS 和/CAS

控制信号；因此该芯片的最小引脚数量是 $8+1+2=11$ 根

10. 对于 32KB 容量的存储器，若按 16 位字编址，其地址寄存器、数据寄存器的位数分别是：

- A. 地址寄存器为 14 位、数据寄存器为 8 位
- B. 地址寄存器为 14 位、数据寄存器为 16 位
- C. 地址寄存器为 15 位、数据寄存器为 8 位
- D. 地址寄存器为 15 位、数据寄存器为 16 位

答：B

32KB/16 位=16K

地址寄存器=14 位 ($2^{14}=16K$)

数据寄存器=16 位

11. 下列关于主存的叙述中，错误的是：

- A. 存储字长可以等于机器字长
- B. 主存如果采用对齐方式会造成空间浪费
- C. 存储字长可以不是字节的整数倍
- D. 大端方式中，存储器的低字节地址单元存放的是数据的最高字节

答：C 错误 存储字长都是字节的整数倍

12. 下列关于 DRAM 存储器的叙述中，错误的是：

- A. DRAM 的读操作不会破坏原有数据
- B. DRAM 需要定期进行刷新（通常每隔 2ms 刷新一次）
- C. DRAM 芯片没有片选信号（-CS）
- D. 1MB 容量的 DRAM，其地址线为 10 根

答：A 错误 DRAM 读操作可能会引起电荷减少，破坏原有的数据，因此读出后要将原数据重新写入，即再生

13. 下列关于并行主存系统的叙述中，正确的是：

- A. 多通道内存技术采用的是单体多字存储技术
- B. 单体多字存储器类似于存储器的字扩展
- C. 多体交叉存储器中的高位多体交叉相当于位扩展
- D. 多体交叉存储器中的高位交叉和低位交叉均可支持流水处理

答：A 正确

B 错误（单体多字存储器类似于存储器的位扩展）

C 错误（多体交叉存储器中的高位多体交叉相当于字扩展）

D 错误（只有低位交叉可支持流水处理，并且要满足 $T=m\tau$ ）

14. 下列关于 cache 的叙述中，错误的是：

- A. cache 的引入是为了解决 CPU 访存的速度问题
- B. 直接相联映射方式也需要替换算法
- C. 写入策略采用写回法时，当 CPU 写 cache 时，不需要同时写入主存
- D. cache 中的相联存储器是按内容进行访问的存储器

答：B 错误 （直接相联映射方式，因为一个主存块只能放到一个特定的 cache 行，因此不需要替换算法）

15. 下列命中组合情况中，一次访存过程中不可能发生的是：

- A. TLB 命中、页缺失、cache 缺失
- B. TLB 命中、页命中、cache 缺失
- C. TLB 缺失、页命中、cache 命中
- D. TLB 缺失、页缺失、cache 缺失

答：A

A.不可能发生 页缺失，说明页不在主存中，TLB 中一定没有对应页表项，因此 TLB 不可能命中

B.可能发生

C.可能发生

D.可能发生

三、 问答题 （共 5 题，共 45 分）

1、图 1 为原码一位乘的逻辑实现框图，请根据此框图回答下述问题：（10 分）

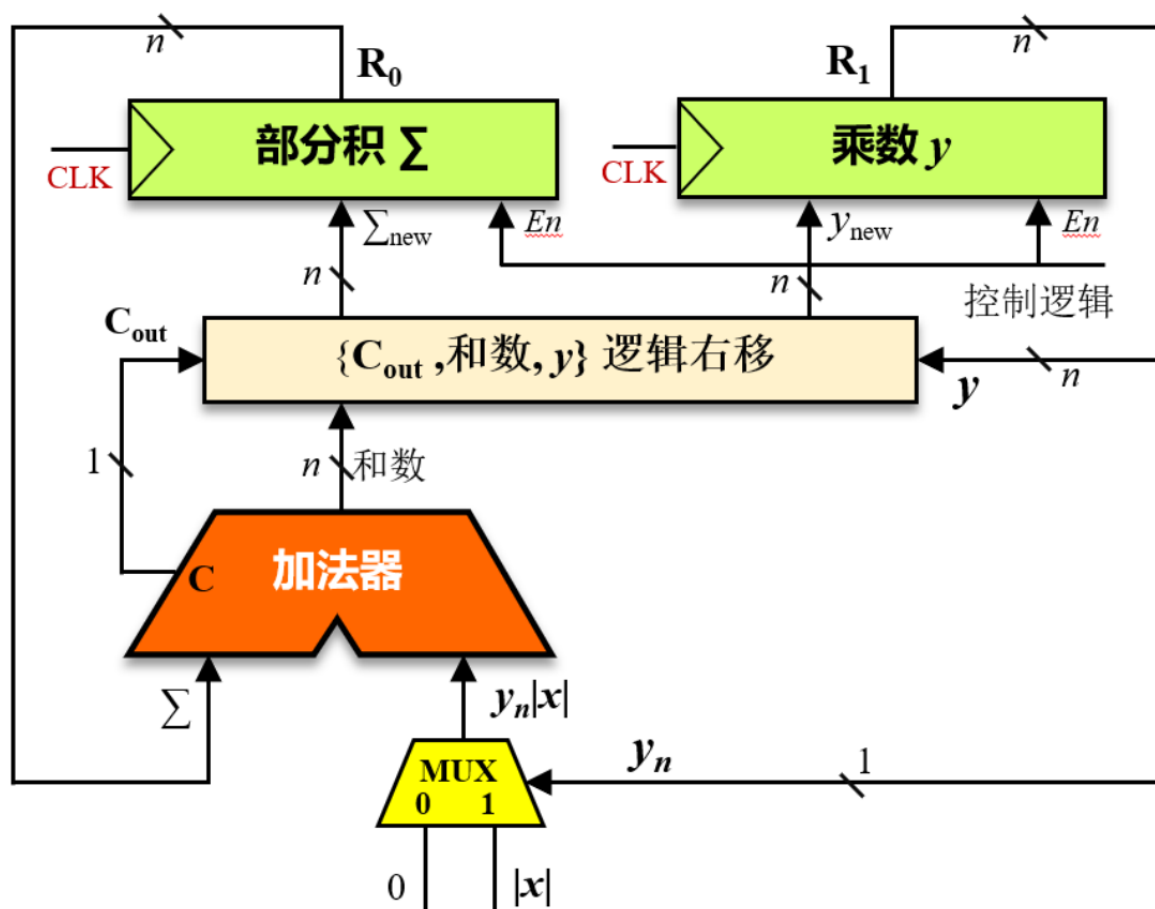


图 1 原码一位乘逻辑实现框图

(1) 手工操作中位积的左移此时转换为部分积的右移，其意义是什么？（1 分）

答：使部分积的相加运算始终在固定位置上进行，同时将 $2n$ 位长度的加法器变成 n 位长度，减少硬件开销。

(2) 多路选择器 MUX 是如何支持原码一位乘的？（2 分）

答：由 y_n 决定是否加被乘数 $|x|$ 。 $y_n = 1$ 时，MUX 输出 $|x|$ ，与部分和相加； $y_n = 0$ 时，MUX 输出 0 。与原码一位乘的规则一致。

(3) 寄存器 R0 和 R1 在运算开始和结束分别存放什么？（2 分）

答：R0 初始存放部分积 0 ，结束时存放乘积的高 n 位。R1 初始存放乘数 y ，结束时存放乘积的低 n 位。

(4) 请根据图 1 推导原码一位乘的递归公式。（1 分）

答： $P_{i+1} = (P_i + (y_{n-i})|x|)2^{-1}$ ($i=0,1,2,\dots,n-1, P_0=0$)

(5) 图 2 为补码一位乘的部分逻辑框图，请比对图 1，回答下述问题：

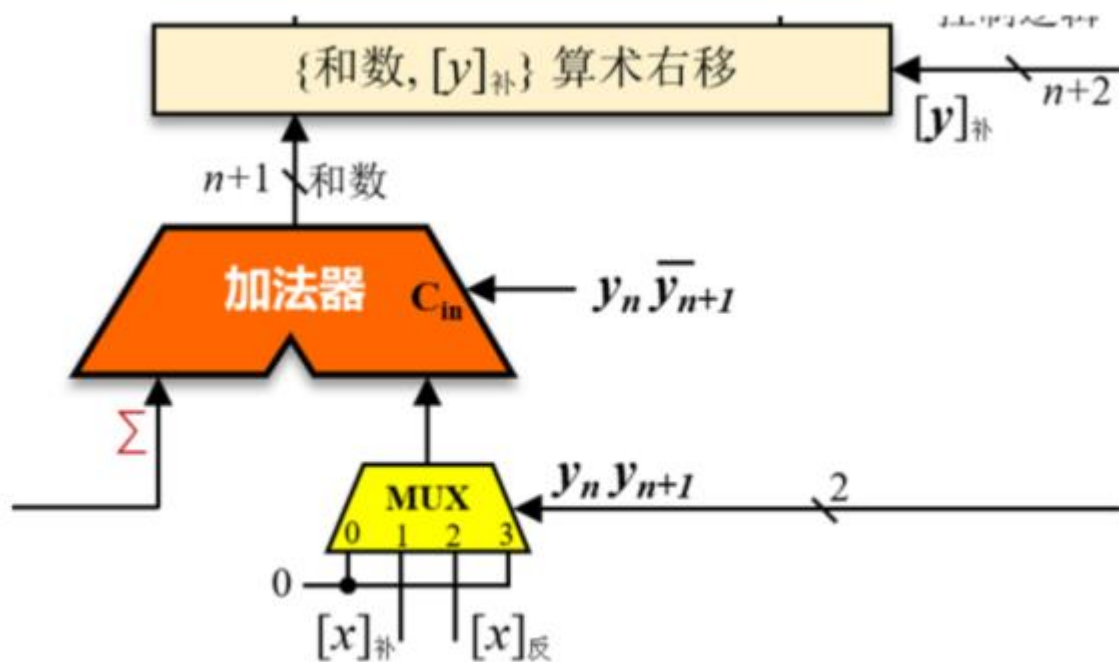


图 2 实现补码一位乘部分逻辑框图

① 图 2 中，增加的 C_{in} 的作用是什么？其与 $y_n \overline{y_{n+1}}$ 有什么关系？（2 分）

答： $C_{in}=1$ 时，可以支持 $+[-x]_{补}$ 的运算。即 $[x]_{反}+1$ ，而其又与 $y_n \overline{y_{n+1}}$ 存在下述关系：

$$C_{in} = \begin{cases} 0, & y_n y_{n+1} = 00, 01, 11 \\ 1, & y_n y_{n+1} = 10 \end{cases}$$

② 为何在图 2 中，加法器的进位输出 C_{out} 不参与移位运算？而在图 1 中却参与移位？（2 分）

答：补码一位乘中，符号位参与运算，整体算术右移，最高位补符号位，与 C_{out} 无关；原码一位乘中，符号位不参与运算，也即操作数以绝对值身份进行运算，因而进位 C_{out} 也代表数值位，所以要参与移位。

2、设主存容量为 256K 字，cache 容量为 2K 字，块长为 4 个字，请回答以下问题：（7 分）

（1）设计 cache 地址格式，cache 中可装入多少块数据？（1 分）

答：cache 容量=2K 字，cache 地址=11 位；块长=2，块内偏移地址=2 位；

cache 地址格式 = 9 位（cache 块地址） + 2 位（块内偏移）

cache 中可装入 $2K/4=512$ 块数据

(2) 在直接映射方式下，设计主存地址格式。(2 分)

答：主存容量=256K 字，主存地址=18 位

主存地址格式= 7 位（区地址） + 9 位（行索引） + 2 位（块内偏移）

(3) 在四路组相联映射方式下，设计主存地址格式。(2 分)

答：四路组相联，512 个 cache 块分为 128 组，组索引=7 位

主存地址格式= 9 位（标记） + 7 位（组索引） + 2 位（块内偏移）

(4) 若存储字长 32 位，存储器按字节寻址，写出全相联映射方式下主存的地址格式。(2 分)

答：主存容量=256Kx32 位=1MB，主存地址=20 位

每个块=4 个字=4x32 位=16B，块内偏移=4 位

主存地址=16 位（主存块地址）+4 位（块内偏移）

3、图 3 为机器字长为 8 的 CPU 与某存储器的连接示意图，请根据图 3 回答下述问题：(11 分)

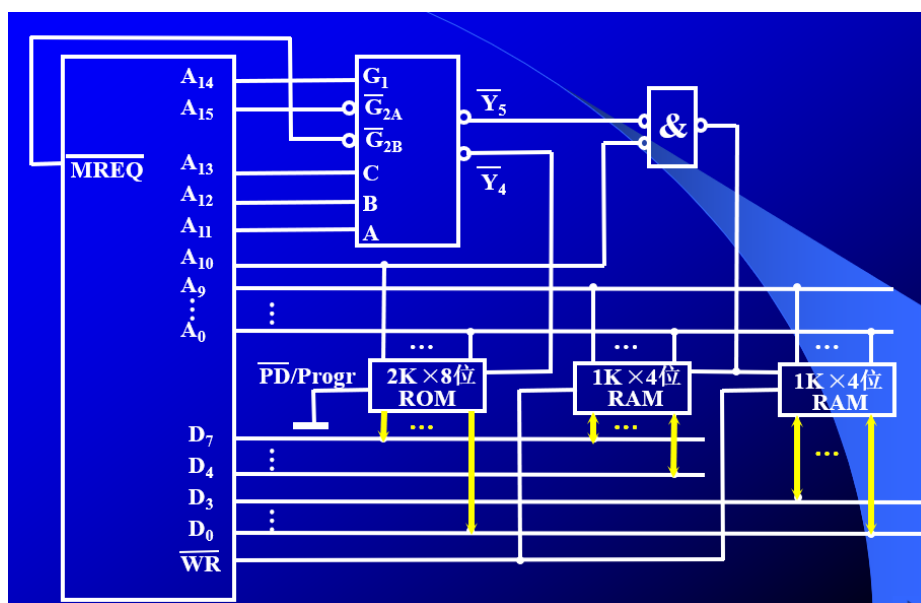


图 3. CPU 与某存储器的连接示意图

(1) 该存储器空间如何划分？地址范围各是多少？(3 分)

答：

存储空间划分为 ROM 区 2K 和 RAM 区 2K。(1 分)

ROM 区的地址范围 (6000H~67FFH) (1 分)

RAM 区的地址范围 (6800H~6BFFH) (1 分)

(2) 地址线 A₁₀ 的状态是逻辑 0 还是逻辑 1？其为何要参与到 RAM 区的片选？(2 分)

答：根据地址分配情况，A₁₀ 固定为逻辑 0 状态，其与 Y₅ 一起参与 RAM 区的片选，是因为

A10 不能悬空，否则会产生地址重叠现象，导致内存物理地址的不唯一。

(3) 若地址线 A10 的状态取反，则片选端的逻辑门电路应如何修改？(1 分)

答：A10 先经过一个非门取反后，再与 Y10 接入。

(4) 对于两片 1K×4 的 RAM 芯片来说，采用了位扩展技术，请问位扩展的作用是什么？(1 分)

答：增大存储字长，提高存储器带宽。

(5) 若将图 3 对应的存储器进行如下改动：2 片 1K×4 芯片构成 ROM 区，2K×8 芯片构成 RAM 区，并且 ROM 区的片选端为 3:8 译码器的 Y2，RAM 区的片选端为 3:8 译码器的 Y3，请作图说明图 3 应做哪些改动？(4 分)

答：

后两片 1K×4 芯片 不接 WR，直接接地；

前一片 2K×8 芯片 接 WR

A10 与 Y2 组合片选，逻辑不变，接到 2 片 1K×4 芯片的 CS 端

Y3 接到第一片的 CS 片选端

4、设浮点数长度为 16 位，其中阶码 6 位（含 1 位符号位）、尾数 10 位（含 1 位符号位），阶码用移码表示、尾数用补码表示，请采用浮点加减法运算完成以下两个十进制数的运算：6.25 - 12.25。(7 分)

答：

$x = 6.25 = 110.01B = 0.11001 \times 2^{11}$

表示为浮点数：x=1,00011 0.110010000 (1 分)

$y = -12.25 = -1100.01 = -0.110001 \times 2^{100}$

表示为浮点数：y=1,00100 1.001111000 (1 分)

对阶：小阶向大阶对齐，x=1,00100 0.011001000 (1 分)

尾数求和：0.011001000 + 1.001111000 = 1.101000000 (1 分)

尾数规格化：1.101000000 为非规格化数，其绝对值 < 0.5，因此需要进行左规；左移 1 次，尾数=1.010000000；阶码减 1，阶码=1,00011；此时尾数已经是规格化数 (2 分)

结果：x+y = 6.25+(-12.25) = 1,00011 1.010000000 (1 分)

验证（这一步不需要同学们做！）：1,00011 对应的阶码=11=3；1.010000000 对应的尾数=-0.110000000=-0.75

$x+y = 2^3 \times (-0.75) = -6 = 6.25 + (-12.25)$

答：只画出可控加减法电路（没有 OF 和 UOF）给 6 分

画出 UOF 电路给 2 分

