



厦门大学《计算机组成原理》课程期末试卷

信息学院 软件工程系 2018 级 软件工程专业

主考教师：曾文华、张海英

试卷类型：(A 卷)

一、简答题（5 小题，共 40 分）

1. （7 分）现代计算机的组成框图如图 1 所示。结合图 1，请回答下述问题：

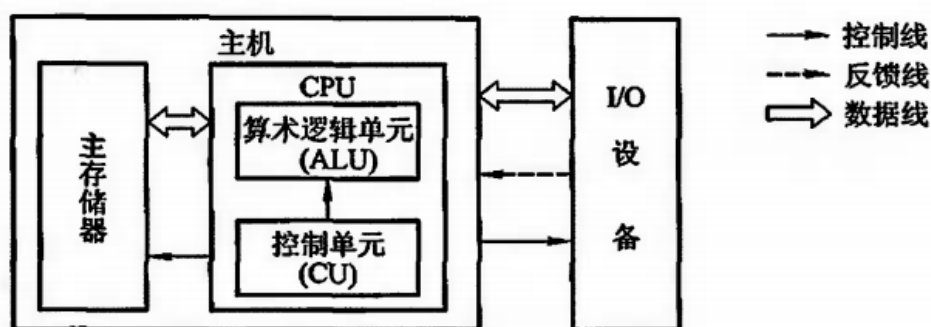


图 1 现代计算机的组成框图

- (1) 请结合所学，举出一个例子，说明图中 I/O 设备与主机之间反馈线的具体含义。
(2 分)
- (2) 请各举一例解释控制单元 CU 向主存、ALU 和 I/O 设备发出什么样的控制信号。
(3 分)
- (3) 如果要想主存和 I/O 设备之间直接通信，在数据通道上需要如何设计？可以采用什么方式？
(2 分)
2. （13 分）图 2 表示某输入设备与 CPU 采用同步式数据输入的传输过程。

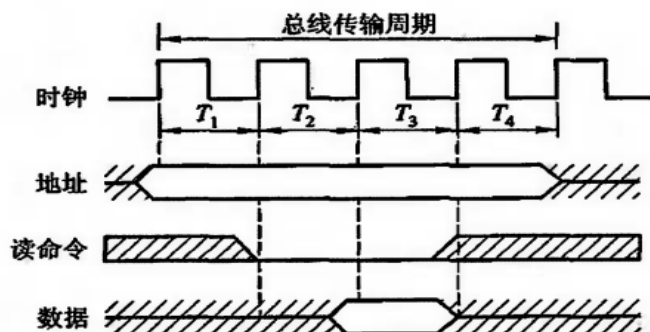


图 2 同步式数据输入传输

结合该图，请回答下述问题：

- (1) 在一个总线传输周期中的 4 个时钟周期 $T_1 \sim T_4$ 内，各自完成什么样的具体操作？
(4 分)
- (2) 地址信号为何要保持一个总线周期？
(1 分)
- (3) 读命令为何要在地址信号出现以后才能出现在总线上？
(1 分)
- (4) 如果该传输过程发生在 CPU 与输出设备之间，需要改变什么信号？数据总线上数据出现的时间会发生如何变化？为什么？
(3 分)
- (5) 如果在一个总线周期内无法完成传输过程，可采用什么工作方式？
(2 分)
- (6) 如果该传输过程是发生在 CPU 与存储器之间，图中需要增加什么控制信号？为什么？
(2 分)

3. (5 分) Cache 与主存的地址映射方式中，全相联映射方式下主存的地址格式如下所示：

主存字块标记	字块内地址
--------	-------

- (1) 该地址格式中为什么没有 Cache 字块地址字段？
(1 分)
- (2) 主存字块标记如何与 Cache 的标记位进行比较？怎样能够提高比较速度？
(2 分)
- (3) 如果采用组相联地址映射方式，画出对应的主存地址格式。并从原理上阐述该地址格式与直接映射方式地址格式的差异性。
(2 分)

4. (11 分) 假设某存储系统的主存采用多体并行结构（3 个体 M0、M1、M2，每个个体 4 个单元）。请回答下述问题：

- (1) 如果让多体之间能并行工作，请给出下表中主存每个体的地址编码。
(3 分)

M0:				
M1:				
M2:				

- (2) 如果让多体之间能够交叉工作，请给出下表中主存每个体的地址编码。
(3 分)

M0:				
M1:				
M2:				

- (3) 根据上述的地址编码格式，请问采用哪种地址编码格式可以提高存储器的存储带宽？ (1 分)
- (4) 假设每个体的存储字长是 16 位，存取周期 100ns，数据总线宽度 16 位，总线传输周期 30ns，求两种地址编码方式下的存储器带宽。 (4 分)
5. (4 分) 假设指令流水线有 4 段：取指(IF)、译码并取数(ID)、执行(EX)、写结果(WR)，完成各段的操作时间依次是：80ns、90ns、70ns、50ns。请问：
- (1) 该流水线的时钟周期应取何值？ (1 分)
- (2) 该流水线的加速比是多少？ (1 分)
- (3) 若相邻的两条指令发生数据相关，则第二条指令需要推迟多少时间才能不发生错误？ (1 分)
- (4) 若相邻的两条指令发生数据相关，如果不推迟第二条指令的执行，可采取什么措施？ (1 分)

二、综合题 (5 小题，共 60 分)

1. (8 分) 采用浮点减法运算方法实现十进制数“13.3125 - 26.125=?”的运算。要求浮点数的格式为：阶码 5 位 (含 1 位符号位)，采用移码表示；尾数 11 位 (含 1 位符号位)，采用补码表示。
2. (14 分) 某模型机的机器字长为 16 位，有 8 个通用寄存器、1 个基址寄存器和 1 个变址寄存器 (均为 16 位寄存器)。假设指令字长、存储字长与机器字长相同。要求：
- (1) 设计一个 R-S 型指令，指令数量为 16 条，主存采用直接寻址、存储器间接寻址、基址寻址、变址寻址等 4 种方式。请画出指令格式，并说明各字段的含义。 (3 分)
- (2) 上述 R-S 型指令采用直接寻址、存储器间接寻址、基址寻址、变址寻址方式时，主存的寻址范围是多少？ (4 分)
- (3) 请重新设计该模型机的 R-S 型指令，指令数量为 16 条，主存采用直接寻址、存储器间接寻址、基址寻址、变址寻址等 4 种方式。当采用基址寻址或变址寻址时，要求将 8 个通用寄存器中的 1 个作为基址寄存器或变址寄存器 (即不采用已有的基址寄存器或变址寄存器)。请画出指令格式，并说明各字段的含义。 (4 分)
- (4) 如果希望将步骤 (3) 设计的 R-S 型指令的主存寻址空间扩大到 1M 范围 (机器字

长和存储字长仍然是 16 位，寄存器仍然是 16 位，指令字长可以改变)，则可采取什么方法？（请说出多种方法）（3 分）

3. （13 分）假设某计算机有 4 个中断源 A、B、C、D，其硬件排队优先次序为 $A > B > C > D$ ，现要求将中断处理次序改为 $C > D > B > A$ 。

- (1) 写出每个中断源对应的新屏蔽字。（4 分）
- (2) 画出采用屏蔽技术后，中断服务程序的流程图。（4 分）
- (3) 图 3 的时间轴给出了 4 个中断源的请求时刻，画出 CPU 执行程序的轨迹。假设每个中断源的中断服务程序时间均为 $20\mu s$ 。（5 分）

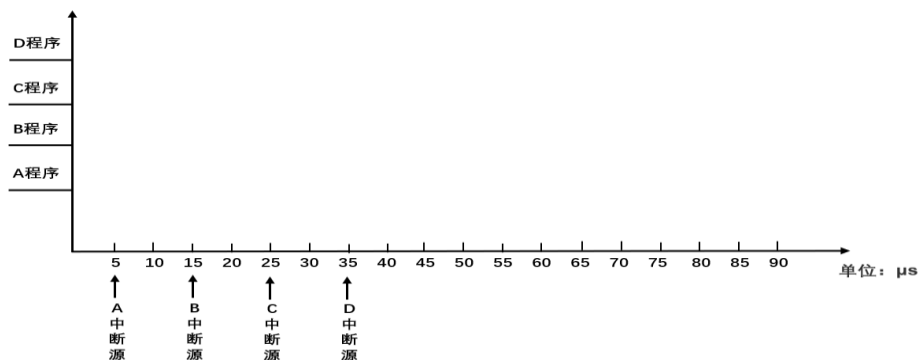


图 3 4 个中断源的请求时刻

4. （12 分）某模型计算机采用双总线结构，如图 4 所示。“ADD @R1, @R2”指令完成 $((R1)) + ((R2)) \rightarrow ((R1))$ ，即将两个存储单元的内容相加，结果送其中一个存储单元，采用寄存器间接寻址方式。请画出该指令的指令周期的信息流程图，并列出相应的微操作控制信号序列。

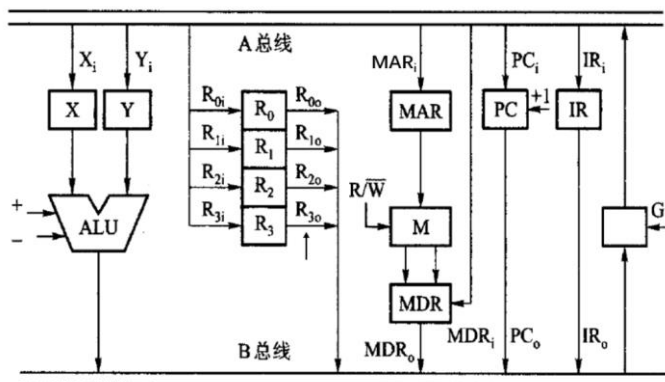


图 4 双总线结构的模型机

5. (13 分) 设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{MREQ} 作为访存控制信号 (低电平有效), 用 \overline{WR} 作为读写控制信号 (高电平为读, 低电平为写)。现有下列存储器芯片: ROM: $2K \times 8$ 位; $8K \times 8$ 位; $32K \times 8$ 位。RAM: $1K \times 4$ 位; $2K \times 8$ 位; $8K \times 8$ 位; $16K \times 1$ 位; $4K \times 4$ 位。74138 译码器和各种门电路, 如图 5 所示。要求存储芯片地址空间分配为: $0 \sim 8191$ 为系统程序区; $8192 \sim 32767$ 为用户程序区; 最大 $4K$ 地址空间为系统程序工作区。

- (1) 指出选用存储器芯片的数量和种类, 并给出分析过程。 (3 分)
- (2) 画出 CPU 与存储器芯片的连接图, 并详细画出片选逻辑。 (10 分)

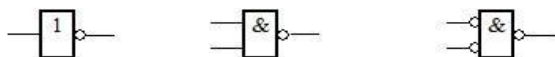
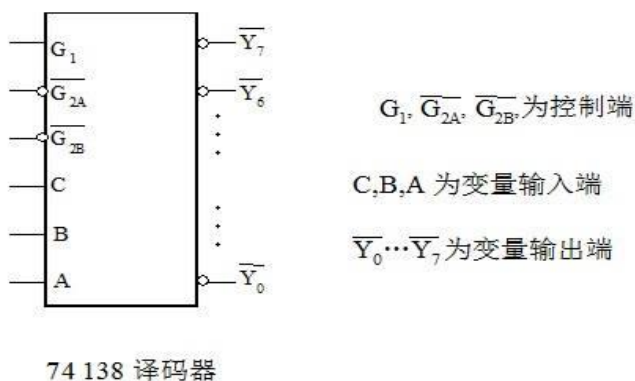


图 5 74138 译码器和各种门电路