**计算机组成原理 第九次作业**

**22920212204392 黄勖**

**9.2单选题(考研真题)。**

**(1)[2012］下列选项中,在 I/O 总线的数据线上传输的信息包括D**

**Ⅰ. I/O接口中的命令字 Ⅱ. I/O 接口中的状态字 Ⅲ. 中断类型号**

**A.仅Ⅰ、Ⅱ B.仅Ⅰ、 Ⅲ C.仅Ⅱ、Ⅲ D.Ⅰ、Ⅱ、Ⅲ**

数据线上可以传输设备控制命令和状态信息以及数据

**(2)[2014］下列有关 I/O 接口的叙述中,错误是D**

**A. 状态端口和控制端口可以合用同一寄存器**

**B. I/O 接口中 CPU 可访问的寄存器,称为I/O端口**

**C．采用独立编址方式时, I/O 端口地址和主存地址可能相同**

**D．采用统一编址方式时, CPU 不能用访存指令访问I/O端口**

采用统一编址方式外部设备地址和内存地址统一编址,属于同一地址空间,可以通过访存指令访问到I/O端口

**(3)[2017] I/O 指令实现的数据传送通常发生在D**

**A. I/O 设备和 I/O 端口之间 B．通用寄存器和 I/O 设备之间**

**C. I/O 端口和 I/O 端口之间 D．通用寄存器和 I/O 端口之间**

CPU在执行I/O指令时，使用数据总线在CPU寄存器和I/O端口间交换数据

**(4)[2009］下列选项中,能引起外部中断的事件是A**

**A．键盘输入 B．除数为零 C．浮点运算下溢 D．访存故障**

外部中断是指由外部设备向CPU发出的中断请求。

**(5)[2010］单级中断系统中,中断服务程序内部的执行顺序是A**

**Ⅰ.保护现场 Ⅱ.开中断 Ⅲ.关中断 Ⅳ．保存断点 Ⅴ.中断事件处理 Ⅵ．恢复现场 Ⅶ．中断返回**

**A.Ⅰ→Ⅴ→Ⅵ→Ⅱ→Ⅶ B. Ⅲ→Ⅰ→Ⅴ→Ⅶ**

**C. Ⅲ→ Ⅳ→Ⅴ→Ⅵ→Ⅶ D. Ⅳ→Ⅰ→Ⅴ→Ⅵ→Ⅶ**

注意是单级中断系统的中断服务程序

**(6)[2012］响应外部中断的过程中,中断隐指令完成的操作,除保护断点外,还包括B**

**Ⅰ.关中断 Ⅱ. 保存通用寄有器的内容 Ⅲ. 形成中断服务程序入口地址并送入 PC**

**A.仅Ⅰ、Ⅱ B.仅Ⅰ 、 Ⅲ C.仅 Ⅱ、 Ⅲ D.Ⅰ 、 Ⅱ 、 Ⅲ**

**(7)[2017］下列关于多重中断系统的叙述中,错误的是B**

**A. 在一条指令执行结束时响应中断 B．中断处理期间 CPU 处于关中断状态**

**C．中断请求的产生与当前指令的执行无关 D. CPU 通过采样中断请求信号检测中断请求**

**(8)[2015］在采用中断I/O方式控制打印输出的情况下, CPU 和打印控制接口中的I/O端口之间交换的信息不可能是B**

**A．打印字符 B．主存地址 C．设备状态 D．控制命令**

I/O模式下，CPU和打印机直接交换数据和控制信息，不涉及主存地址。

**(9)[2018］下列关于外部I/O中断的叙述中,正确的是C**

**A．中断控制器按所接收中断请求的先后次序进行中断优先级排队**

**B. CPU 响应中断时,通过执行中断隐指令完成对通用寄存器的保护**

**C. CPU 只有在处于中断允许状态时,才能响应外部设备的中断请求**

**D．有中断请求时, CPU 立即暂停执行当前指令,转去执中断服务程序**

分析:

A:不是按照先后次序进行优先级排队,是有固定的响应优先级的

B:对通用寄存器的保护是在保护现场阶段完成的

D:只有在CPU开中断使才会响应中断请求。

**(10)[2013］下列关于中断I/O方式和 DMA方式比较的叙述中,错误的是D**

**A．中断I/O方式请求的是 CPU 处理时间, DMA方式请求的是总线使用权**

**B．中断响应发生在一条指令执行结束后, DMA响应发生在一个总线事务完成后**

**C．中断I/O方式下数据传送通过软件完成, DMA方式下数据传送由硬件完成**

**D．中断I/O方式适用于所有外部设备, DMA方式仅适用于高速外部设备**

中断控制方式只有在设备数据准备时间长于它的额外开销时才有优势。NVMeSSD等高速设备适用的是程序查询方式。

**(11)[2010］假定一台计算机的显示存储器用 DRAM 芯片实现,若要求显示分辨率为1600像素×1200像素,颜色深度为24位,帧频为85Hz,显存总带宽的50％用来刷新屏幕,则需要的显存总带宽至少约为D**

**A.245Mbit/ s B.979Mbit/ s C.1958Mbit/ s D.7834Mbit/ s**

1600\*1200\*24bit\*85Hz/0.5=7834Mbps

**(12)[2015］若磁盘转速为7200转/分钟,平均寻道时间为8ms,每个磁道包含1000个扇区,则访问一个扇区的平均存取时间大约是B**

**A.8.1ms B.12.2ms C.16.3ms D.20.5ms**

存取时间 = 寻道时间 + 延迟时间 + 传输时间。存取一个扇区的平均延迟时间为旋转半周的时间，即为 (60/7200)/2=4.17ms ，传输时间为 (60/7200)/1000=0.01ms ，因此访问一个扇区的平均存取时间为 4.17+0.01+8=12.18ms ，保留一位小数则为 12.2ms 。

**9.3简要回答下列问题。**

**(1) CPU 与外部设备之间如何连接？**

答: 通常CPU与外部设备之间通过总线连接，外部设备通过接口连接在总线上，接口实现CPU与外部设备的连接和信息的交换。

**(2) CPU 与外部设备信息交换的控制方式有哪些？它们各有什么特点？**

答:(1)**程序查询控制方式**:接口设计简单,但是CPU与外部设备只能串行工作,CPU会浪费大量时间进行查询和等待,系统效率较低。

(2)**程序中断控制方式**:CPU启动外部设备后不再查询外部设备状态,而是将当前进程放入等待队列并转去执行其他进程,当外部设备准备好后主动向CPU发送中断请求。这种方式辅助开销远大于实际数据传输的CPU开销,传输效率低下。

(3)**直接存储器访问方式(DMA)**:该方式由硬件临时代替 CPU 控制总线,控制设备和内存之间进行直接的数据交换,信息传送不再经过 CPU 寄存器中转。它不但具有程序中断控制方式的优点,即在设备准备阶段, CPU 与外部设备能并行工作；还有效消除了数据实际传输过程中 CPU 的寄存器中转开销,大大提高了传输这率和 CPU 利用率。

(4)**通道方式**:通道拥有独立的通道指令系统,可以通过执行诵道程序来完成CPU 指定的 I/O 任务。当通道执行完相应通道程序后,会发出中断请求表示 I/O 管理结束, CPU 响应中断请求,执行相应的中断处理程序进行处理。

(5)**外围处理机方式**:外围处理机方式是通道方式的进一步发展,通常用于大中型计算机系统中。由于 PPU 基本上独立于 CPU 工作,其结构更接近一般处理机,甚至就是一般的通用微小型计算机。它可以实现 I/O处理器功能,还可以完成码制变换、格式处理及数据块检错、纠错等操作。

**(3)什么是程序査询I/O方式？简要说明其工作原理。**

答:程序控制方式是指输入输出完全依靠 CPU 执行程序实现,当 CPU 要与设备进行数据交换时,首先设置接口命令寄存器启动设备；设备准备的过程中, CPU 通过读取接口中的状态寄存器査询设备是否已就绪,根据查询结果决定下一步操作究竟是进行数据传送还是等待。这种控制方式的接口设计简单,但是 CPU 与外部设备只能串行工作, CPU 会浪费大量的时间进行查询和等待,系统效率较低。程序控制方式多见于早期单任务操作系统中,现代计算机在操作系统启动引导至多任务操作系统之前也采用这种方法与设备交互。

(4)比较单级中断和多重中断处理流程的异同点。

答: 二者都可以有多个中断源，但单级中断的中断服务程序不可被其他中断源再次中断，所以中断服务程序全程为关中断状态；多重中断的中断服务程序保护现场的内容包括中断屏蔽字，并且保护现场后立即开中断，方便中断嵌套。



**(5)中断隐指令完成什么功能？**

答:关中断,保存程序断点,将中断服务程序入口地址送入程序计数器PC

**(6)为什么在保护现场和恢复现场的过程中, CPU 必须关中断？**

答: 保护现场、恢复现场的过程必须是原子操作，否则中断返回时被中断程序的运行现场不正常，程序无法正确运行。关中断就是为了保障保护现场、恢复现场的原子性。

**(7) CPU 响应中断的条件有哪些？**

答:

(1)对应的中断请求未被屏蔽。

(2)当前没有更高优先级的其他中断请求。

(3)如果 CPU 正在执行中断服务,则中断请求应符合嵌套条件。

(4)中断使能位处于使能状态,也就是开中断状态,内部异常和不可屏蔽中断不受此限制。

(5) CPU 已执行完一条指令的最后一个状态周期(中断时机)。内部异常指令无法执行完毕,所以其中断时机不受此项制约。

**(8)什么是中断优先级？它具有哪两层含义？划分优先级的原则是什么？**

答:

中断优先级就是指 CPU 响应并处理中断请求的先后次序。计算机系统中通常包括多个中源,当同时有多个中断产生时,就存在中断优先级的问题,优先级高的先响应,优先级低的后响应。 多重中断中优先级高的中断请求可以中断 CPU 正在执行的低优先级中断服务程序。中断优先级包括两层含义:响应优先级和处理优先级。

(1)不可屏蔽中断＞内部异常＞可屏蔽中断。

(2)内部异常中硬件终止属于最高级,其次是指令异常或自陷等程序故障。

(3) DMA中断请求优先于 I/O 设备传送的中断请求。

(4)在I/O传送类中断请求中,高速设备优先于低速设备,输入设备优先于输出设备,实时控制设备优先于普通设备。

**(9)计算机中断系统中使用屏蔽技术有什么好处？**

答:中断屏蔽技术可以动态调整处理优先级，从而使低优先级的中断也可以中断高优先级的中断服务程序，使中断处理更加灵活。如果不使用中断屏蔽技术，处理优先级和响应优先级相同。

**(10) 计算机中断响应后,如何调出中断服务程序？**

答: 通过硬件或软件方法查找中断源，清除当前中断请求,将对应的中断服务程序人口地址送人程序计数器PC,完成中断识别后即可正式执行中断服务程序。

**(11) DMA方式传送数据前, CPU 应该先进行哪些操作？**

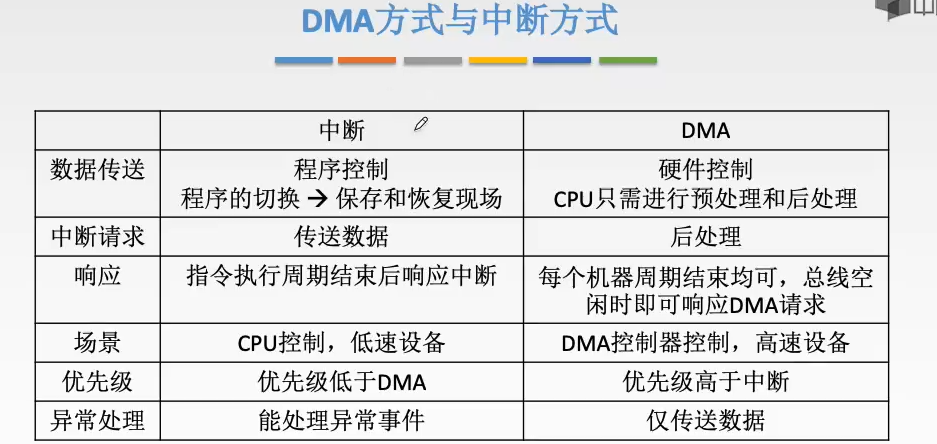
答:(1)初始化 DMA: CPU 将内存地址、数据块长度、数据传输方向等 DMA传输参数通过系统总线经 DMAC的I/O接口传输给 DMAC,此时 DMA控制器是总线的从设备,接收 CPU 传输过来的 DMA参数。

(2)启动设备: CPU 通过系统总线向设备 I/O接口发送 DMA读、写命令以及相关参数,这里的参数也包括设备地址、传输块大小、传输方向等,也就是传统的启动设备的过程。

(3)其他进程运行:完成以上工作后, CPU 将当前进程主动挂起,通过进程调度转去执行其他进程,以充分利用 CPU 资源。

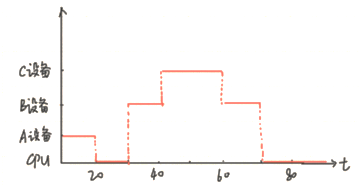
**(12)比较中断I/O和 DMA的异同点。**

答:



**9.4 A、 B、 C是与 CPU 连接的3个设备,在硬件排队线路中,它们的优先级是 A> B>** **C>CPU ,为改变中断处理的次序,它们的中断屏蔽字如表9.5所示(设“ 0”表示允许中断,“1”表示中断屏蔽)。请按图9.36所示的时间轴给出的设备中新请求时刻,画出 CPU执行程序的轨迹( A、 B、 C中断服务程序的时长为20us)。**

|  |  |  |  |
| --- | --- | --- | --- |
| **设备名** | **中断屏蔽字** | | |
| A | B | C |
| A | 1 | 1 | 1 |
| B | 0 | 1 | 0 |
| C | 0 | 1 | 1 |

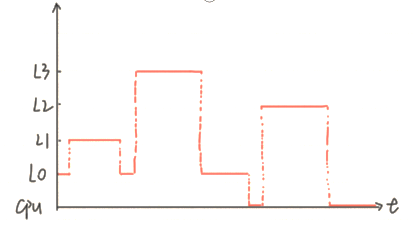


**9.5设某计算机有4级中断:L0、L1、L2、L3。其中断响应优先次序为L0> L1 >L2>L3,现在要求将中断处理次序改为 L 1→L3→L0→L2。请回答下列问题。**

**(1)表9.6所示的中断屏蔽字该如何设置(" 0 ”表示允许中断,1”表示中断屏蔽)？请将答案填入表9.6中。**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **设备名** | **中断屏蔽字** | | | |
| L0 | L1 | L2 | L3 |
| L0 | 1 | 0 | 1 | 0 |
| L1 | 1 | 1 | 1 | 1 |
| L2 | 0 | 0 | 1 | 0 |
| L3 | 1 | 0 | 1 | 1 |

(2)若这4级中断同时都发出中断请求,按更改后的次序画出进入各级中断处理程序的过程示图。



**9.6某计算机的 CPU 主频为500MHz,与之连接的外部设备的最大数据传输速率为20KB/ s ,外部设备接口中有一个16位的数据缓冲器,相应的中断服务程序执行时间为500个时钟周期,通过计算分析该设备是否可采用中断 I/O 方式。若该设备的最大数据传输速率为2MB/s ,该设备是否可采用中断I/O方式?**

答:

外部设备的最大数据传输速率为20KB/s，缓冲区为2B,每次中断传输2B，因此每秒产生的中断数为20KB/2B=10000次。每次的执行时间为500个时钟周期，则中断占CPU时间的比率为500x10000/(500\*10^6)=1%，对CPU的影响不大，可以采用中断方式。若最大数据传输速率为2MB/s,则每秒产生的中断数为2MB/2B=10次，CPU占用率为500x100000(500x10^6)=100%，不宜采用中断方式。

**9.8假定计算机的主频为500MHz, CPI 为4。现有设备A和 B,它们的数据传输速率分别为2MB/ s 和40MB/ s ,对应I/O接口中各有一个32位数据缓冲寄存器。请回答下列问题并给出计算过程。**

**(1)若设备 A采用定时查询I/O方式,每次输入输出都至少执行10条指令。设备 A最多间隔多长时间査询一次才能不丢失数据？ CPU 用于设备 A输入输出的时间占 CPU 总时间的百分比至少是多少？**

**(2)在中断I/O方式下,若每次中断响应和中断处理的总时钟周期数至少为400,则设备 B能否采用中断I/O方式？为什么？**

**(3)若设备 B采用 DMA方式,每次 DMA传送的数据块大小为1000B, CPU 用于 DMA预处理和后处理的总时钟周期数为500,则 CPU 用于设备 B输入输出的时间占 CPU 总时间的百分比最多是多少？**

答:

(1)A设备每隔4B/2MB=2μs就会产生新数据，为保证数据不丢失，每隔2μs必须查询一次，所以每秒的查询次数至少是1s/2μs=5\*10^5；每秒CPU用于A设备输入输出的时间至少为5x10^5x10x4=2x10^7个时钟周期，占整个CPU时间的百分比至少是2x10^7/500MHz=4%

(2)中断响应和中断处理的时间为400x(1/500MHz)=0.8μs，而B设备每隔4B/40MB=0.1μs<0.8μs，B设备不适合采用中断I/O方式。

(3)在DMA方式中，只有预处理和后处理需要CPU处理，B设备每秒DMA传输次数为40MB/ 1000B=40000， CPU用于B设备输人输出的时间为40000\*500=2\*10^7个时钟周期，占CPU总时间的百分比最多为2\*10^7/500MHz=4%