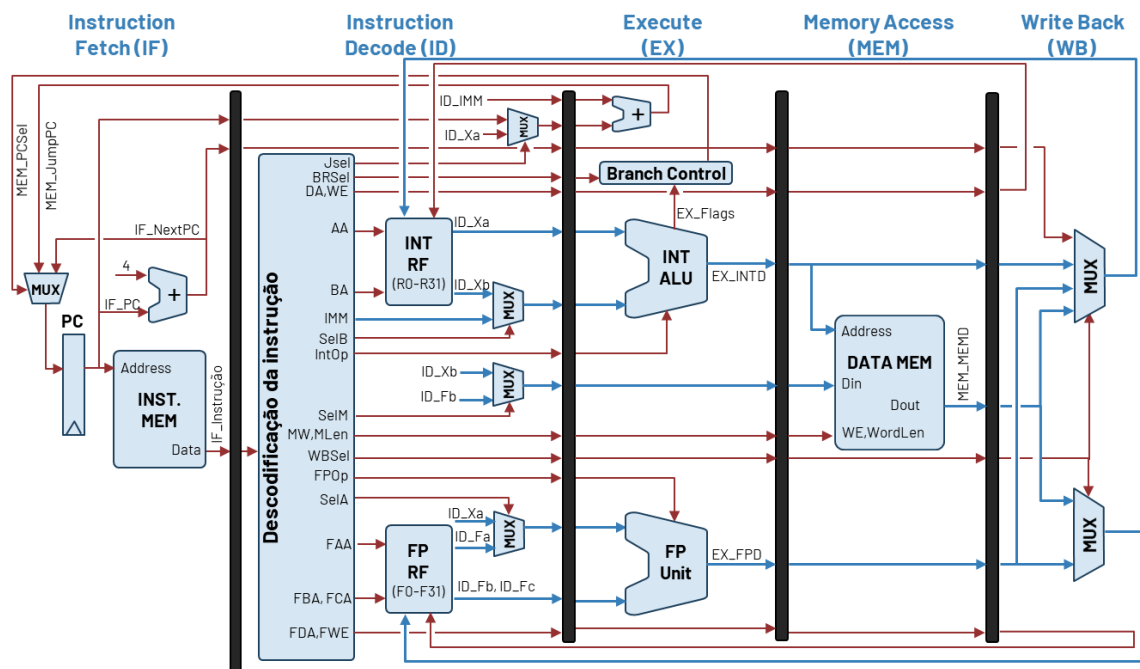


ARQUITETURA DE COMPUTADORES

Prática 7

Exercício 1

Considere o diagrama do processador apresentado em baixo.



Admita que pretende suportar a seguinte instrução na arquitetura do processador apresentada em cima:

sw2 xi, (xj) xk

cuja descrição em RTL (*Register Transfer Language*) é dada por (operações independentes):

$$\begin{aligned} M[xj] &\leftarrow xi \\ xj &\leftarrow xj + xk \end{aligned}$$

- Indique uma codificação possível para a instrução, i.e., qual o tipo de codificação de instrução mais apropriado e qual o valor de cada um dos campos.
- Esboce as alterações à arquitetura necessárias para a implementação da instrução indicada.

Exercício 2

Considere a arquitetura original do exercício 1. Indique como poderá realizar a geração dos sinais AA, BA, DA, FAA, FBA, FCA, FDA, WordLen, SelM e MW no decodificador de instruções.

Exercício 3

Considere um processador de 64 bits, com 33 bits de endereço físico, 43 bits de endereço virtual e páginas de 8KB. Admitindo um sistema de tradução hierárquico em que a dimensão de cada PTE é de 8B, indique:

- a) O número de níveis para a tradução de endereço virtual em endereço físico.
- b) O número de bits usados em cada PTE (*Page Table Entry*) para guardar o endereço da próxima página.

Exercício 4

Admita que o processador da alínea anterior é suportado por uma hierarquia de memória com uma cache L1-I e outra L1-D e ainda uma cache L2. Indique a expressão do tempo médio de acesso aos dados considerando o tempo de tradução entre endereço virtual e endereço físico.

Exercício 5

Considere que é acoplada ao processador uma TLB com 16 linhas, 1 PTE por linha e 2 vias. Esboce o esquema que permite realizar a tradução rápida de endereço virtual em endereço físico e indique como é que a introdução da TLB altera a resposta ao exercício anterior.