ARQUITETURA DE COMPUTADORES

Prática 5

Pretende-se analisar a arquitetura do processador estudado nas aulas teóricas ilustrado na Figura 1.

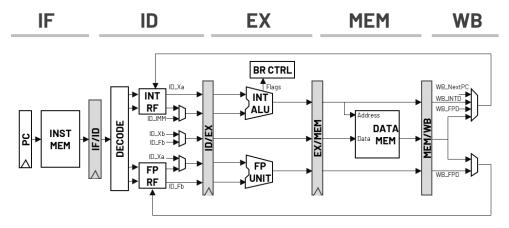


Figura 1 - Arquitetura Pipeline com 5 estágios, sem forwarding.

Exercício 1

```
.data
         .word 0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15
vect1:
        .word 0,2,4,6,8,10,12,14,16,18,20,22,24,26,28,30
vect2:
vect3:
         .zero 64
.text
      la
            x10, vect1
            x11, vect2
      la
            x12, vect3
      la
            x13,0
            x14,16
      li
loop:
            x13, x14, end
      beq
      slli
            x15, x13, 2
      add
            x15, x15, x10
            x16,0(x15)
      lw
      slli
            x15, x13, 2
      add
            x15, x15, x11
      lw
            x17,0(x15)
            x16, x16, x17
      add
      slli
            x15, x13, 2
      add
            x15, x15, x12
            x16,0(x15)
      addi
            x13, x13, 1
            loop
end:
```

- a) Considere o código Assembly apresentado em cima. De acordo com a arquitetura do processador da Figura 1, identifique todos os conflitos de controlo e de dados decorrentes da execução do troço de código indicado. Justifique a sua resposta ilustrando o estado de execução do pipeline quando o conflito ocorre.
- b) Reescreva o código de modo a resolver todos os conflitos de controlo e de dados por software (introduzindo NOPs ou reordenando instruções). Admita que os conflitos de controlo são resolvidos pelo mecanismo de salto retardado (delayed branch).
- c) Calcule o número de ciclos de relógio necessários para executar o troço de código apresentado num processador de ciclo único.
- d) Calcule o número de ciclos de relógio necessários para executar o código que escreveu na alínea b) no processador da Figura 1.
- e) Calcule o ganho de tempo de execução (*speedup*) no processador *pipeline* em relação ao processador de ciclo único. Assuma que o processador *pipeline* tem uma frequência máxima de 2GHz e que o processador de ciclo único tem uma frequência máxima de 500MHz.
- f) De acordo com a arquitetura do processador da Figura 1, indique que linhas de forwarding são necessárias para resolver cada um dos conflitos de dados por hardware. Indique se algum dos conflitos originar uma linha de forwarding não exequível (i.e., cuja implementação levaria a um aumento excessivo do caminho crítico).
- g) Admita que a introdução de caminhos de forwarding implica um aumento em 10% do caminho crítico do processador. Calcule o speed-up do processador pipeline com forwarding em relação aos processadores de ciclo único (alínea 2c) e pipeline sem forwarding (alínea 2d).