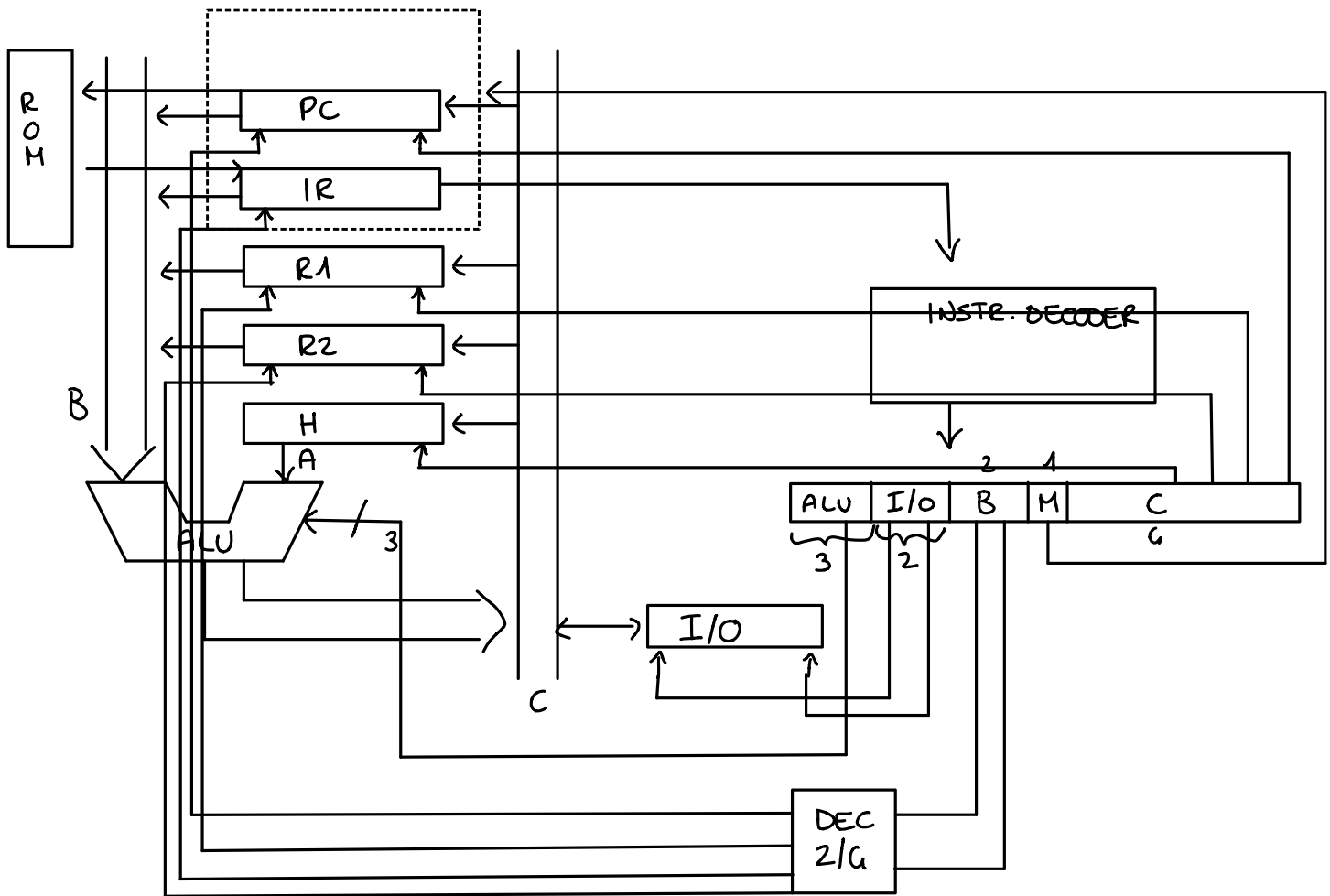
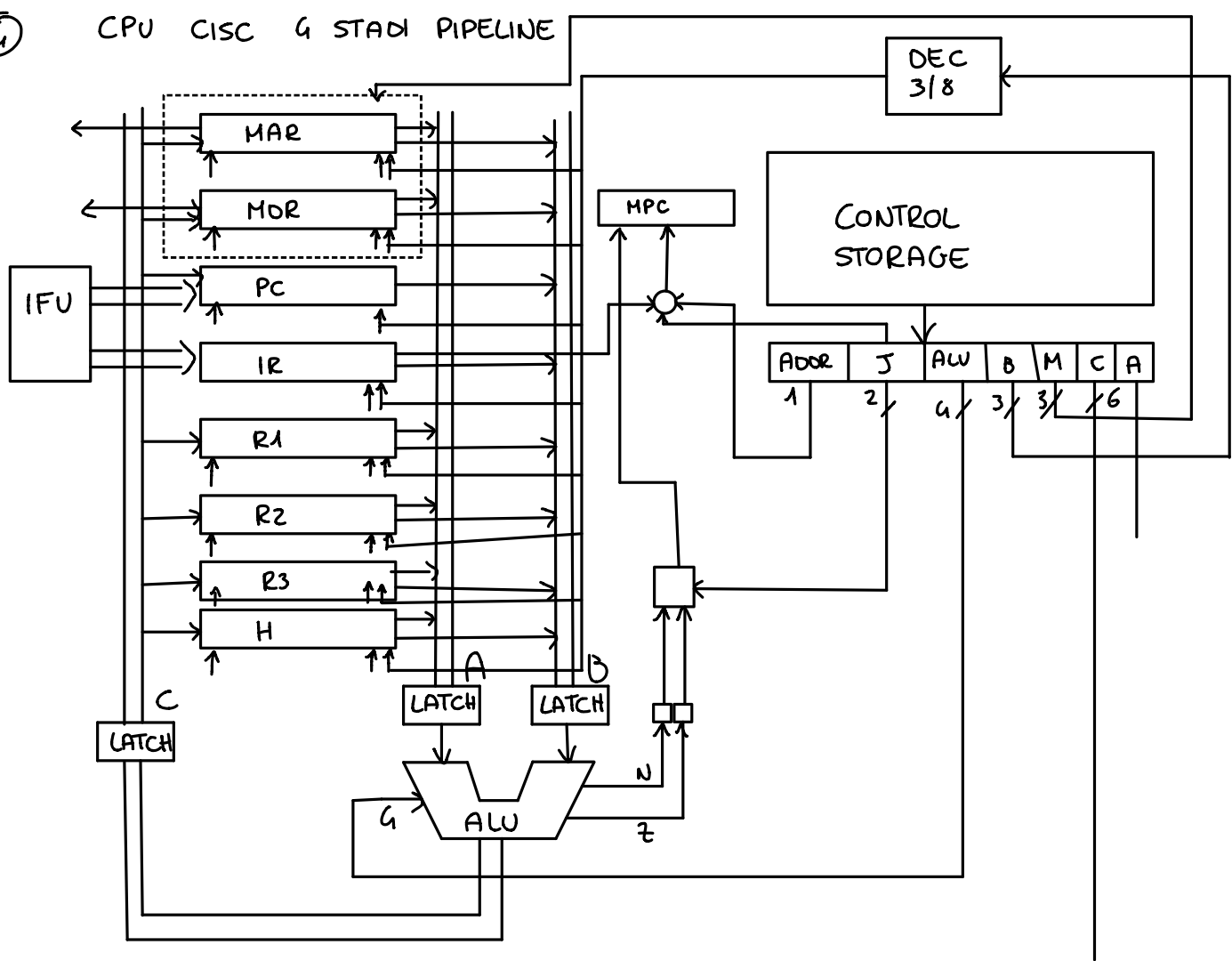


③ EMBEDDED



Q

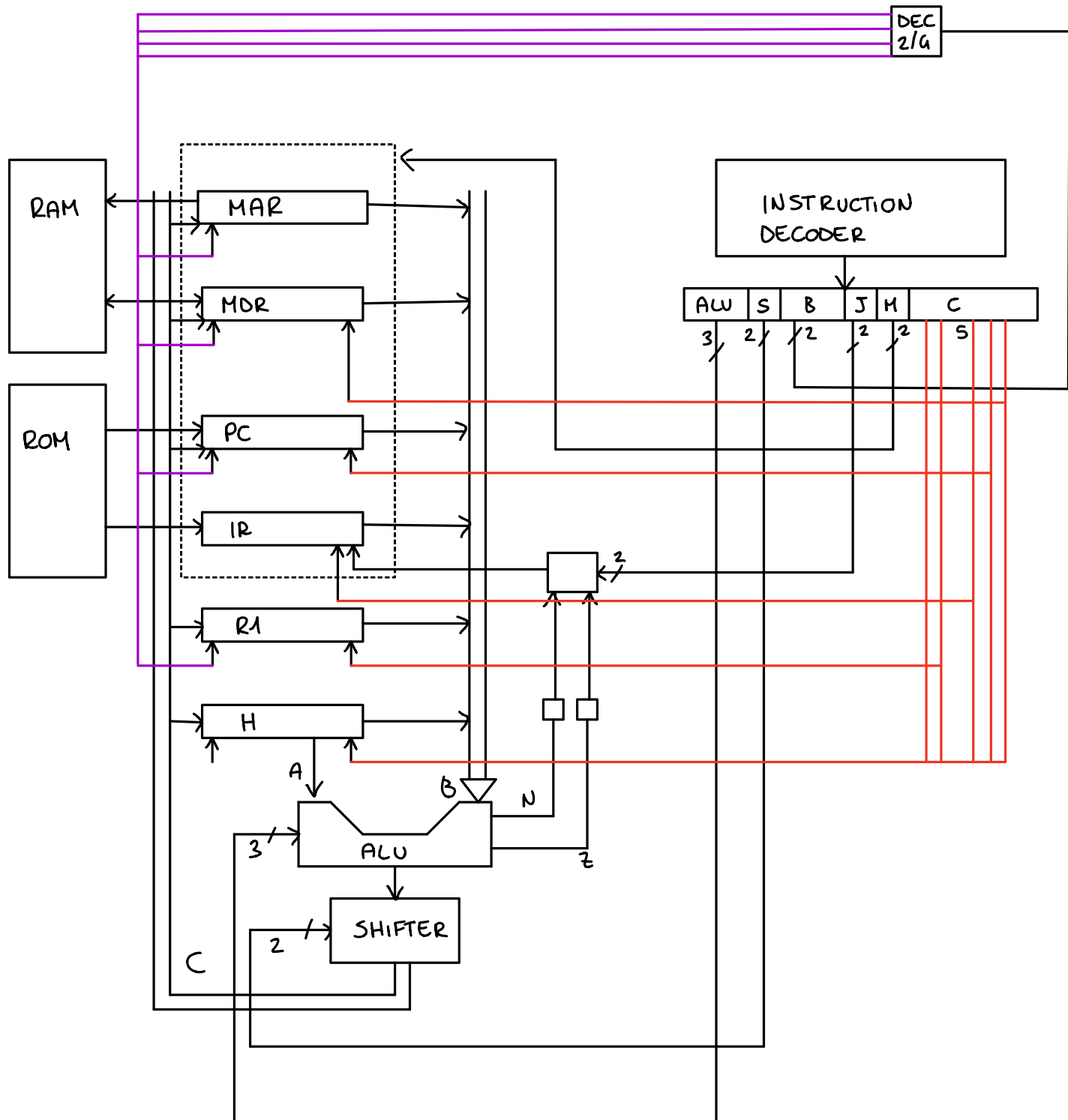
CPU CISC 4 STAGE PIPELINE



ESERCIZIO HOMEWORK

CPU RISC, 8 OPERAZ ALU, 2 SHIFTER, SALTI CONDIZIONATI

- UN REG. USO GENERALE
- UN REG. ACCUMULATORE
- DUE REG DATI RAM
- DUE REG FETCH ROM



- Implemento una pipeline a 4 stadi aggiungendo un bus A che entra nell'alu aggiungendo un IFU tra la ROM e i registri PC e IR e dei LATCH tra i due bus B, A e nel bus C dopo lo SHIFTER.

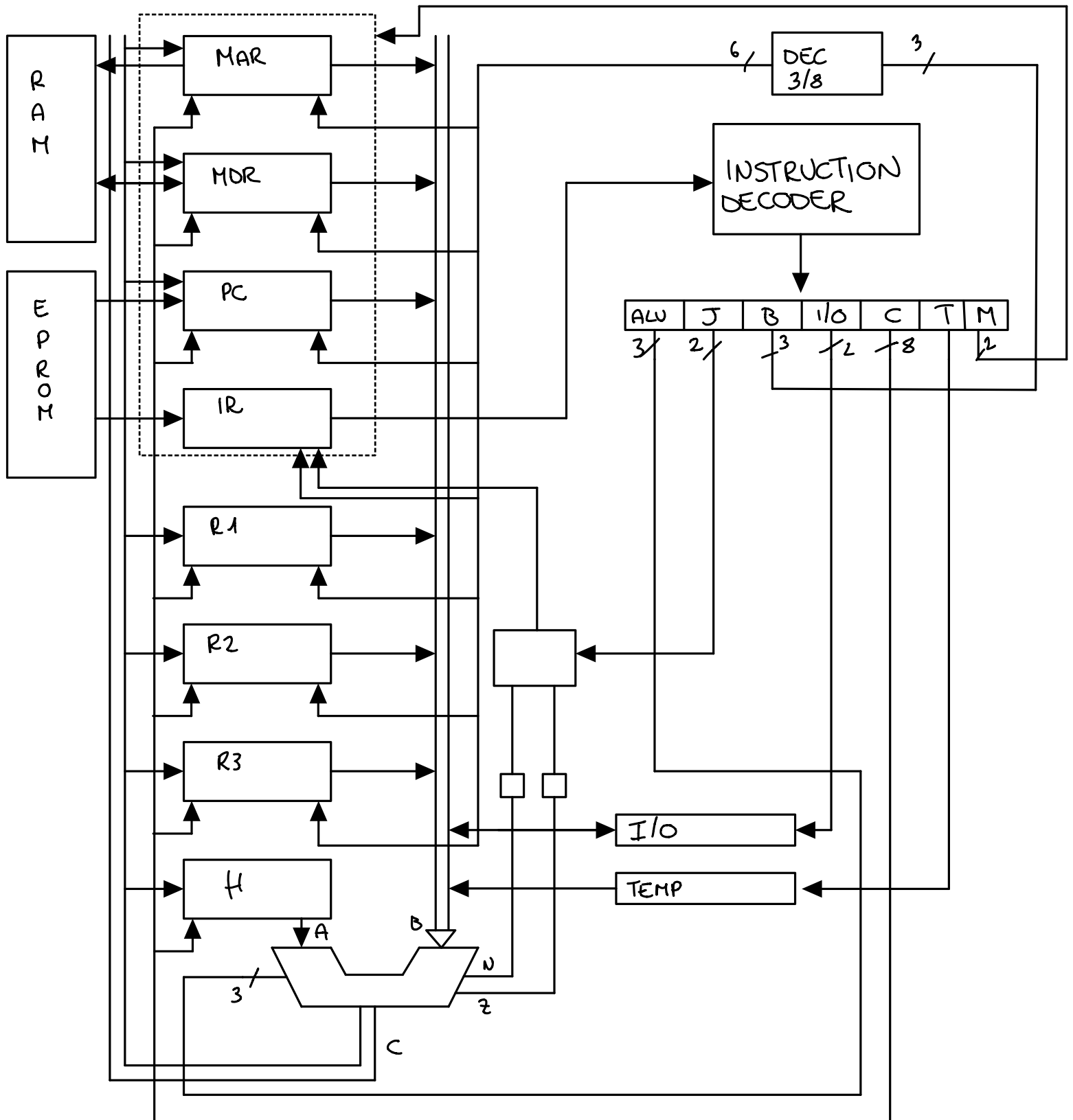
Il 1° stadio consiste nel pre-fetch da parte dell'IFU

Il 2° stadio consiste nel caricamento dei dati sui registri all'ALU

il 3° stadio contiene le operazioni aritmetiche e di shifting
il 4° stadio consiste nel trasferimento dei dati dal LATCH ai registri

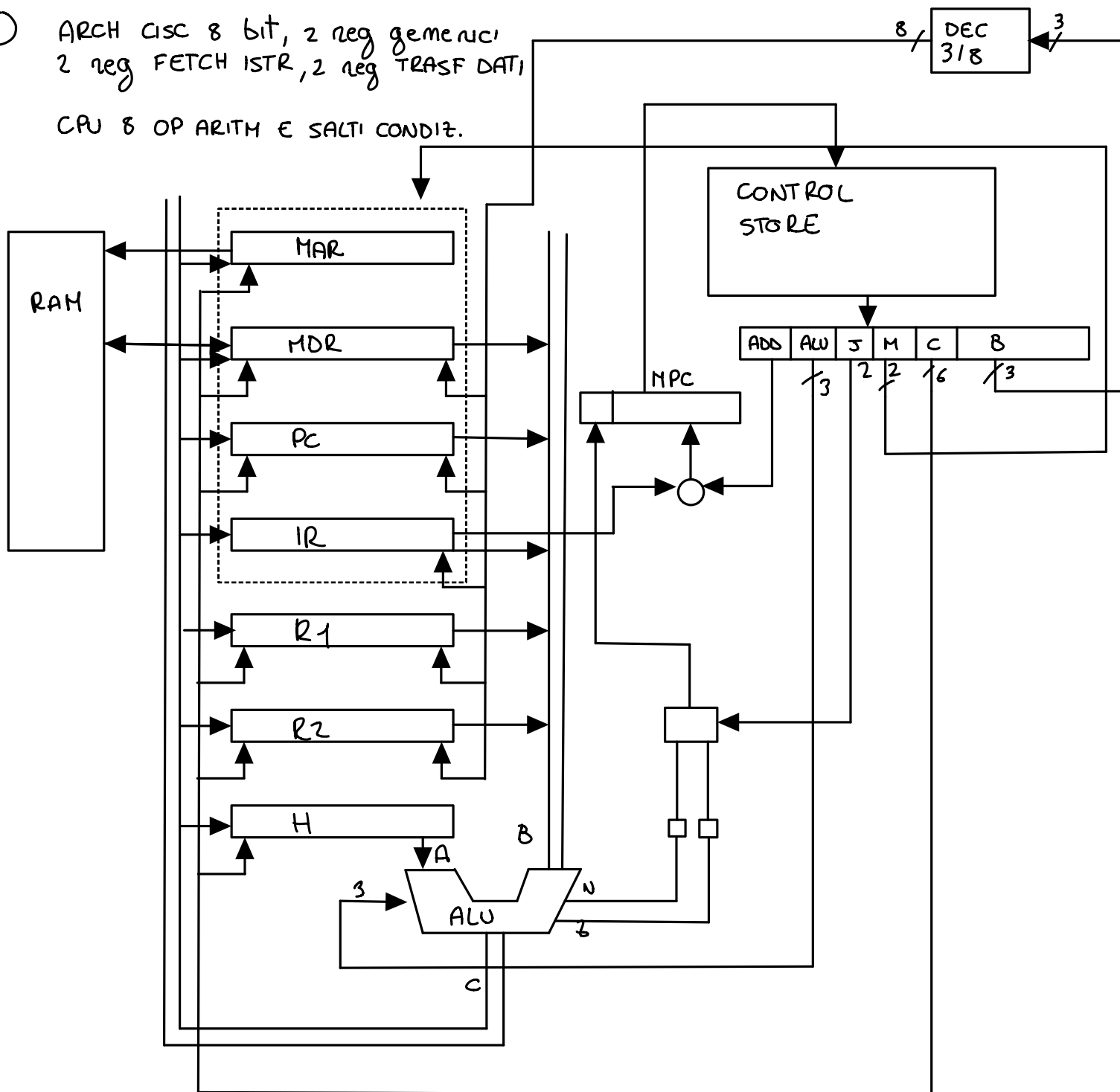
da CPU passa a regime dopo i 4 stadi della prima istruzione, poi ad ogni ciclo completa 4 istruzioni

⊗ CPU RISC 3 registri, uso generale, un accumulatore, un sens. temperatura, una porta input, una porta output. 8 oper. ALU e salti condizionati.

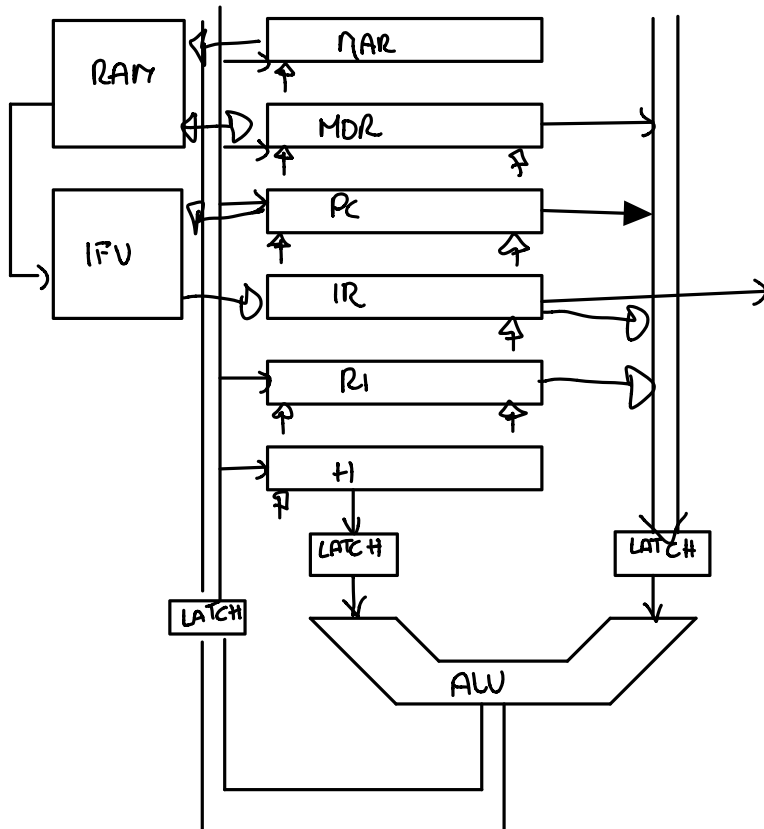
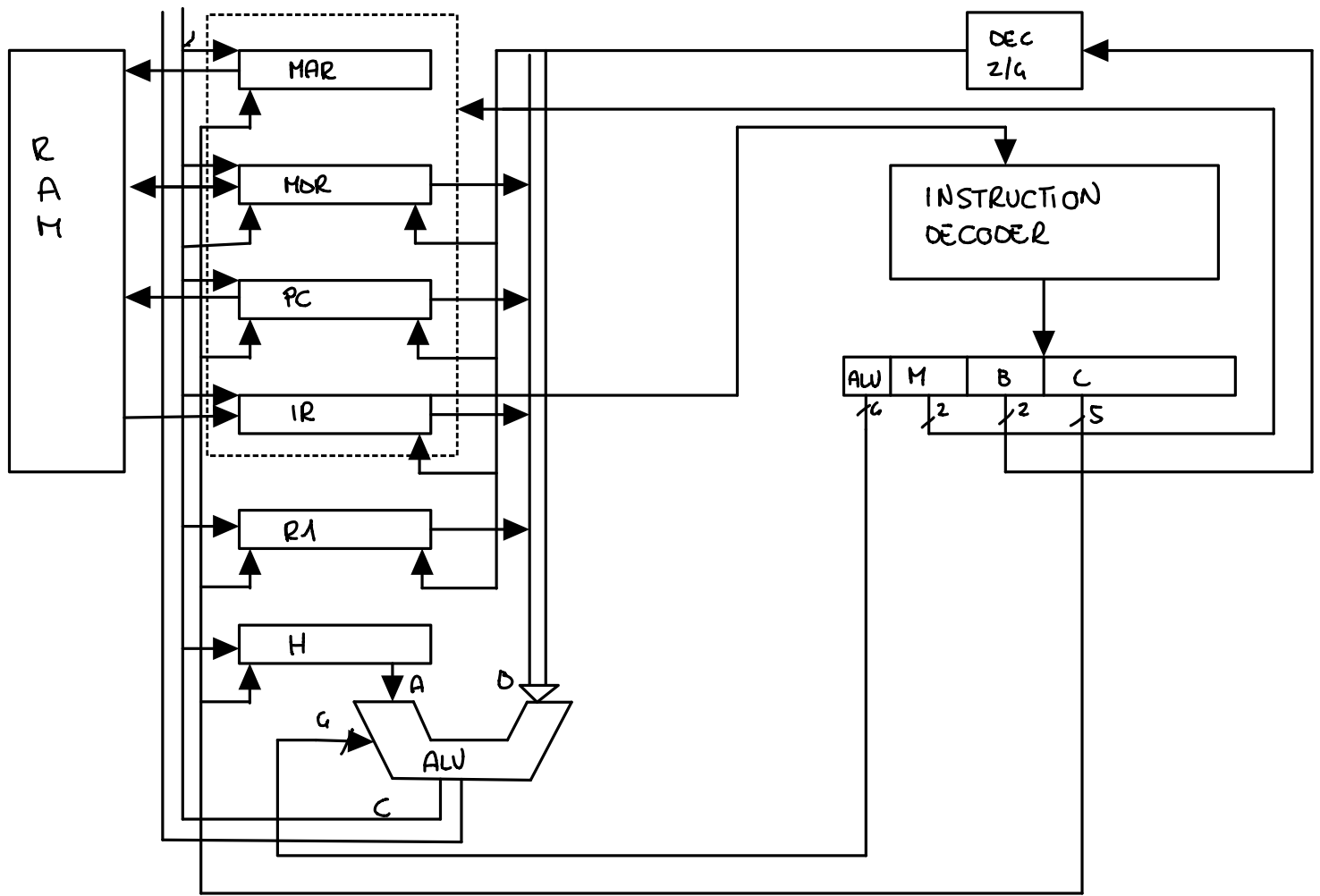


- ① ARCH CISC 8 bit, 2 reg generali
2 reg FETCH ISTR, 2 reg TRASF DATI

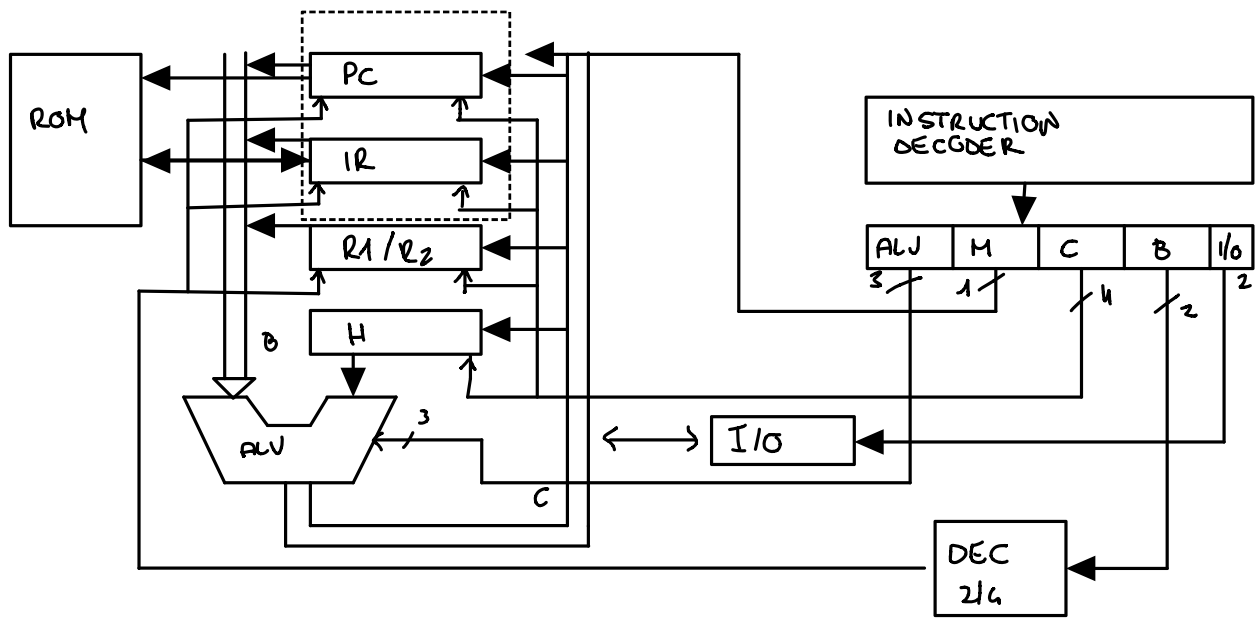
CPU 8 OP ARITH E SALTI CONDIZ.



② RISC 1 REG GEN, 1 H, 2 neg fetch, 2 neg trans, 16 op.

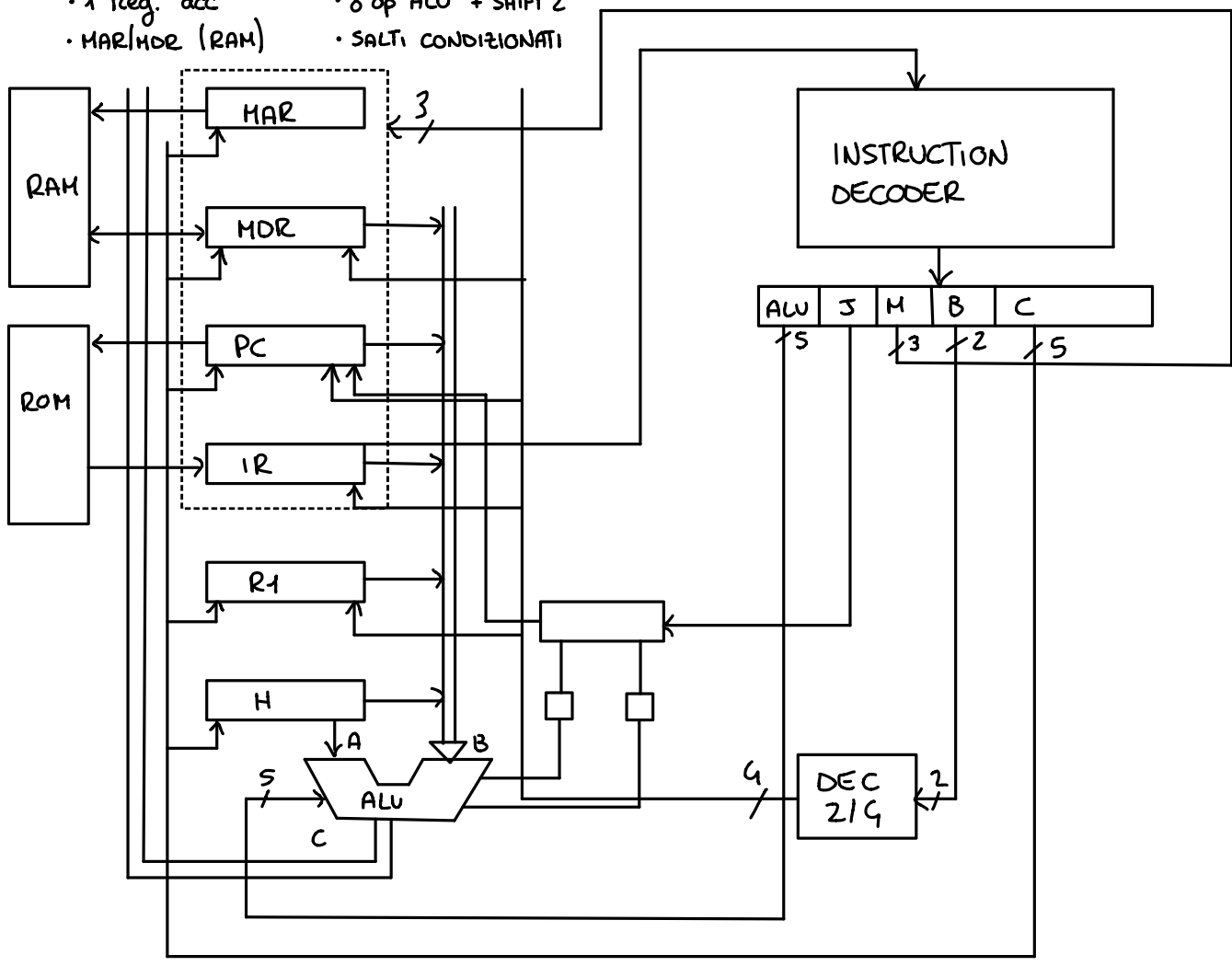


③ CPU EMBEDDED NO RAM, SI ROM, 2 REG GEN PURPOSE, UN REG ACC, PORTA I/O, DUE REG ISTP
ROM 8 op

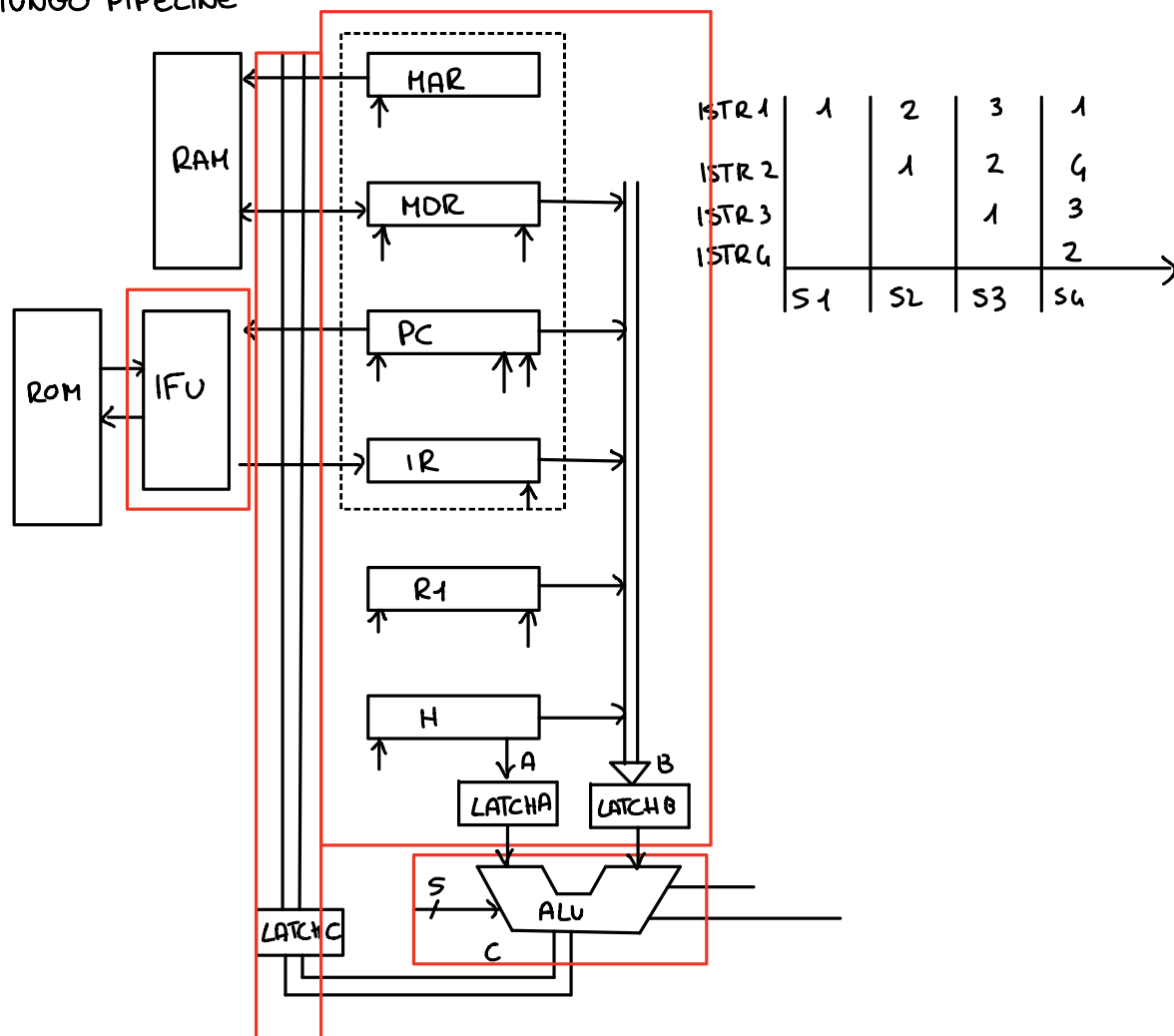


④ CPU RISC 8 bit

- 1 reg gen
- 1 reg. acc
- MAR/MDR (RAM)
- PC/IR (ROM)
- 8 op ALU + SHIFT 2
- SALTI CONDIZIONATI



AGGIUNGO PIPELINE



CPU RISC

- DUAL CORE L2 CONDIV.
- ARCH SUPERSCALARE 2 ALU, 1 INT, 1 FLOAT
- PRE-FETCH

