

EE3235 Analog Integrated Circuit Analysis and Design I

Homework 3

Cascade Amplifier

姓名：朱豐蔚

學號：110060027

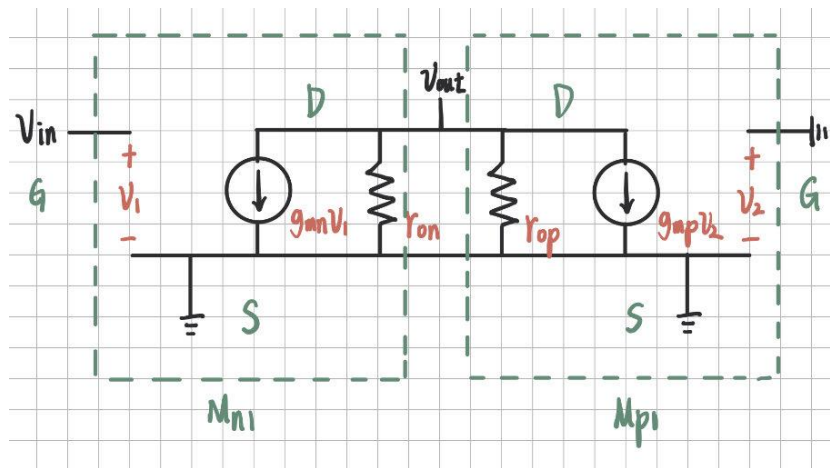
系級：電資院學士班 25

Part I – Cascade Amplifier

(a) 設計 Common Source Amplifier：

第一步：觀察要滿足 SPEC 的條件

由此題 nMOS、pMOS 所構成的 Common Source Amplifier 小訊號模型如下圖：



由 KCL，因為 $v_2 = 0$ ， $-g_{m,n}v_{in} = \frac{v_{out}}{r_{o,n}} + \frac{v_{out}}{r_{o,p}}$ ，整理為 A_1 的形式：

$$|A_1| = g_{m,n}(r_{o,n} // r_{o,p}) = \frac{2I_D}{V_{GS} - V_{TH,n}} \times \frac{1}{(\lambda_n + \lambda_p)I_D} = \sqrt{2\mu_n C_{ox} \frac{W_n}{L_n} I_D} \times \frac{1}{(\lambda_n + \lambda_p)I_D}$$

注意上述的前提是 nMOS 與 pMOS 都要在 saturation 的狀況下，若任一個不處於 saturation 的話，就代表電流會隨著 V_{DS} 變化而有明顯的變動，即表現成 r_o 會大降，代表 gain 會無法滿足 SPEC 所求，因此設計的首要目標就是確保 $V_{in,DC}$ 與 V_{b1} 的設計能夠讓兩個 MOS 都在 saturation 的狀態下表現。

此外，由於此題的設計後續要再接上 Common Gate Amplifier 來去做放大，考慮訊號的傳遞會受 Common Source Amplifier 的 R_{out} ，也就是 $r_{o,n} // r_{o,p}$ 影響，若設計得太大，會使得後續給入 Common Gate Amplifier 的 v_{in} 太小，導致合在一起的 gain 不夠大，因此 L 的選用要適中，加上避免 Channel length modulation 對公式的影響，因此我在後續的設計都選用 $L = 2 \mu m$ 。

第二步：測量製程參數 $\mu_n C_{ox}$ 與 V_{TH}

因為不知道在 c18 製程中的各項參數為何，我決定採用實測的方式，真的另外建立 .sp 檔(檔案有上傳為 Part1_a_Parameter.sp)實際去跑 Hspice，並從 .lis 檔讀取各項參數數值，在後續設計時可以代入使用。

在這邊採用預設的 body 端接法，將 nMOS 的 body 接到 GND，pMOS 的 body 接到 V_{DD} 。

如右圖，其中 $V_{TH.n}$ 為 0.36 V、 $|V_{TH.p}|$ 為 0.49 V，而因為 μC_{ox} 乘以 W/L(測試用的設計為 $2\mu/2\mu$) 就會為 beta，因此可以得知 $\mu_n C_{ox} = 303 \mu A/V^2$ ， $\mu_p C_{ox} = 64 \mu A/V^2$ 。

model	0:n_18.1	0:p_18.1
region	Linear	Saturation
id	4.9965u	-4.9965u
ibs	-1.111e-21	6.828e-22
ibd	-6.9644a	232.2533a
vgs	900.0000m	-900.0000m
vds	32.5736m	-1.7674
vbs	0.	0.
vth	359.2269m	-485.1589m
vdsat	434.0443m	-367.5830m
vod	540.7731m	-414.8411m
beta	302.5190u	63.9652u
gam eff	507.4461m	557.0846m
gm	9.5115u	21.7317u
gds	147.1212u	56.4252n
gmb	2.0781u	7.0325u

第三步：選取 MOS 偏壓 $V_{in.DC}$ 與 V_{b1}

如第一步中所說，設計的重點放在要使兩個 MOS 都能在 saturation 狀況下運作，各自去看 nMOS 與 pMOS 要進 saturation 的條件：

nMOS：

$$V_{GS} = V_{in.DC} > V_{TH.n} = 0.36 V \text{ (open)}$$

$$V_{DS} = V_{out.DC} = 0.5 V > V_{GS} - V_{TH.n} \text{ (saturation)}$$

pMOS：

$$V_{SG} = V_{DD} - V_{b1} > |V_{TH.p}| = 0.49 V \text{ (open)}$$

$$V_{SD} = V_{DD} - V_{out.DC} = 1.3 V > V_{SG} - |V_{TH.p}| \text{ (saturation)}$$

由上可知， $V_{in.DC}$ 要選在 0.36 V 到 0.86V 之間， V_{b1} 要選在 0.01 V 到 1.31V 之間，考慮要滿足 gain 的要求：

$$|A_1| = g_{m.n}(r_{o.n} // r_{o.p}) = \frac{2I_D}{V_{GS} - V_{TH.n}} \times \frac{1}{(\lambda_n + \lambda_p)I_D} > 100$$

由於在 $L = 2 \mu m$ 下， $\lambda_n + \lambda_p$ 不會超過 $0.1 V^{-1}$ ，因此選用 $V_{GS} = V_{in.DC} = 0.45 V$ 可以足夠達成 SPEC 的要求。加上我想要讓設計中兩個 MOS 的 W 不要相差太大，因為流過兩個 MOS 的電流相同，且兩個 MOS 的 L 一樣，因此設計讓兩個 MOS 的驅動電壓 V_{OV} 差不多即可達成 W 不要相差太大的目的，最後選用 $V_{b1} = 1.2 V$ 做為後續的偏壓設計。

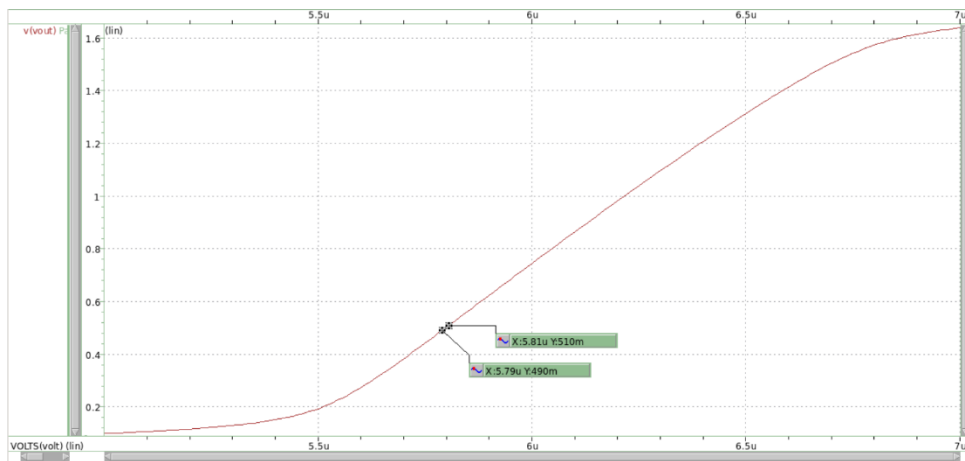
第四步：選取 MOS 的寬度 W

前述有提到，nMOS 與 pMOS 的 W 比例與選用的偏壓有關，因此我先定 nMOS 的 W 為第二步測試中所選用的 $2\ \mu\text{m}$ ，再由電流相同的等式，代入第三步所選用的偏壓，來得到 pMOS 的 W：

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \times \frac{(V_{in.DC} - V_{TH.n})^2}{(V_{DD} - V_{b1} - |V_{TH.p}|)^2}, \quad \frac{\mu_n}{\mu_p} = \frac{303}{64}, \quad V_{in.DC} = 0.45\text{ V}, \quad V_{b1} = 1.2\text{ V}$$

可以得到 $\frac{W_p}{W_n} = 3.17$ ，因此我選用 pMOS 的 W 為 $6.34\ \mu\text{m}$ 進行試跑，試跑的結果發現 $V_{out.DC}$ 落在 1.14 V ，即 W 選用的差異會讓 $V_{out.DC}$ 產生改變，這是由於 Channel length modulation 的影響，drain 與 source 兩端的電壓差也會影響整個電流的平衡。

SPEC 的 $V_{out.DC}$ 要求要在 0.5 V ，因此我推測要將 pMOS 的 W 調小，打破平衡的傾向，讓 pMOS 的電流因為小過 nMOS 的，讓再次平衡的 pMOS 的跨壓變大、nMOS 的跨壓變小，就能使 $V_{out.DC}$ 因此變小。由於不知道確切的 λ 數值，因此我只能使用 DC sweep 來找到讓 $V_{out.DC} = 0.5\text{ V}$ 的 W_p 準確值，對 W_p 從 $5\ \mu\text{m}$ 到 $7\ \mu\text{m}$ 來進行測量。



Vout(V) vs. Wp(μm) (For SPEC: Wp = 5.79 μm ~ 5.81 μm)

DC sweep 的結果符合我的預期，要將 pMOS 的 W 調小到 $5.8\ \mu\text{m}$ 才能滿足 SPEC 的要求。

(b) 驗證 Common Source Amplifier :

● Operating point analysis(.op) :

```
***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node      =voltage      node      =voltage      node      =voltage

+0:vb1     = 1.2000  0:vdd      = 1.8000  0:vin      = 450.0000m
+0:vout     = 502.7667m
```

.op analysis result

Operating point analysis 的數據會被存放在 .lis 檔中，如上圖所示，當 $V_{in,DC} = 0.45\text{ V}$ 、 $V_{b1} = 1.2\text{ V}$ 時， $V_{out,DC} = 0.503\text{ V}$ ，滿足 SPEC 的要求。

```
subckt
element  0:mn1      0:mp1
model    0:n_18.1  0:p_18.1
region   Saturation Saturation
id        1.6583u   -1.6583u
ibs       -3.688e-22 1.770e-22
ibd       -107.5113a 386.1810a
vgs       450.0000m -600.0000m
vds       502.7667m -1.2972
vbs       0.         0.
vth       356.9127m -483.2419m
vdsat     107.6566m -130.2797m
vod       93.0873m -116.7581m
beta      302.6434u 205.4020u
gam eff   507.4460m 557.0847m
gm         24.2555u 20.7953u
gds       207.9643n 30.1436n
gmb        4.9166u 6.3830u
cdtot     2.8775f 6.1590f
cgtot     26.3256f 73.2123f
cstot     28.0634f 83.1843f
cbtot     11.2659f 33.5828f
cgs       23.3062f 65.0998f
cgd       694.8584a 2.0823f
```

MOSFET parameter

另外整理出兩個 MOS 的參數，以供後續 TF analysis 的計算：

$$\begin{aligned} g_{m,n} &= 24.26\ \mu\text{A/V} \\ g_{ds,n} &= 207.96\ \text{nA/V} \\ g_{ds,p} &= 30.14\ \text{nA/V} \end{aligned}$$

● TF analysis(.tf) :

```
****      small-signal transfer characteristics

v(vout)/v2      = -101.8658
input resistance at v2      = 1.000e+20
output resistance at v(vout) = 4.1998x

.tf analysis result
```

TF Analysis 的數據會被存放在.lis 檔中，如上圖所示，其中第一項 $A_1 = -101.87$ ，有滿足 SPEC 所求，採用.lis 檔中實際測得的 $g_{m,n} = 24.26 \mu A/V$ 、 $g_{ds,n} = 207.96 nA/V$ 和 $g_{ds,p} = 30.14 nA/V$ 來做小訊號模型 gain 的手算：

$$|A_1| = g_{m,n}(r_{o,n}/r_{o,p}) = \frac{g_{m,n}}{g_{ds,n} + g_{ds,p}}$$

計算出來的 $|A_1| = 101.89$ ，與測量結果相符合。

再來看 TF analysis 中第二項的 $R_{in} = \infty$ ，符合在 Common Source Amplifier 小訊號模型中的預期。

而最後一項的 $R_{out} = 4.2 M\Omega$ ，若要計算 CS stage 的 Output impedance，只要將 $v_{in} = 0$ 代入 Small-signal model 當中，並計算 v_{out} 與其產生電流的比值即可。在 CS stage 中， $R_{out} = r_{o,n}/r_{o,p}$ ，計算出來的 $R_{out} = 4.2 M\Omega$ ，與測量結果相符合。

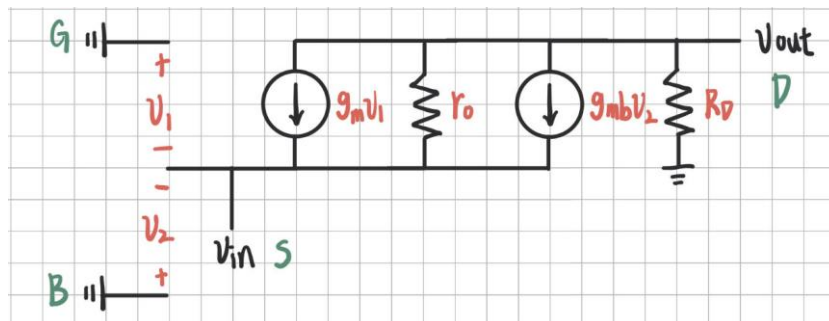
由上述可以知道，測量結果都與手算結果相符合，代表 CS stage 中小訊號模型的建立與使用是正確的。

綜上來看，此題所設計的 Common Source Amplifier 能夠將小訊號給放大約 102 倍，加上其有 $R_{in} = \infty$ 的特點，能使外來訊號能夠百分百的傳遞進 Common Source Amplifier，不受 Input 端外接電阻的影響。但 Output 端還是會受外接電阻的影響，因為 R_{out} 為百萬歐姆等級，若外接的裝置電阻值很小，就會使訊號傳遞的效果因為分壓的關係大打折扣，這點也是後續在設計 Common Gate Amplifier 的重點問題。

(c) 設計 Common Gate Amplifier :

第一步：觀察要滿足 SPEC 的條件

此題的 Common Gate Amplifier 小訊號模型如下圖(考慮有 body effect 的情況)：



由 KCL, $g_m v_{in} + g_{mb} v_{in} + \frac{v_{in} - v_{out}}{r_o} = \frac{v_{out}}{R_D}$, 整理為 A_2 的形式：

$$A_2 = (g_m + g_{mb} + \frac{1}{r_o})(R_D // r_o) \cong g_m R_D = \frac{2I_D R_D}{V_{GS} - V_{TH,n}}$$

注意上述的前提是 nMOS 要在 saturation 的狀況下, g_m 才可以表示為 $\sqrt{2 \mu_n C_{ox} \frac{W}{L} I_D}$, 若不處於 saturation 的話, g_m 會大降, 代表 gain 會無法滿足 SPEC 所求, 因此設計的首要目標就是確保 V_{b2} 的設計能夠讓 nMOS 在 saturation 的狀態下表現, 再來就是 V_{GS} 要夠小才能滿足 gain 的要求。

第二步：測量製程參數 $\mu_n C_{ox}$ 與 V_{TH}

同前述 Common Source Amplifier 採用實測的方式, 真的另外建立.sp 檔(檔案有上傳為 Part1_c_Parameter.sp)實際去跑 Hspice, 並從 .lis 檔讀取各項參數數值, 在後續設計時可以代入使用。

在這邊採用預設的 body 端接法, 將 nMOS 的 body 接到 GND。

如右圖, 其中 $V_{TH,n}$ 為 0.49 V, 而因為 μC_{ox} 乘以 W/L (測試用的設計為 $1\mu/1\mu$) 就會為 beta, 因此可以得知 $\mu_n C_{ox} = 310 \mu A/V^2$ 。

與 Common Source Amplifier 的設計相比, 可以發現 $V_{TH,n}$ 確實會受 V_{SB} 的影響而大幅上升, 此即 body effect 所造成的影響。

model	0:n_18.1
region	Saturation
id	6.8042u
ibs	-71.6620a
ibd	-160.4555a
vgs	700.0000m
vds	619.5750m
vbs	-500.0000m
vth	491.5386m
vdsat	202.8277m
vod	208.4614m
beta	309.8111u
gam eff	519.9009m
gm	56.7222u
gds	883.0075n
gmb	8.6042u

第三步：選取 nMOS 偏壓 V_{b2}

如第一步中所說，設計的重點放在要使 nMOS 能在 saturation 狀況下運作，首先看 nMOS 要進 saturation 的條件：

$$V_{GS} = V_{b2} - V_{in.DC} > V_{TH.n} = 0.49 V \text{ (open)}$$
$$V_{DS} = V_{out.DC} - V_{in.DC} = 0.3 V > V_{GS} - V_{TH.n} = V_{b2} - V_{in.DC} - V_{TH.n} \text{ (saturation)}$$

由上可知， V_{b2} 要選在 0.99 V 到 1.29V 之間，考慮要滿足 gain 的要求：

$$A_2 \cong g_m R_D = \frac{2I_D R_D}{V_{GS} - V_{TH.n}} > 15, \quad I_D = 10 \mu A, \quad R_D = 100 k\Omega$$

可以得到 $V_{b2} < 1.12 V$ ，因此選擇 $V_{b2} = 1.05 V$ 做為後續的偏壓設計。

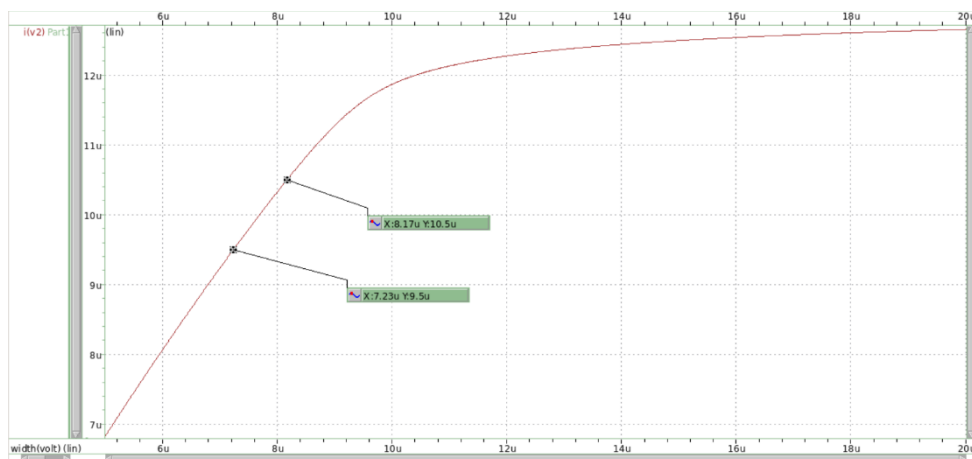
第四步：選取 nMOS 的寬度 W

將前述所選用的 $L = 1 \mu m$ 、 $V_{b2} = 1.05 V$ 、 $V_{TH.n} = 0.49 V$ 代入飽和區電流公式中：

$$I_D = 10 \mu A = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH.n})^2, \quad \mu_n C_{ox} = 310 \mu A/V^2$$

可以得到 $\frac{W}{L} = 17.9$ ，因此我選用 W 為 $17.9 \mu m$ 進行試跑，試跑的結果發現 I_D 比預期大，導致 $V_{out.DC}$ 變小而讓 nMOS 進入 linear region，我推測這是由於因為選用的 V_{GS} 很小(0.06 V 左右)，因此任何一點 $V_{TH.n}$ 的變動都會導致電流產生很大的變化，加上課程上所學的電流公式與實際 Hspice 的測量有所差異。

因此我只能使用 DC sweep 來找到讓 $I_D = 10 \mu A$ 的 W 準確值，對 W 從 $5 \mu m$ 到 $20 \mu m$ 來進行測量，最後選擇 $W = 8 \mu m$ 做為寬度的設計。



Vout(V) vs. W(m) (For SPEC: W = 7.23 μm ~ 8.17 μm)

(d) 驗證 Common Gate Amplifier :

● Operating point analysis(.op) :

```
***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node      =voltage      node      =voltage      node      =voltage

+0:vb2     = 1.0500  0:vdd      = 1.8000  0:vin      = 500.0000m
+0:vout     = 767.2859m
```

.op analysis result

```
subckt
element  0:mn2
model    0:n_18.1
region   Saturation
id       10.3271u
ibs      -318.4817a
ibd      -488.7287a
vgs      550.0000m
vds      267.2859m
vbs      -500.0000m
vth      481.2533m
vdsat    102.5343m
vod      68.7467m
beta     2.5098m
gam eff  519.9006m
gm       168.9877u
gds      2.9753u
gmb      26.6498u
cdtot    10.7413f
cgtot    51.9584f
cstot    55.2572f
cbtot    25.8752f
cgs      44.8294f
cgd      2.8488f
```

MOSFET parameter

Operating point analysis 的數據會被存放在.lis 檔中，如上圖所示，當 $V_{in,DC} = 0.5\text{ V}$ 、 $V_{b2} = 1.05\text{ V}$ 時， $I_D = 10.33\text{ }\mu\text{A}$ ，滿足 SPEC 的要求。

另外整理出 nMOS 的參數，以供後續 TF analysis 的計算：

$$\begin{aligned}g_m &= 168.99\text{ }\mu\text{A/V}\\g_{ds} &= 2.98\text{ }\mu\text{A/V}\\g_{mb} &= 26.65\text{ }\mu\text{A/V}\end{aligned}$$

● TF analysis(.tf) :

```

****      small-signal transfer characteristics

v(vout)/v2
input resistance at          v2      = 15.3064
output resistance at v(vout)      = 6.5332k
                                   = 77.0707k

      .tf analysis result

```

TF Analysis 的數據會被存放在 .lis 檔中，如上圖所示，其中第一項 $A_2 = 15.31$ ，有滿足 SPEC 所求，採用 .lis 檔中實際測得的 $g_m = 168.99 \mu A/V$ 、 $g_{mb} = 26.65 \mu A/V$ 和 $g_{ds} = 2.98 \mu A/V$ 來做小訊號模型 gain 的手算：

$$A_2 = (g_m + g_{mb} + \frac{1}{r_o})(R_D // r_o) = \frac{g_m + g_{mb} + g_{ds}}{\frac{1}{R_D} + g_{ds}}$$

計算出來的 $A_2 = 15.30$ ，與測量結果相符合。

再來看 TF analysis 中第二項的 $R_{in} = 6533 \Omega$ ，若要計算 CG stage 的 Input impedance，只要將 v_{out} 在 Small-signal model 當中與 GND 形成斷路，並計算 v_{in} 與其產生電流的比值即可。在 CG stage 中， $R_{in} = \frac{r_o + R_D}{1 + (g_m + g_{mb})r_o}$ ，計算出來的 $R_{in} = 6535 \Omega$ ，與測量結果相符合。

而最後一項的 $R_{out} = 77071 \Omega$ ，若要計算 CG stage 的 Output impedance，只要將 $v_{in} = 0$ 代入 Small-signal model 當中，並計算 v_{out} 與其產生電流的比值即可。在 CG stage 中， $R_{out} = R_D // r_o$ ，計算出來的 $R_{out} = 77042 \Omega$ ，與測量結果相符合。

由上述可以知道，測量結果都與手算結果相符合，代表 CG stage 中小訊號模型的建立與使用是正確的。

綜上來看，此題所設計 Common Gate Amplifier 雖然能夠將小訊號給放大約 15.3 倍，但是可以發現，由於其 R_{in} 小加上 R_{out} 大，很容易會受 Common Gate Amplifier Input 端和 Output 端各自外接電阻的影響。

換句話說，外來訊號傳入與傳出 Common Gate Amplifier 時都會被稀釋，導致實際放大倍率可能更低。

(e) 連接並驗證 Cascade Amplifier :

i. Operating point analysis(.op) :

```

***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node    =voltage node    =voltage node    =voltage
+0:vb1   = 1.2000 0:vb2   = 1.0500 0:vdd    = 1.8000
+0:vin   = 450.0000m 0:vout = 800.0149m 0:vx    = 502.1367m

```

.op analysis result

Operating point analysis 的數據會被存放在 .lis 檔中，如上圖所示， $V_x = 0.502 V$ ，與預期相同，由於各偏壓與各 MOS 的 size 設定都與前述題目相同，加上連接後加入 $10 \mu A$ 的電流源，引流掉並避免了 Common Gate Amplifier 的電流由 Common Source Amplifier 的 output 端流入，讓 Common Source Amplifier 的電流、Common Gate Amplifier 的電流都能操作在理想的位置，因此 V_x 會與預期的相同。

```

subckt
element 0:mn1 0:mp1 0:mn2
model 0:n_18.1 0:p_18.1 0:n_18.1
region Saturation Saturation Saturation
id 1.6581u -1.6583u 9.9999u
ibs -3.688e-22 1.770e-22 -319.8427a
ibd -107.3766a 386.3685a -509.5758a
vgs 450.0000m -600.0000m 547.8633m
vds 502.1367m -1.2979 297.8781m
vbs 0. 0. -502.1367m
vth 356.9158m -483.2419m 481.3043m
vdsat 107.6546m -130.2797m 101.1750m
vod 93.0842m -116.7581m 66.5589m
beta 302.6435u 205.4020u 2.5099m
gam_eff 507.4460m 557.0847m 519.9485m
gm 24.2541u 20.7955u 165.5077u
gds 207.9940n 30.1373n 2.6926u
gmb 4.9164u 6.3830u 26.0634u
cdtot 2.8779f 6.1585f 10.6234f
cgtot 26.3256f 73.2123f 51.7068f
cstot 28.0633f 83.1843f 55.0085f
cbtot 11.2663f 33.5823f 25.8037f
cgs 23.3062f 65.0998f 44.5559f
cgd 694.8924a 2.0823f 2.8242f

```

MOSFET parameter

ii. TF analysis(.tf) :

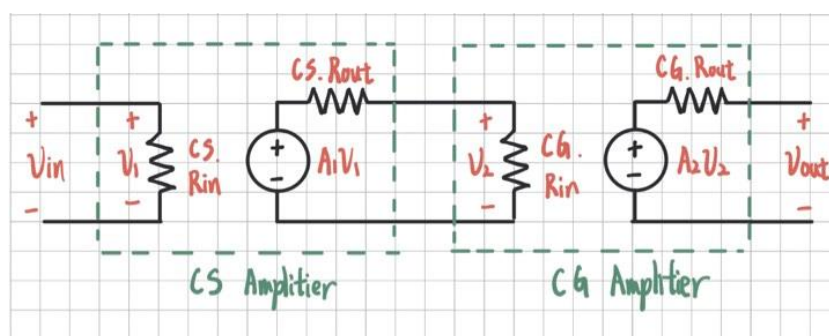
```

****      small-signal transfer characteristics
v(vout)/v2      =      -2.4216
input resistance at v2      =      1.000e+20
output resistance at v(vout) =      99.9670k
      .tf analysis result

```

TF Analysis 的數據會被存放在.lis 檔中，如上圖所示，其中第一項 $gain = -2.42$ ，有滿足 SPEC 所求，但並不等於前述設計中所測得的 gain 相乘($A_1 \times A_2 = -1560$)。

這是由於前述一直有提到的 Amplifier 會受分壓影響，導致放大倍率不如預期，Cascade Amplifier 小訊號模型如下圖：



採用在(b)、(d)小題中實際測得的 $A_1 = -101.87$ 、 $A_2 = 15.31$ 、 $R_{out.CS} = 4.2 \text{ M}\Omega$ 和 $R_{in.CG} = 6533 \text{ }\Omega$ 來做 gain 的手算：

$$gain = A_1 A_2 \times \frac{R_{in.CG}}{R_{out.CS} + R_{in.CG}}$$

計算出來的 $gain = -2.42$ ，與測量結果相符合，代表 Cascade Amplifier 中小訊號模型的建立與使用是正確的。

(f) 測量 Cascade Amplifier 的 Frequency Response :

● Pole and zero analysis(.pz) :

```
*****
***** pole/zero analysis

input = 0:v2          output = v(vout)

      poles (rad/sec)          poles ( hertz)
real      imag      real      imag
-884.994x    0.      -140.851x    0.
-3.23078g    0.      -514.194x    0.

      zeros (rad/sec)          zeros ( hertz)
real      imag      real      imag
28.7669g    0.      4.57839g    0.
719.310g    0.      114.482g    0.

***** constant factor = 334.607u
*****

***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 7.6819      at= 1.2589
              from= 1.0000      to= 100.0000g
bw= 131.6128x
ugb= 268.7055x
```

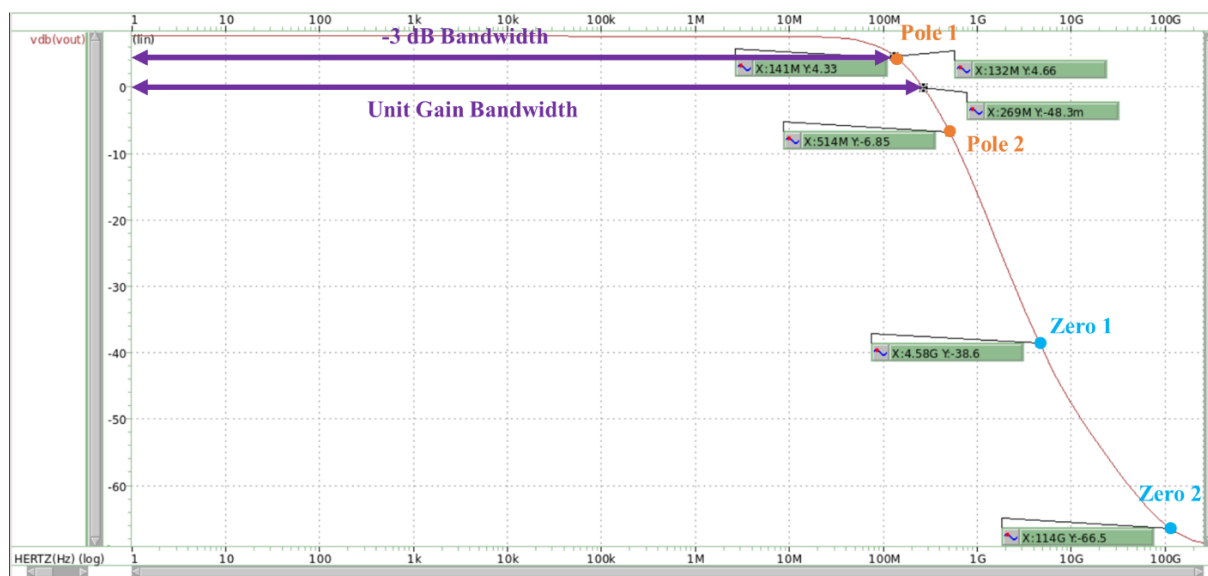
.pz analysis result

使用講義提供的參考指令，對 1 Hz 到 200 GHz(改為 200 GHz 是為了讓所有點都能在圖上標示出)進行 pole 和 zero 的量測，由上圖可以測得，整個 Cascade Amplifier 共有 2 個 pole 分別在 140.85 MHz 和 514.19 MHz(dominate pole 為頻率較小的 pole，為 140.85 MHz，有滿足 SPEC 上要大於 40 MHz 的要求)，與 2 個 zero 分別在 4.58 GHz 與 114.48 GHz。

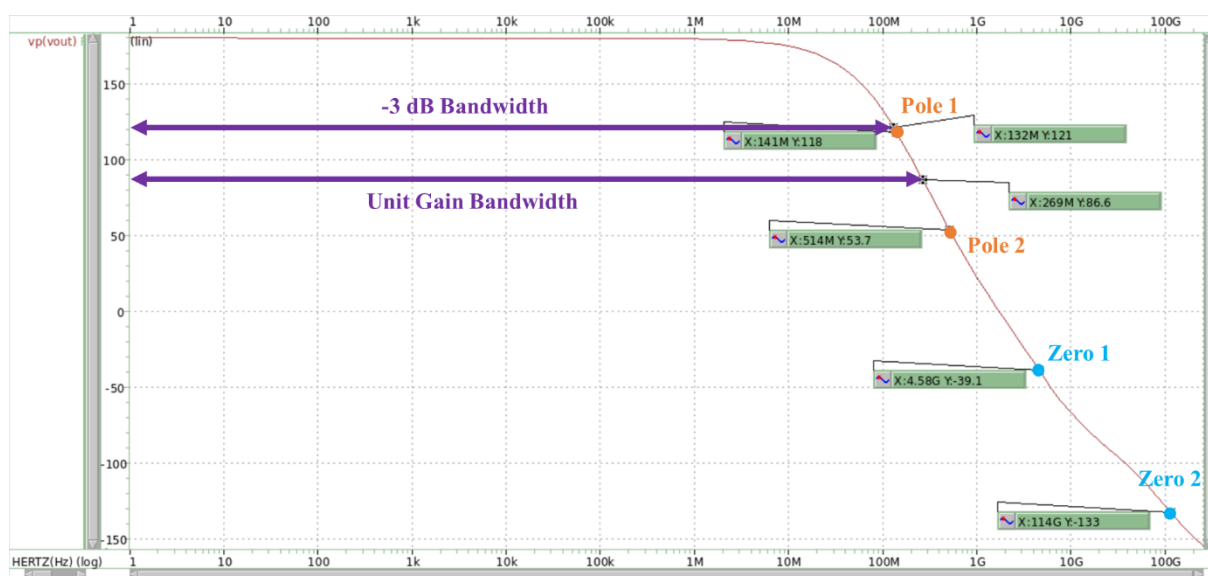
其中 dcgain_in_db 是透過量測最大 gain 值，來代表在 bandwidth 的 dc gain，在 pz analysis 中結果得到為 7.68 dB(即 2.42 倍)，與在 tf analysis 中的結果相符合。

再來 bw 是透過測量比 dc gain 小 3 db 的頻率，來指示出 -3 dB bandwidth，結果為 131.61 MHz。

而最後的 ugb 是透過測量 gain 為 1 時的頻率，來指示出 unit gain bandwidth，結果為 268.71 MHz，也有滿足 SPEC 上要大於 70 MHz 的要求。



gain(dB) vs. Frequency(Hz)



Phase(degree) vs. Frequency(Hz)

將 pz analysis 的結果(pole、zero、-3 dB bandwidth、unit gain bandwidth)繪製於上圖中，可以發現如課堂所學，隨著頻率上升，每過一個 pole 就會讓圖中的斜率-20 dB/dec，每過一個 zero 就會讓圖中的斜率+20 dB/dec。

此外可以看到所設計的 Cascade Amplifier 在頻率在 dominate pole 以下，也就是-3 dB bandwidth 的區段都有不錯的放大效果。而當頻率超出 unit gain bandwidth 的區段後，gain 就小於 1，代表此時放大器不再有放大的效果，反而會讓傳入的訊號變小，導致傳遞效果變差，因此在高頻的環境下無法運作。

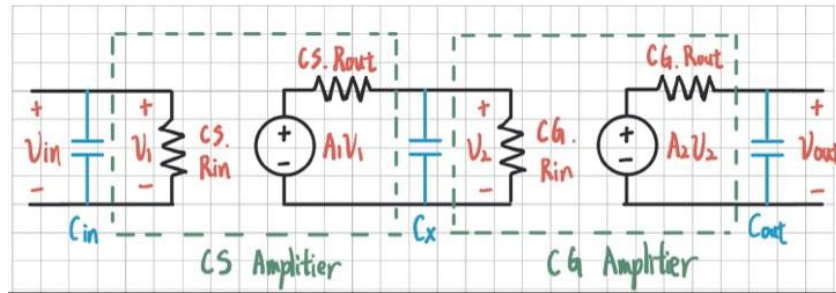
(g) 計算並比較 Dominate Pole :

各點電容的數值會被存放在.lis 檔中，結果如下圖。

nodal capacitance table								
node	=	cap	node	=	cap	node	=	cap
+0:vb1	=	73.2123f	0:vb2	=	51.7068f	0:vdd	=	116.7666f
+0:vin	=	26.3256f	0:vout	=	10.6234f	0:vx	=	64.0449f

Capacitance table

其中 V_{b1} 、 V_{b2} 、 V_{DD} 由於在小訊號模型中都視作 ac ground，因此電容值對 frequency response 沒有影響，考慮剩下節點電容後，將 Cascade Amplifier 小訊號模型改畫如下圖：



$$gain = A_1 A_2 \times \frac{R_{in.CG}}{R_{out.CS} + R_{in.CG}} \times \frac{1}{1 + SC_x \frac{R_{in.CG} R_{out.CS}}{R_{out.CS} + R_{in.CG}}} \times \frac{1}{1 + SC_{out} R_{out.CG}}$$

第一個 pole 為 v_x 端點的影響，有 $\omega_{p1} = \frac{1}{C_x(R_{in.CG} // R_{out.CS})}$ ，將(e)小題中.lis 檔中測得的參數 g_m 、 g_{ds} ，代入在(b)、(d)小題所推論的 $R_{in.CG}$ 、 $R_{out.CS}$ 公式，可以得到 $f_{p1} = 379.78 \text{ MHz}$ ，與 pz analysis 中的 pole 在 514.19 MHz 有蠻大的差異。

第二個 pole 則為 v_{out} 端點的影響，有 $\omega_{p2} = \frac{1}{C_{out} R_{out.CG}}$ ，將(e)小題中.lis 檔中測得的參數 g_m 、 g_{ds} ，代入在(d)小題所推論的 $R_{out.CG}$ 公式，可以得到 $f_{p2} = 190.15 \text{ MHz}$ ，與 pz analysis 中的 pole 在 140.85 MHz 有蠻大的差異。

而 dominate pole 的算法可以利用課堂上有提到的簡易估計方式，即 $\omega_{p.dominate} = \frac{1}{\sum RC} = \frac{1}{C_x(R_{in.CG} // R_{out.CS}) + C_{out} R_{out.CG}}$ ，將上述結果代入，可以得到 $f_{p.dominate} = 126.71 \text{ MHz}$ ，此點就有與 pz analysis 中結果中頻率較小的 dominate pole 在 140.85 MHz 相近，是個算準確的估計方式。

考慮兩個 pole 手算與測量有所差異的原因，我推測是由於確切的電容、電阻值計算，要在考慮 MOS 寄生電容的情況下，去對小訊號模型做加入考慮 miller effect 的轉換與電路分析，而在 Hspice 的模擬中，由於無法從.lis 檔中得知各部分細節的寄生電容數值，因此無法更進一步的去作 frequency response 的分析。

(h) Performance Table 填表：

Table I Performamance Table

Work Item	Unit	Specification	Simulation	Calculation
Vdd	V	1.8		
	Common Source Amplifier			
Vin	V	-	0.45	
Vb1	V	-	1.2	
Vo	V	0.5	0.503	
Gain(A ₁)	V/V	> 100	101.87	101.89
	Common Gate Amplifier			
Vin	V	0.5	0.5	
Vb2	V	-	1.05	
Vo	V	-	0.767	
I	μA	10	10.33	
Gain(A ₂)	V/V	> 15	15.31	15.30
	Cascade Amplifier			
Vin	V	-	0.45	
Vx	V	0.5	0.502	
Vo	V	-	0.800	
Gain (A ₁ × A ₂)	V/V	> 1	2.42	
Dominate Pole	MHz	> 40	140.85	126.71
Unit Gain Bandwidth	MHz	> 70	268.71	

備註：原先表格中沒有 V_{b2} 的欄位，為讓設計的資訊更為詳細，所以我有加上此欄位於表格中