**EE3235 Analog Integrated Circuit Analysis and Design I**

**Final Project**

**SSADC with Bandgap Reference**

姓名：朱豐蔚

學號：110060027

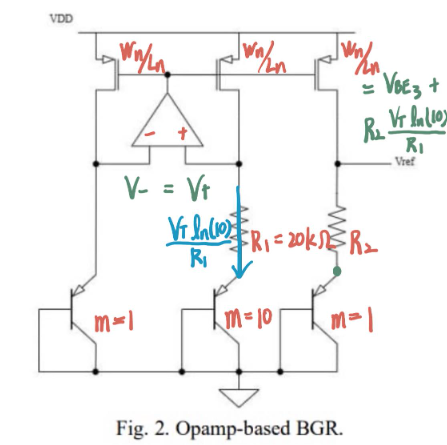
系級：電資院學士班25

**Part I – Bandgap Reference**

1. Design Consideration

(a) Determine the ratio of the two resistors through calculation, and calculate the expected Vref

(b) Determine the absolute value of the two resistors



照著講義的設計流程去設計bandgap reference，第一步是先設計bgr中兩個電阻值，而由於(a)與(b)彼此有所掛鉤，因此我將(a)與(b)一起進行設計。

首先先考慮power的限制50 μW，為了讓後續設計Opamp、constant\_gm能有更多的power預算，因此我想讓bgr這部分只使用15 μW，也就是一條路徑只能5 μW，因此電流只能流過3 μA，以此可先初步設計n與分別為10和20 kΩ，此時電流為，如上圖所示。

在已知電流的情況下先反推的數值(這邊BJT使用PNP\_V50X50)：

可以得到為0.7 V左右，再由第八課講義給的negative TC公式，可以推算等於的negative TC為：

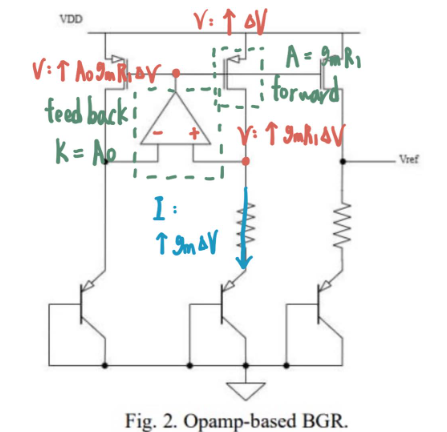
將各參數代入可以得到negative TC為-1.617 mV/°K。

由上圖也可推知，目標產生電壓會等於，又已知positive TC為= 0.087 mV/°K，代表若要使達成0 TC，要選擇電阻比值為8.1。

實際上先使用理想Opamp去測試bgr電路後，我發現選209 kΩ(電阻比值為10.45)才有最好的TC表現，我推測這個原因是因為在製程中參數像是m、、等等的微小差異所累積而成，加上實際上電流公式、電壓公式不夠理想所致。

最後期望的會等於為1.33 V左右。

(c) PSR (Power Supply Rejection) calculation



首先可以先從改變的影響看起，若遇到電壓提升的noise ，此時一瞬間pMOS的驅動電壓會上升，進而影響bgr中間路徑中的電流上升。

接著由於路徑上的電流上升，對於電位就會上升，再經過一次Opamp的放大，就會在Opamp的output端產生一個的電壓提升，這個電壓提升對於整個迴圈來講會起到負迴授的作用，去抵消剛剛由noise所造成的一系列影響，達到穩定系統的作用。

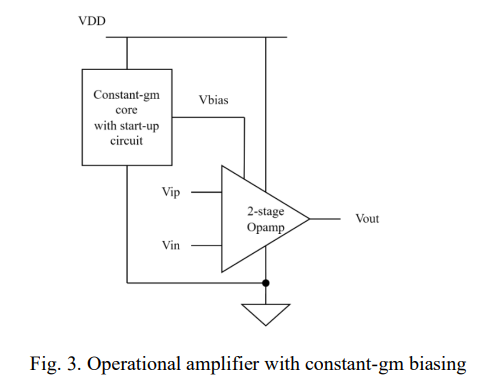
使用前幾次Lab的負迴授迴圈分析方式，首先這個電路中的forward network為中間的nMOS與電阻所組成的common gate amplifier，其gain A為，而feedback network為Opamp本身，其gain K為，因此可以分析close loop gain如下式：

最後注意PSR是對上noise的放大情況，可以寫成下面式子：

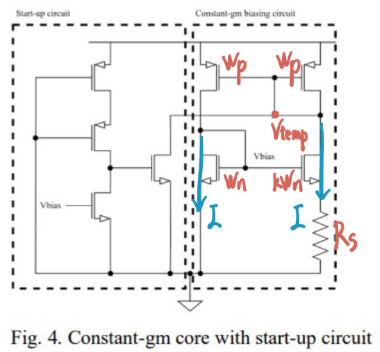
因此若想要透過降低close loop gain的方法降低PSR，可以透過三個方式，第一個是提升Opamp的gain，第二個是提升，第三個是降低，注意降低是較為不可行的方式，因為降低會連帶使得電流上升、power上升，在有power限制的bgr中不採用第三種解決方式。而在固定的情況下，前述為了達到0 TC，也會因此被固定住，因此後續都以提升Opamp的gain值為降低PSR的方式。

將前述選擇的電阻參數代入PSR中，可以得到若要達成SPEC所寫的-40 dB，所設計的Opamp gain應該至少要為1000以上。

(d) Opamp design



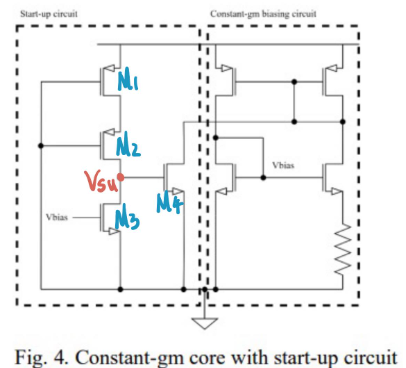
首先可以看到Opamp完整的架構中包含了constant\_gm與Opamp兩部分，其中Opamp需要收到來自constant\_gm給出來的偏壓，我設定給出0.5 V，目的是後續接給Opamp的nMOS作為偏壓來源，因此先看constant\_gm與start up circuit的設計。



目標是設定為0.5 V，先不看左邊的start up circuit，為了設計上方便，都令所有MOS的L為2 μm(L較大是為了防止channel length modulation的影響)，由constant\_gm中的兩個nMOS size、驅動電壓差異、電流相同可以列出下列式子：

有了電流，再使用飽和電流公式去推為0.5 V時的k、、量值：

選k = 4、Wn為2 μm代入，可以得到要選16 kΩ左右。實際上去測試constant\_gm電路後，我發現選26 kΩ時才有為0.5 V的結果，我推測這個原因是因為現在這個架構的接法有body effect的產生，加上課堂上所學的公式是理想的，而Hspice模擬會考慮進更多因素，這才使得電流與偏壓的表現與預期有些微落差。



接著是start up circuit的部分，start up的目的就是在一開始還為0 V的時候，讓M4有必開的效果，使之產生電流啟動右半部的constant\_gm，而當變為0.5 V後，就將M3給打開、M4給關斷，讓constant\_gm不要再受start up circuit的影響。

圖中可以看到，M1、M2的pMOS會是永遠開啟的，因此當一開始M3 cut off時，會將充電，使之到可以將M4打開的程度，啟動constant\_gm，而當M3因為升起來後打開，就要將的電壓給放掉，因此可以看出M3的size要顯著大過M1與M2，才能保證放電速度比充電來得快。

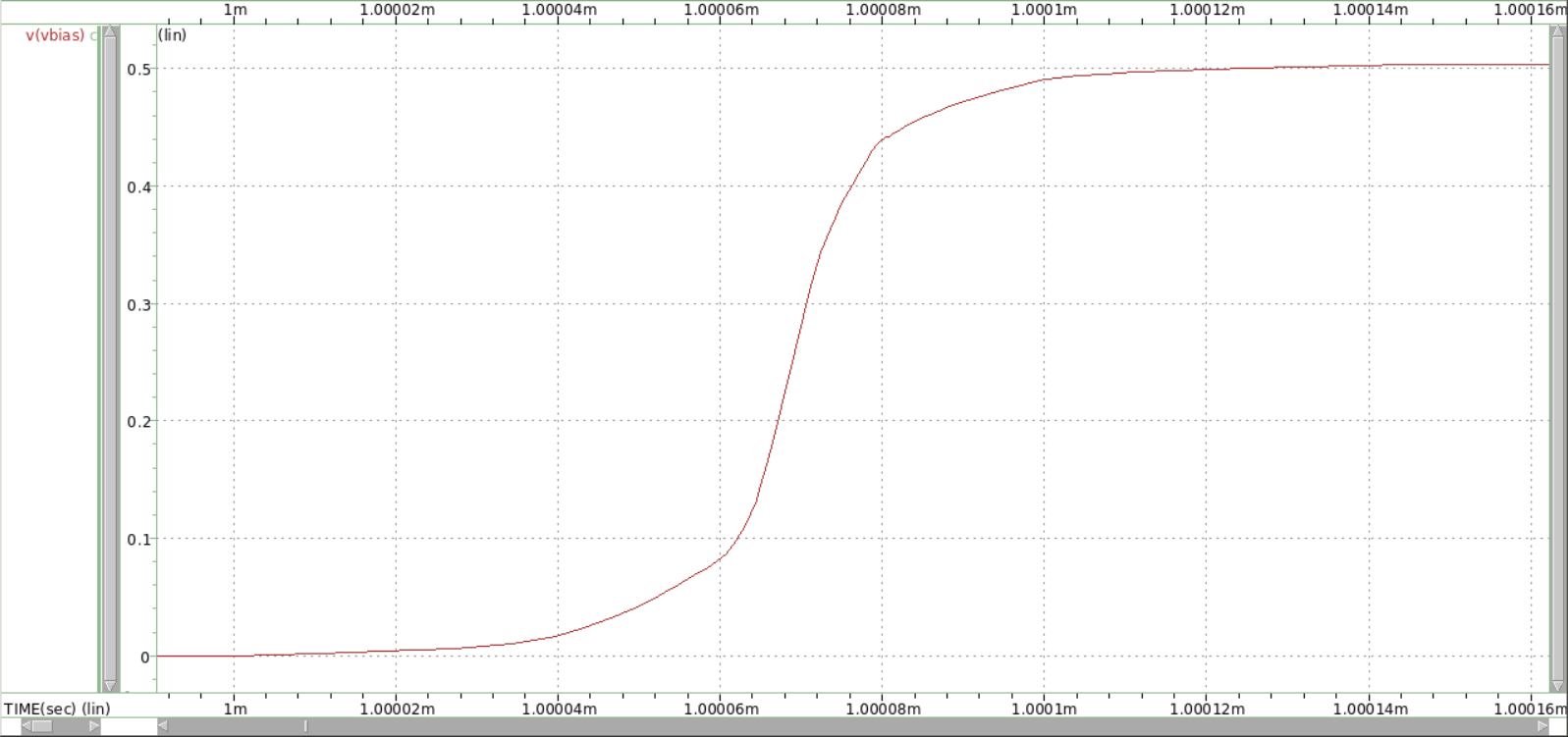
最後我選擇M1 M2 W為0.25 μm、M3 W為10 μm、M4 W為1 μm作為start up circuit的設計。

實際簡單跑模擬去檢查電路是否有成功運作：



**Vbias(V) vs. VDD(V)**

可以看到在為1.62 V到1.98 V的範圍之內，都很穩定的輸出0.5 V，此結果滿足預期，代表constant\_gm電路有成功運作。

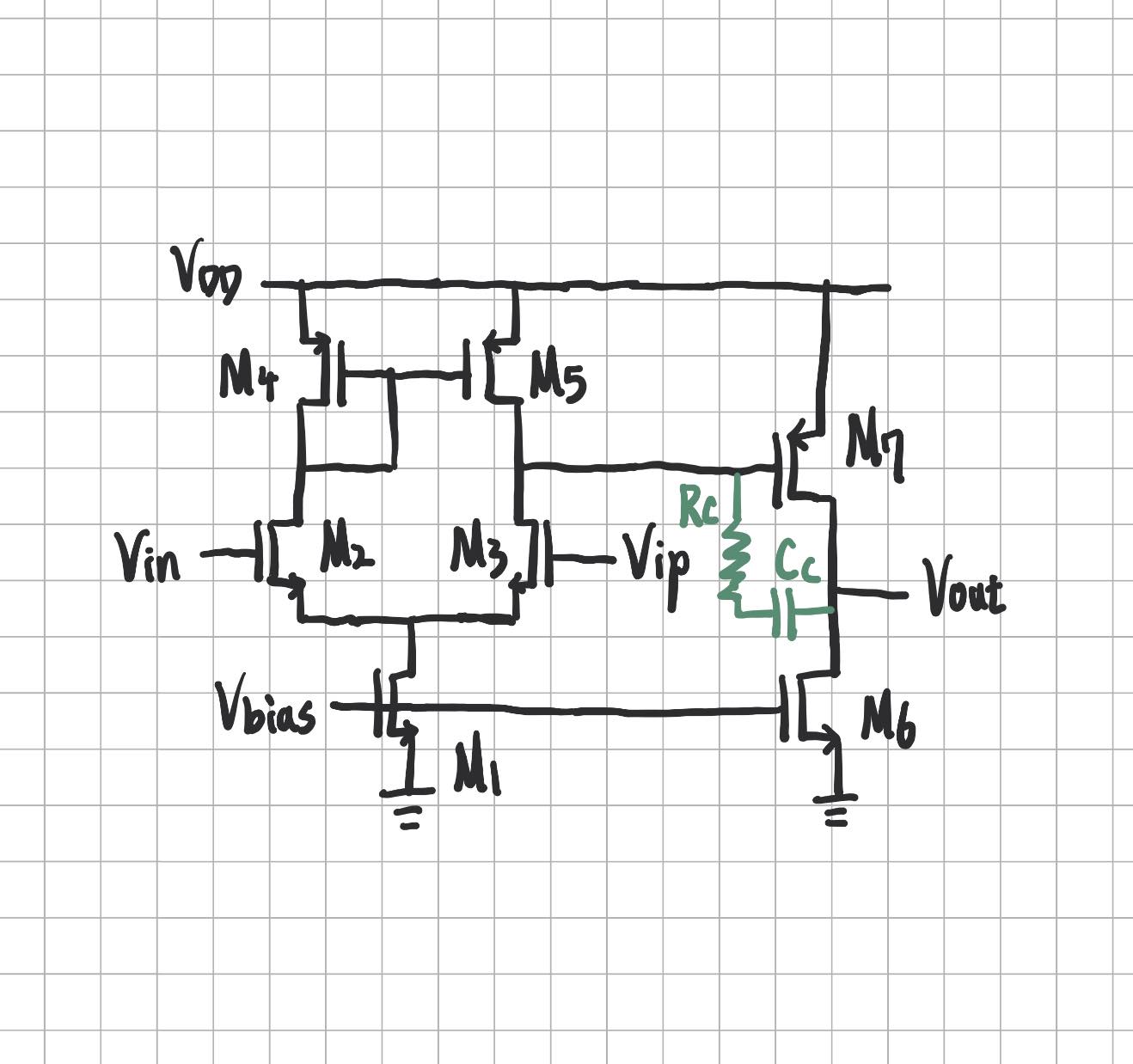


**Vbias(V) vs. Time(msec)**

使用.tran analysis，可以看到start up circuit有成功運作，滿足設計時的預期。

最後檢查整個constant\_gm與start up circuit的power表現，由前述式子可以推得constant\_gm的I為1.6 μA，power為5.8 μW(兩條路徑)，而start up circuit由於一直開著，一直有漏電為M2的飽和區電流3 μA，power為5.4 μW。

回想power總共限制50 μW，因此最後留給Opamp的power預算就只剩50 - 5.8 - 5.4 - 16.2 = 22.6 μW。



Opamp的設計部分在前幾次Lab都有經驗了，在此次project中，需要gain越大越好，而且要注意power的限制，首先先針對power限制去設計電流源，因此我先設計為0.2去限制power的用量。

接著考慮gain值要越大越好，因此在M2、M3、M4、M5的L選擇上我取5 μm來透過channel length modulation增加first stage中gain的倍率，在second stage中的common source amplifier則是更進一步選擇L為10 μm來增加gain的倍率。

這邊注意在first stage中的differential pair，接出去的線路要與同側，這是由於second stage為common source amplifier，放大倍率為負值，因此differential pair也要選擇放大倍率為負值才能使得整體的Opamp有放大倍率為正值的特性。

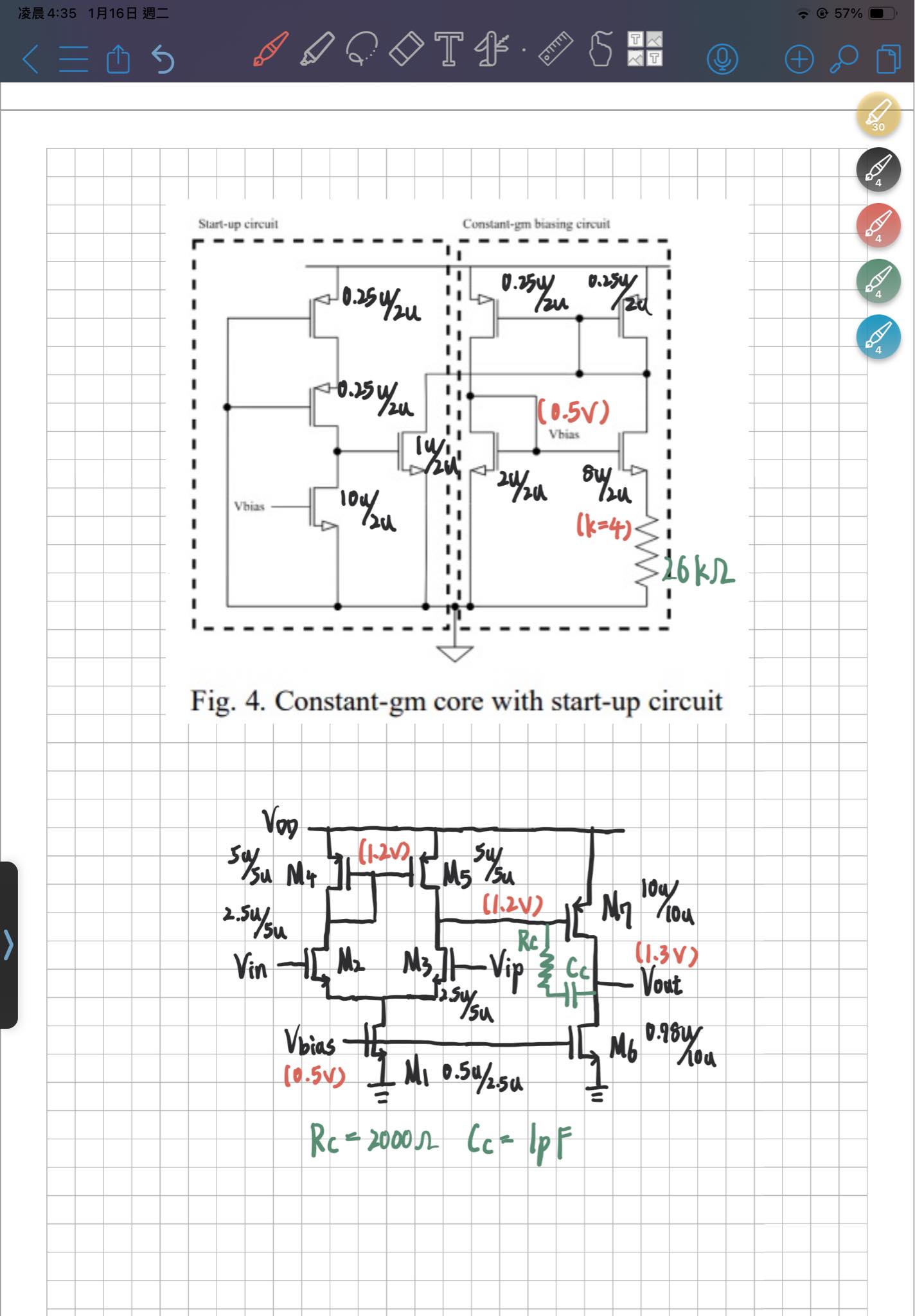
再來一點很重要的是的電位選擇，回憶在bgr中Opamp output會回接給pMOS的gate端，因此在bgr中我設計pMOS size很大，這樣一來就能讓bgr中的Opamp output被定在約莫1.3 V的位置(在為1.8 V的情況下)，而設計Opamp時要考慮到這一點，也要設計盡可能靠近1.3 V的Opamp，這樣一來才不會造成Opamp輸入端、有過大的電位差，畢竟維持兩者電位相同是bgr運作中最為重要的前提。

回過頭來看的設定，若想讓其約莫在1.3 V的電位，那麼就要讓M7 pMOS的size比正常平衡還要大、M6 nMOS的size比正常平衡還要小，去讓channel length modulation作用下自然到想要的電位表現，因此我選擇M7的W為10 μm、M6的W為0.78 μm去讓在1.3V。

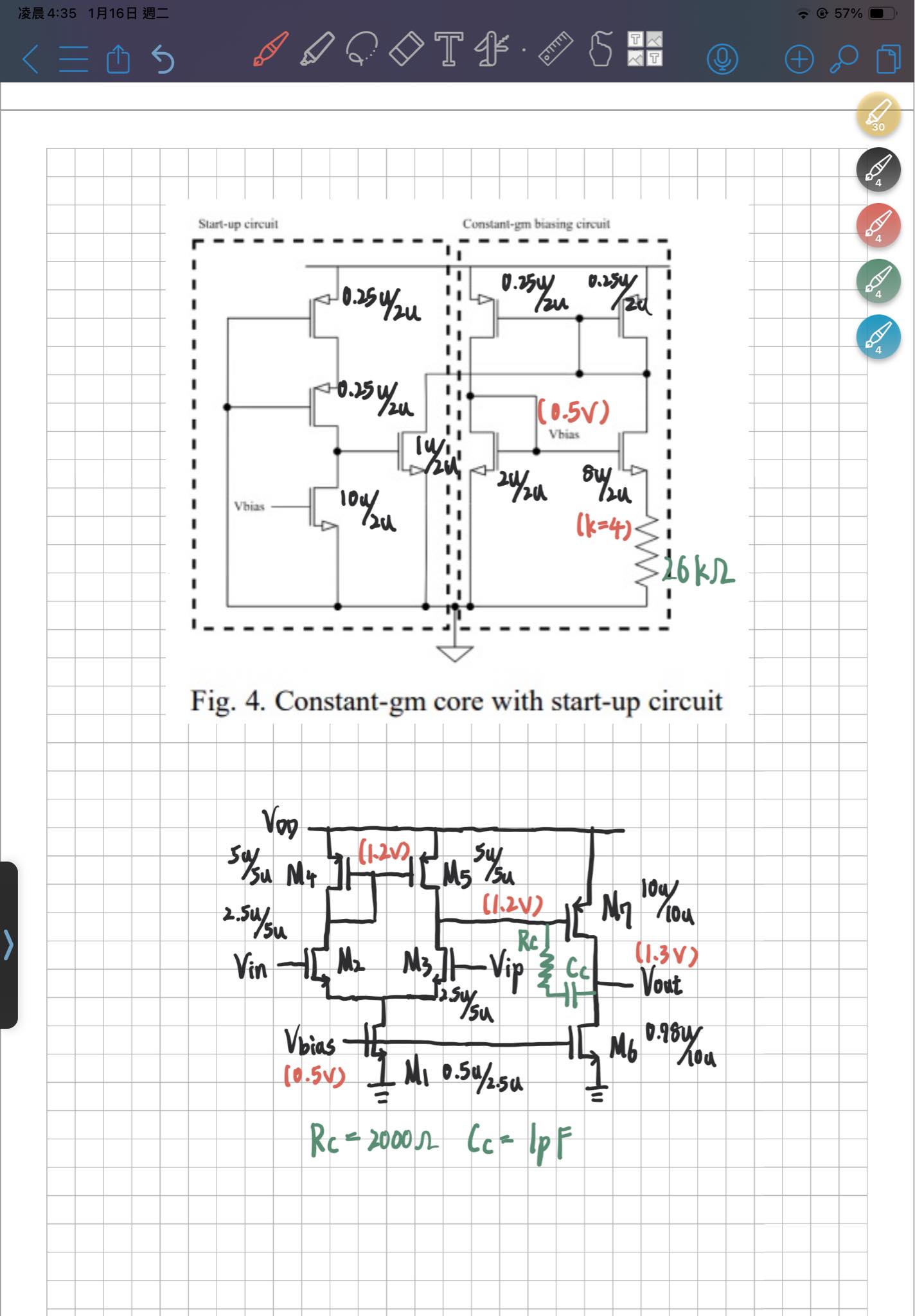
最後是補償電路的設計，為了讓bgr有更好的PSR表現，因此另外在Opamp中加入電阻與電容構成的補償電路(同Lab 6)，補償電阻設為2000 Ω、補償電容設為1 pF。

(e) Complete the whole bandgap reference circuit design

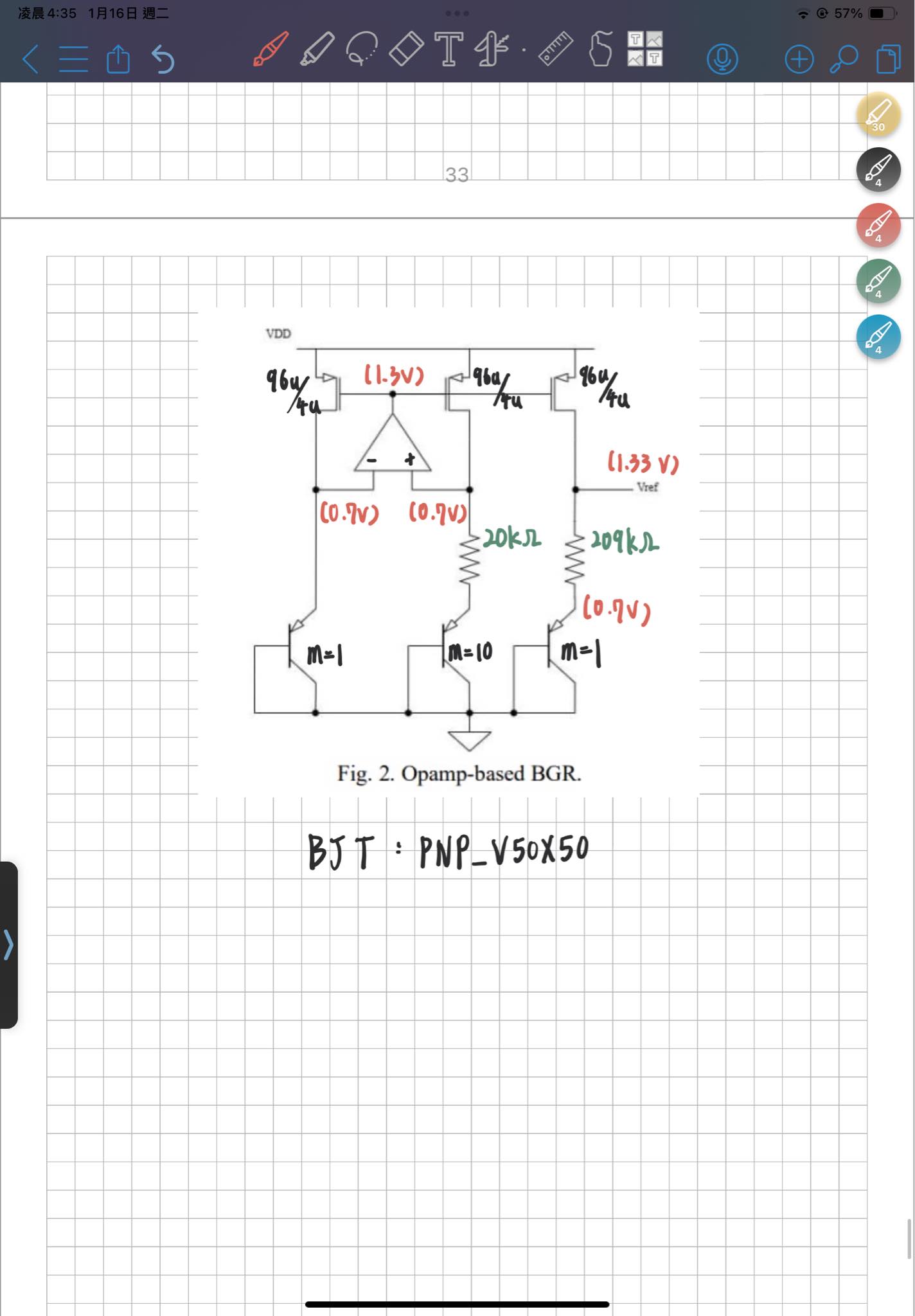
以下將統整所有設計的參數、尺寸與偏壓，首先是start up circuit與constant\_gm：



再來是Opamp的設計：



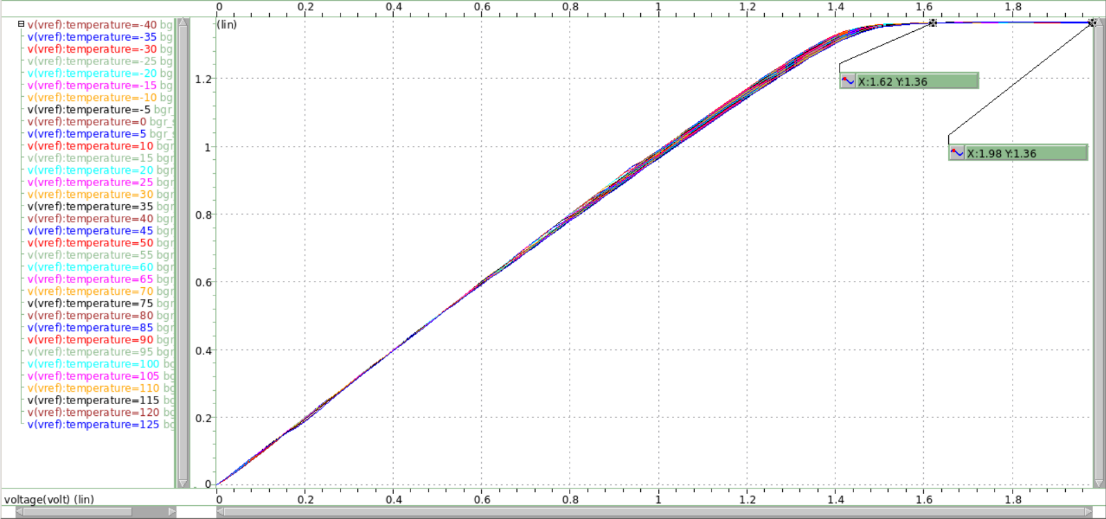
最後是bgr的設計：



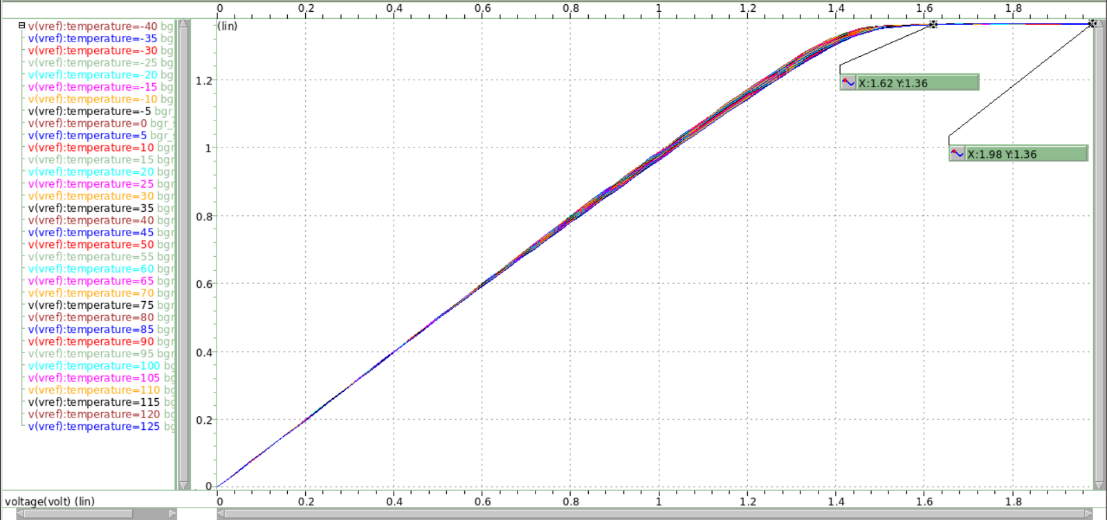
2. Simulation Result

(a) .DC

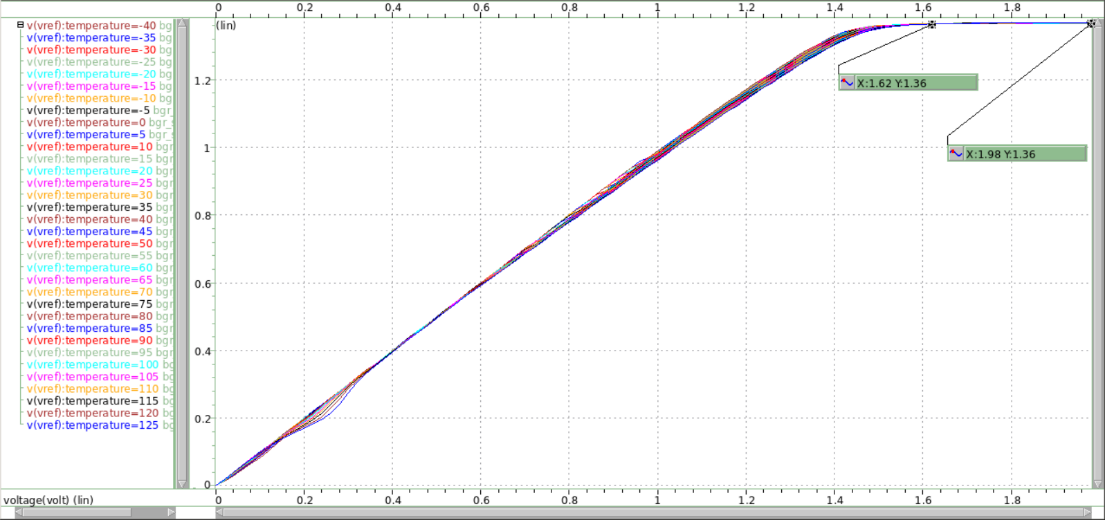
首先看三個corner下，改變對的影響，看看是否constant\_gm的設計能夠穩定的量值。



**TT corner Vref(V) vs. VDD(V) with differential temperature from -40 to 125°C**



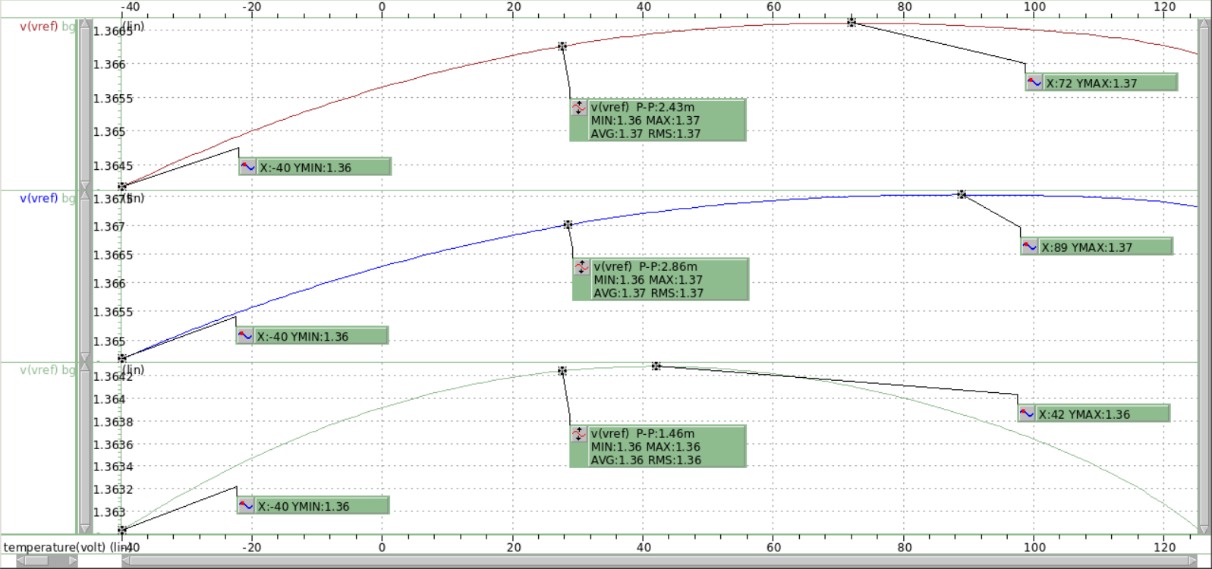
**FF corner Vref(V) vs. VDD(V) with differential temperature from -40 to 125°C**



**SS corner Vref(V) vs. VDD(V) with differential temperature from -40 to 125°C**

可以看到在整個溫度範圍(-40度到125度)、整個電壓範圍(等於1.62到1.98 V)、三個corner下，都有很穩定的表現1.36 V，這代表前述constant\_gm的設計可以產生很穩定的，讓Opamp去運作並讓bandgap reference有很穩定的表現，此結果皆與前述設計時的預測相符合。

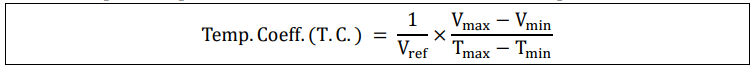
接著改以溫度去DC sweep，去計算TC表現是否都有滿足SPEC，首先是在TT corner下三種偏壓的表現：

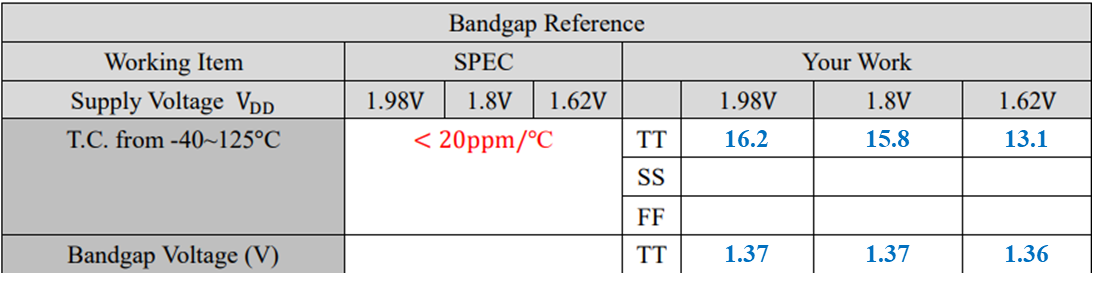


**TT corner Vref(V) vs. Temperature(°C)**

**VDD = 1.8 V: Red line / VDD = 1.98 V: Blue line / VDD = 1.62 V: Green line**

以此結果可以利用講義給的TC公式，算出TT corner下三種偏壓的TC表現，其中為電位最高點的溫度、為電位最低點的溫度，最後將結果紀錄在下表當中：

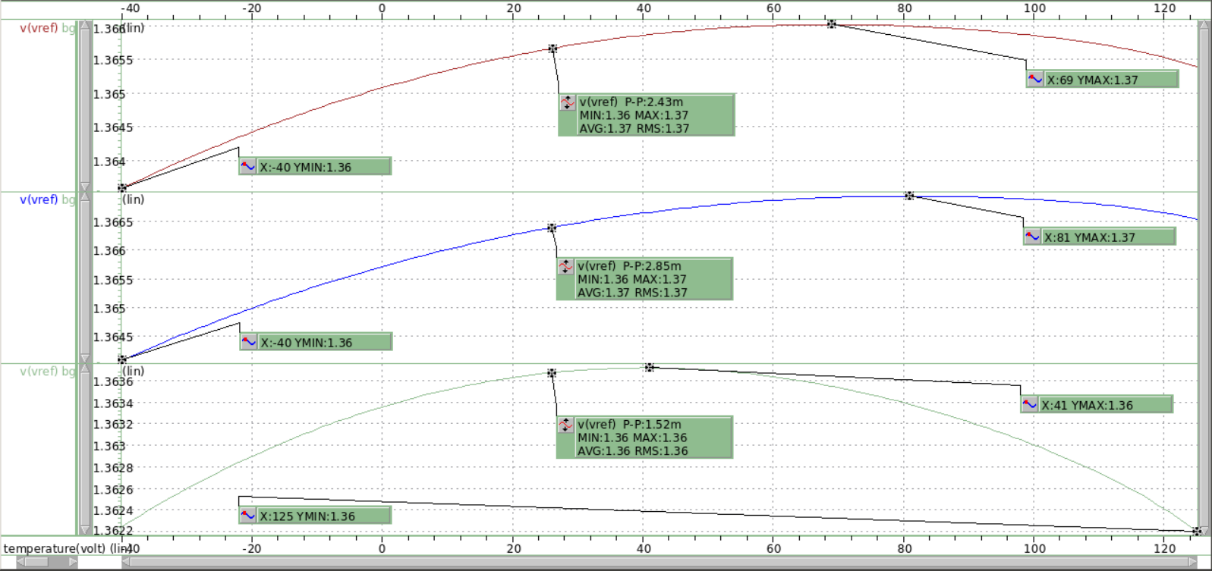




可以看到在TT corner下，都有滿足SPEC所求的20 ppm/°C以下，代表溫度的變化只會微微影響表現，bandgap reference很穩定。

另外可以發現，的電壓1.37 V有滿足前述設計的預期。

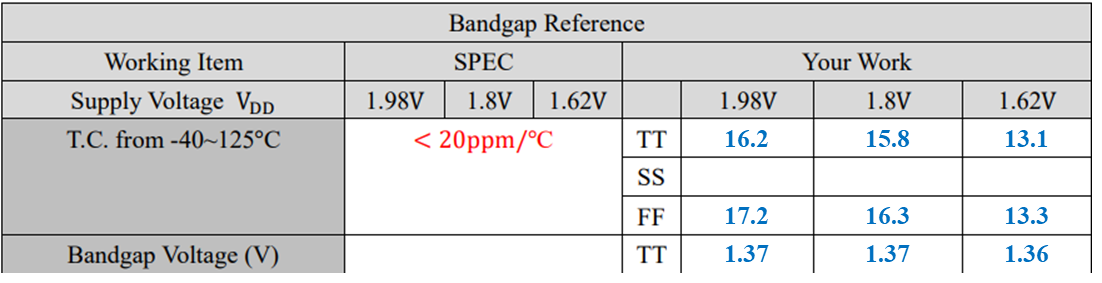
接著看在FF corner下三種偏壓的表現：



**FF corner Vref(V) vs. Temperature(°C)**

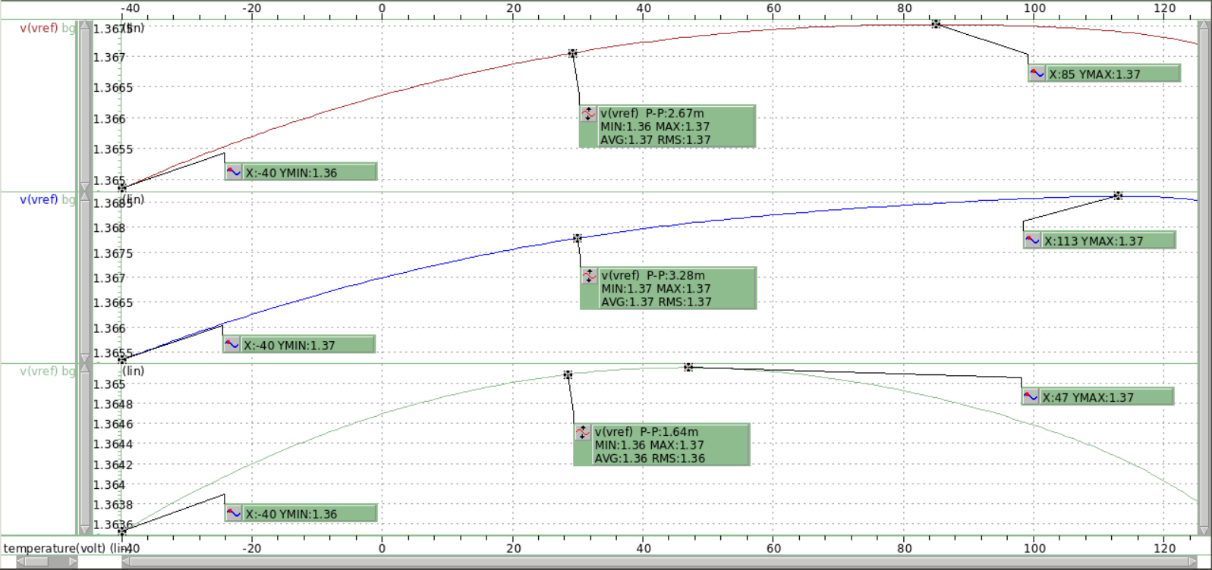
**VDD = 1.8 V: Red line / VDD = 1.98 V: Blue line / VDD = 1.62 V: Green line**

以此結果算出FF corner下三種偏壓的TC表現，並將結果紀錄在下表當中：



可以看到在FF corner下，都有滿足SPEC所求的20 ppm/°C以下，代表溫度的變化只會微微影響表現，bandgap reference很穩定。

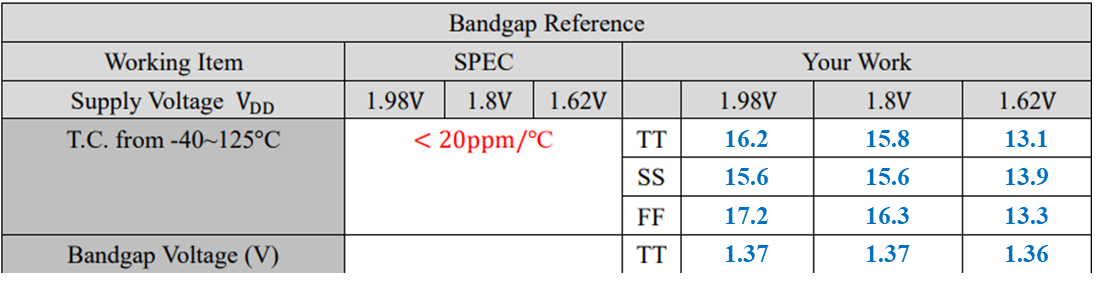
接著看在SS corner下三種偏壓的表現：



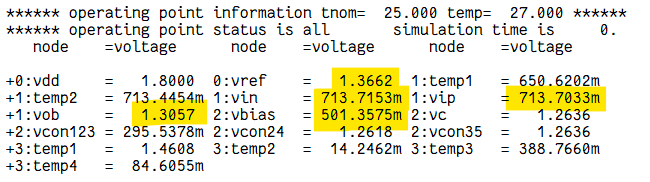
**SS corner Vref(V) vs. Temperature(°C)**

**VDD = 1.8 V: Red line / VDD = 1.98 V: Blue line / VDD = 1.62 V: Green line**

以此結果算出SS corner下三種偏壓的TC表現，並將結果紀錄在下表當中：



可以看到在SS corner下，都有滿足SPEC所求的20 ppm/°C以下，代表溫度的變化只會微微影響表現，bandgap reference很穩定。



**Operating point of bgr**

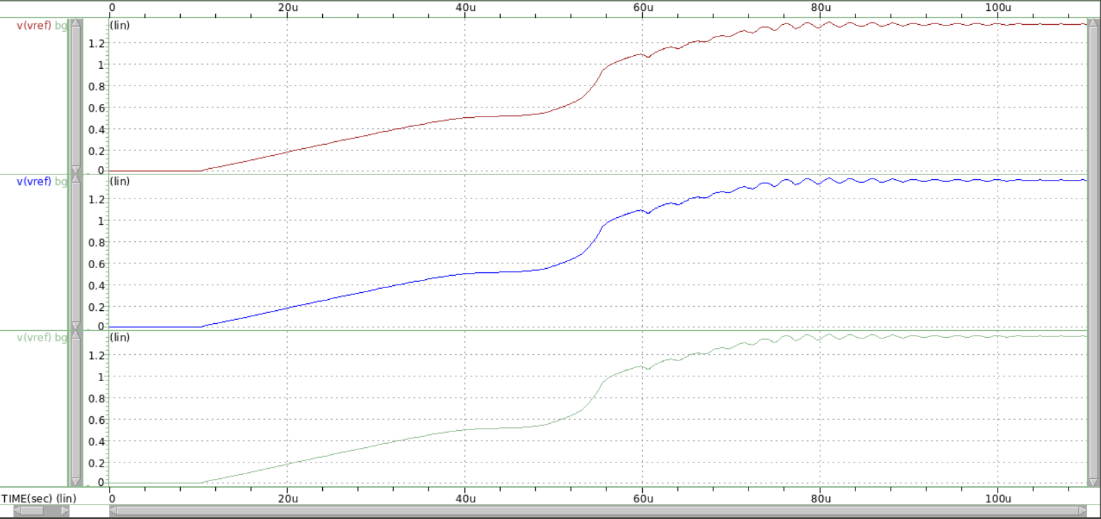
另外可以看到約為1.37 V，這與前述設計時的預期1.33 V相符合，而等於等於約為0.71 V，也與前述設計時的預期0.7 V相符合，再來看Opamp output為1.3 V，與前述推論當MOS size設很大會有的結果相符合，最後看contant\_gm產生的偏壓為0.5 V，也與設計的預期相符合。綜合上述，整個bgr電路設計模型的使用與公式推論都是正確的。

(b) .Tran



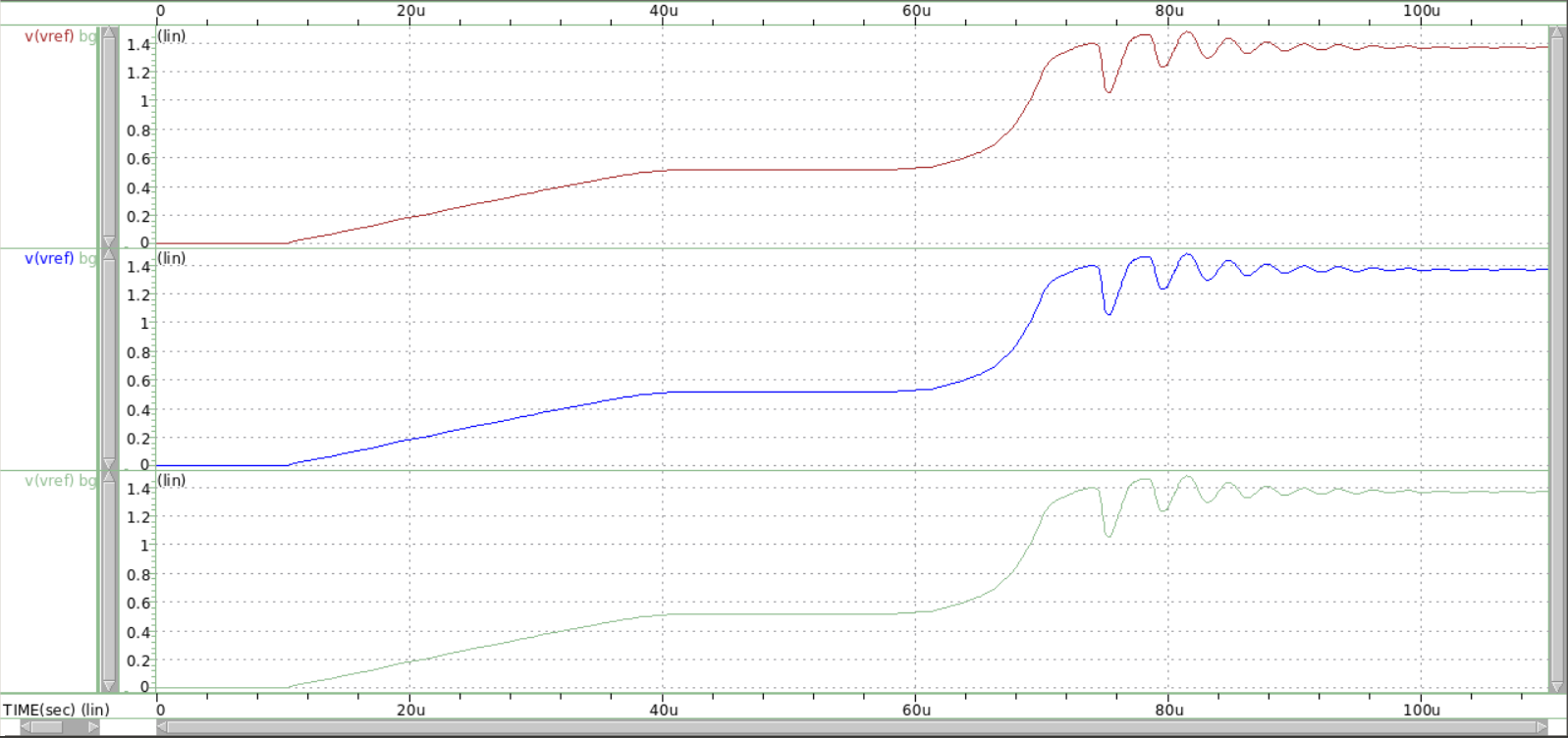
**TT corner Vref(V) vs. Time(μsec)**

**VDD = 1.8 V: Red line / VDD = 1.98 V: Blue line / VDD = 1.62 V: Green line**



**FF corner Vref(V) vs. Time(μsec)**

**VDD = 1.8 V: Red line / VDD = 1.98 V: Blue line / VDD = 1.62 V: Green line**

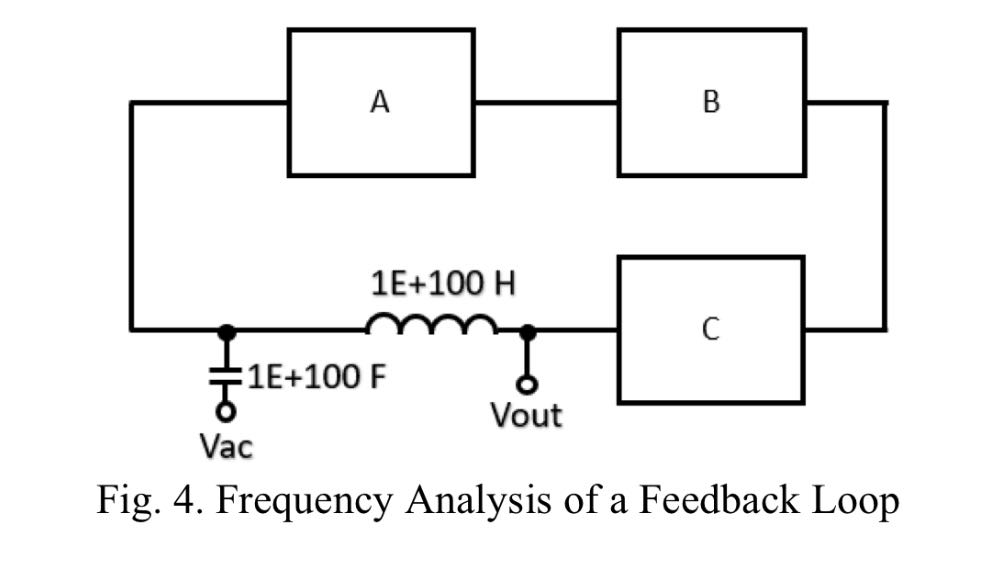


**SS corner Vref(V) vs. Time(μsec)**

**VDD = 1.8 V: Red line / VDD = 1.98 V: Blue line / VDD = 1.62 V: Green line**

可以看到在整個電壓範圍(等於1.62、1.8、1.98 V)、三個corner下，都能在100 μsec前穩定下來，表示start up circuit的設計有成功運作。

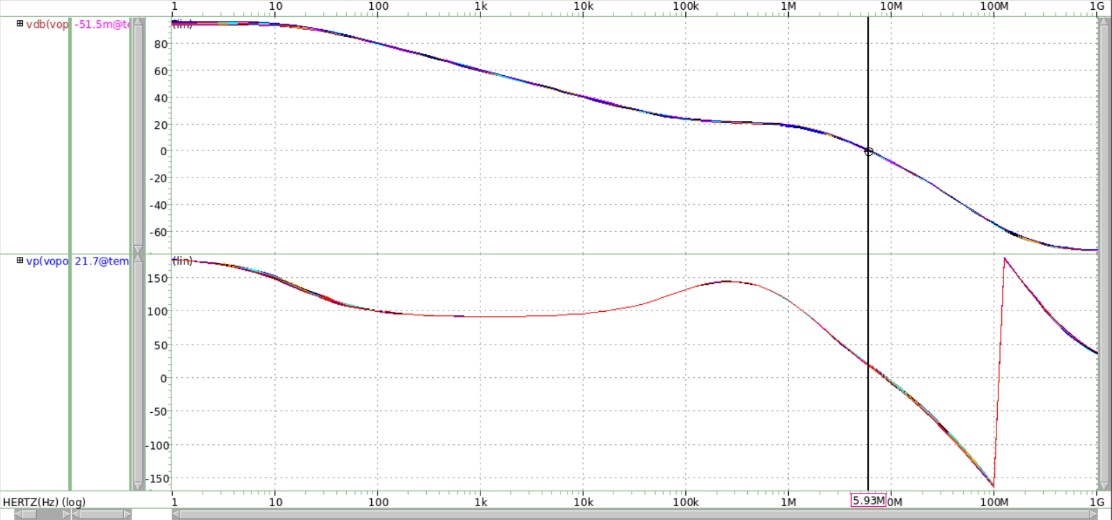
(c) .AC



使用Lab 6中的break loop分析方式，去看整個close loop是否會出現不穩定的情況，整個close loop一樣可以使用上面的A、B、C去做代表，其中A為bgr中央路徑的pMOS，B為電阻，A與B構成common gate amplifier形成forward network，C為Opamp形成feedback network。

因此在(bgr中pMOS的gate)隔著一個大電容給入作為close loop檢測的input，並且與Opamp output端隔了一個大電感，大電容的目的只是為了讓給入的不用設定DC偏壓，而大電感的目的是為了讓AC訊號沒辦法通過，同時依然能維持電路運作下的DC偏壓設定，這樣就可以在電路上達到breakdown的效果。

接著進行pole and zero analysis結果如下，首先先看TT corner的結果：



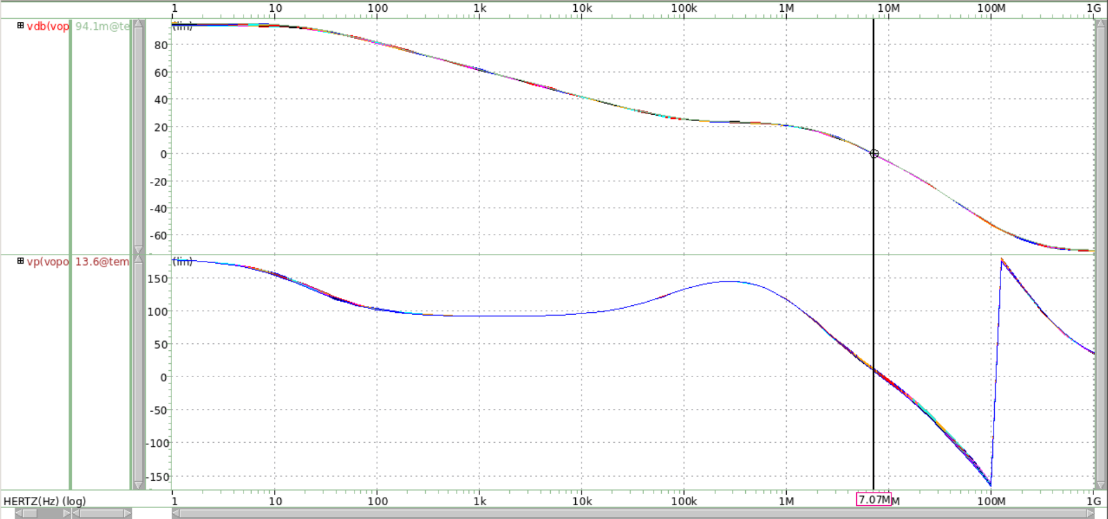
**TT corner VDD = 1.8 Frequency response**

**with differential temperature from -40 to 125°C**

**gain(dB): Upper graph / phase(degree): Lower graph**

可以看到在TT corner下，為1.8 V有phase margin 21.7 degree，表示close loop是stable的，同理可以測得為1.98 V、1.62 V時的結果為16.3、21.0 degree。

再來看FF corner的結果：



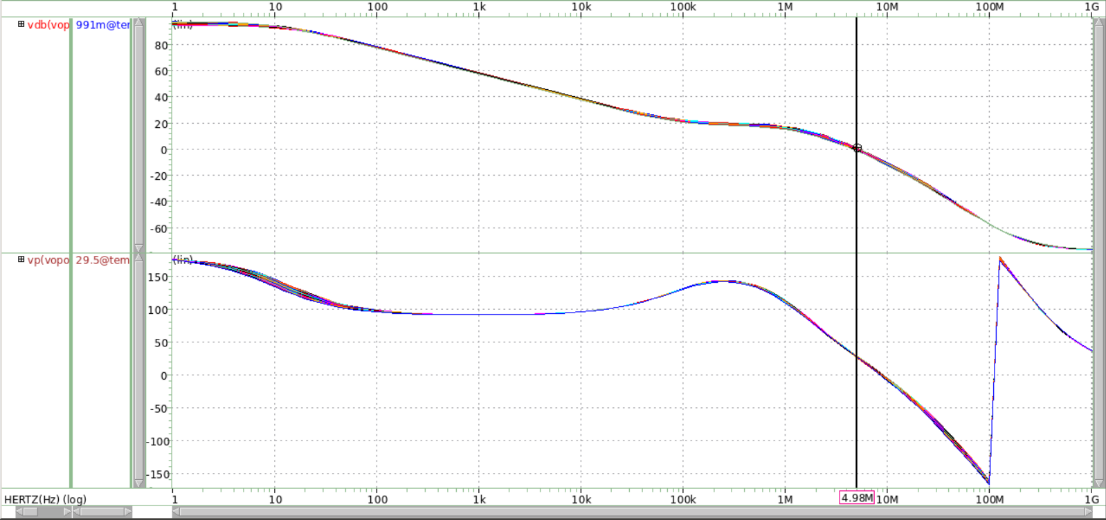
**FF corner VDD = 1.8 Frequency response**

**with differential temperature from -40 to 125°C**

**gain(dB): Upper graph / phase(degree): Lower graph**

可以看到在FF corner下，為1.8 V有phase margin 13.6 degree，表示close loop是stable的，同理可以測得為1.98 V、1.62 V時的結果為11.5、14.6 degree。

最後是SS corner的結果：



**SS corner VDD = 1.8 Frequency response**

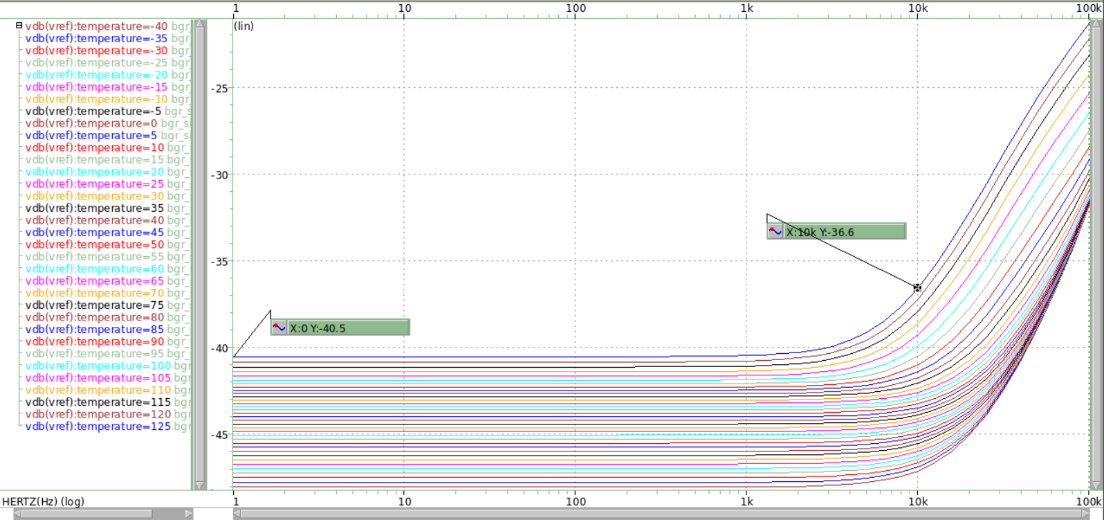
**with differential temperature from -40 to 125°C**

**gain(dB): Upper graph / phase(degree): Lower graph**

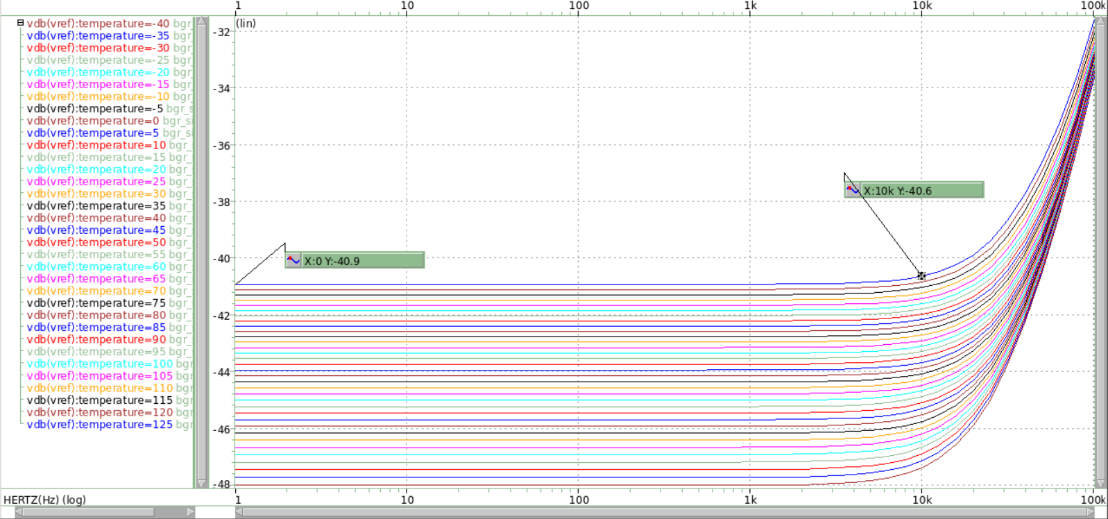
可以看到在SS corner下，為1.8 V有phase margin 29.5 degree，表示close loop是stable的，同理可以測得為1.98 V、1.62 V時的結果為21.7、31.6 degree。

綜合上述，可以發現不管在什麼條件下，整個負迴授的過程都會是穩定的，不會在某些頻率下出現起振的問題。

接著看bandgap reference的PSR表現，在給入小訊號(為1.8 V)，並用AC analysis搭配溫度的sweep來做分析，首先先看TT corner的PSR表現：



**TT corner PSR(dB) vs. frequency(Hz) with differential temperature from -40 to 125°C**

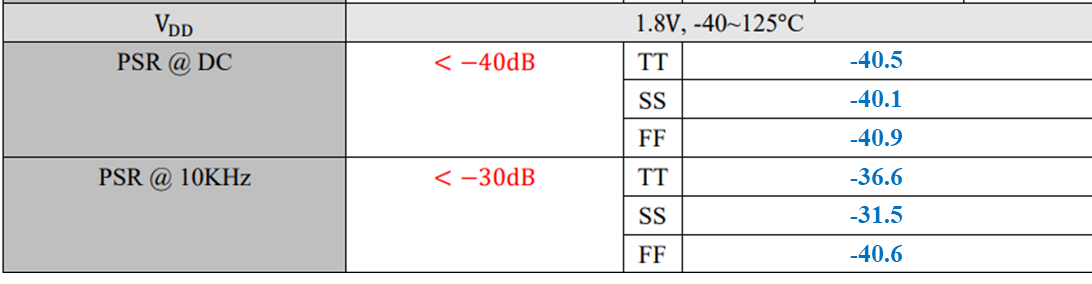


**FF corner PSR(dB) vs. frequency(Hz) with differential temperature from -40 to 125°C**



**SS corner PSR(dB) vs. frequency(Hz) with differential temperature from -40 to 125°C**

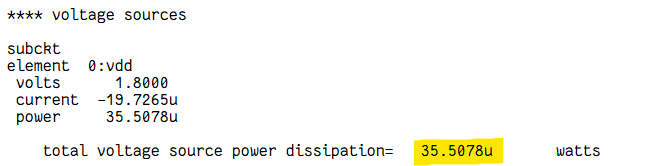
將結果紀錄在下表當中：



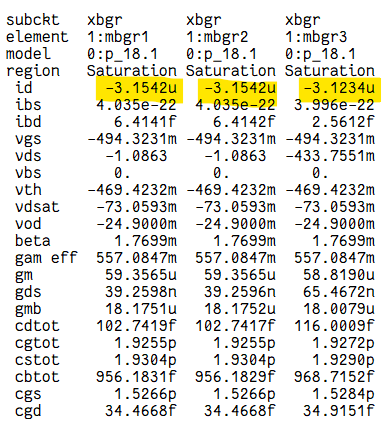
PSR皆有滿足SPEC所求，代表bandgap reference的設計是不怕有noise的。

(d) power and MOSFET parameter

最後看power的表現是否有滿足所求，將給入1.8 V、溫度給27度、TT corner下 測量bandgap reference的power表現，結果如下：

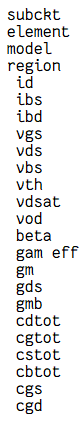
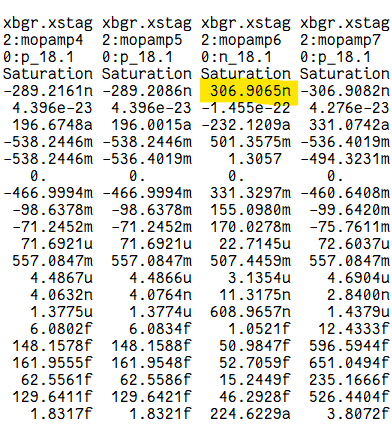
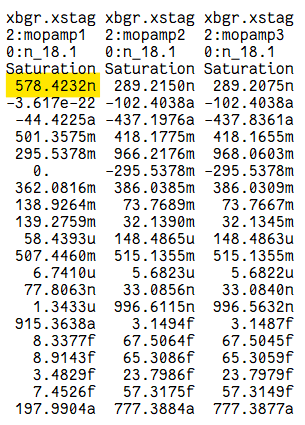


總功率為35.5 μW，有滿足SPEC的小於50 μW。



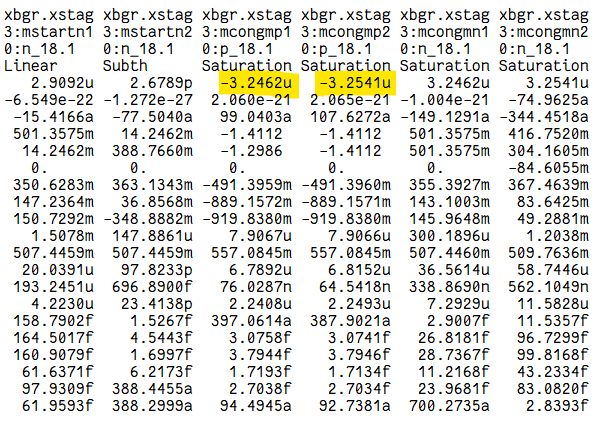
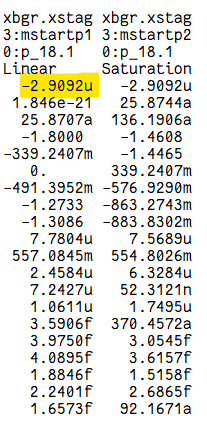
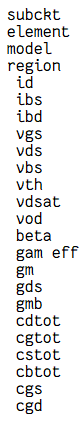
**MOSFET parameter of bgr**

可以看到三條路徑的電流都約為3.1 μA，與前述設計時的預期3 μA相符合，代表設計的推論與模型是正確的，bgr(不含Opamp)共耗電約17 μW。



**MOSFET parameter of Opamp**

可以看到Opamp中的兩個stage電流分別為578 nA和307 nA，共耗電約1.6 μW。

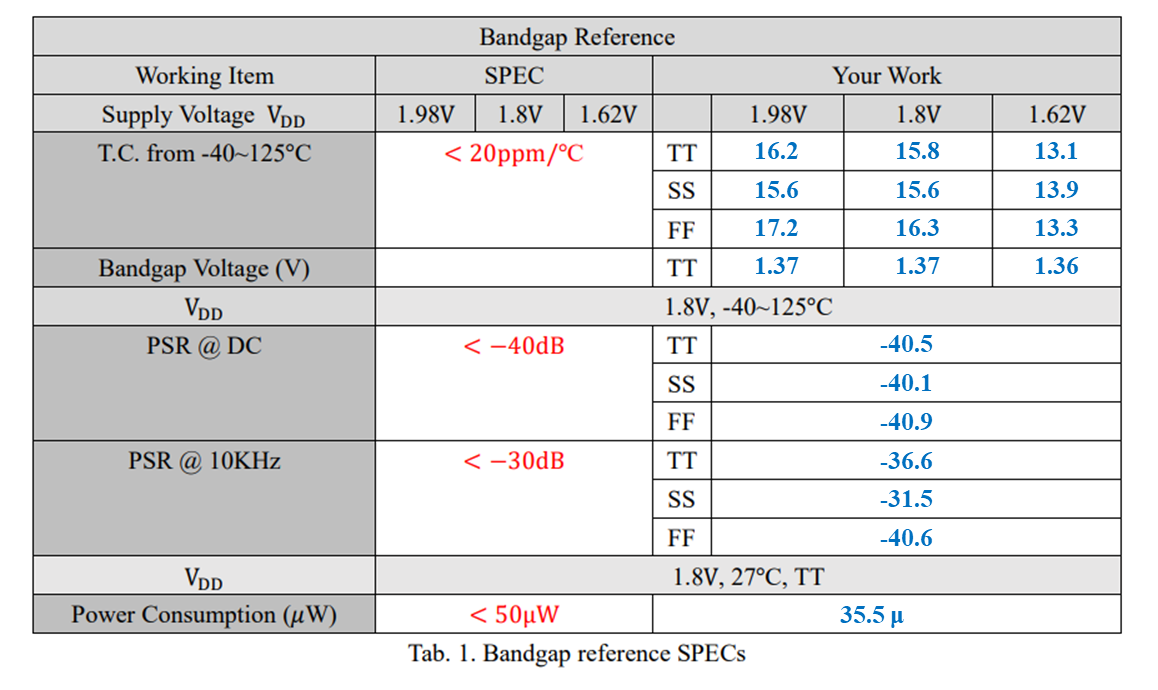


**MOSFET parameter of of constant\_gm and start up circuit**

可以看到constant\_gm中的兩個路徑電流都為3.2 μA，start up circuit的電流則為2.9 μA，兩者電流表現皆與前述設計時的推論相符合，兩者共耗電約17 μW。

並且可以注意到start up circuit中的電晶體M4在啟動後就關斷了，此點滿足設計時的預期，表示start up circuit有正常運作。

最後統整Part I中的所有SPEC如下表：



**Part II – Single Slope ADC (SSADC)**

1. Design Consideration

(a) Comparator的設計條件

觀察SSADC的運作原理，input輸入的範圍為0.95 – 0.25倍的，將Part I中設計出來的1.37 V代入，可以知道輸入的範圍應該要為1.30 V到0.34 V，換句話說，對於comparator的兩個輸入ramp\_in以及sample and hold，都要在這個範圍之內，因此首先先對final\_tb.sp中的設置進行調整。



其中ramp\_max、ramp\_min就是輸入的上下界，而input的弦波也需要調整VCM與amplitude為0.82 V和0.478 V，保證sample and hold能夠取到輸入範圍之內的電壓。

接著觀察要給comparator的偏壓，這個值可以自由選擇，我選擇用預設的0.5 V作為後續的設計。

最後探討comparator的settling time要求，由SSADC的運作原理可以知道，判斷輸入電位高低的方法就是透過counter數數的方式，去數64的clk\_cnt中，有幾次是電位高於ramp\_in的，這樣就可以換算反推成輸入的電位高低，因此若comparator的反應速度大於一次的clk\_cnt，就會導致counter少數一次，進而使得推算的電位有錯，造成ENOB的數值變小。

綜合上述，統整在SSADC中的comparator要求為下：

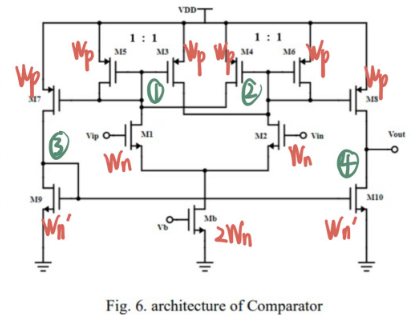
1. 使用偏壓為0.5 V

2. 要能夠對範圍在1.30 V到0.34 V的輸入訊號起反應

3. 反應時間(settling time)需要在一個clk\_cnt(約為627 nsec)之內

以此三個條件來進行後續comparator的設計。

(b) Complete the design of the comparator



首先要知道comparator的運作原理，整個電路可以看成內圈Mb、M1-M6所構成的放大器，加上外圈M7-M10所構成的inverter，其中可以發現由於M3、M5偏壓尺寸相同，因此有相同的電流，另外一邊M4、M6偏壓尺寸相同，也有相同的電流，因此可以知道M1、M2會有相同的電流。

若此時給入大小不同的兩偏壓>，就會藉著channel length modulation的作用，使得2號節點的電壓大於1號節點的電壓，1號節點的電壓下降，代表M7電流上升，會連帶使得3號節點的電壓上升(因M7、M8電流相同)，對於M8、M10兩者而言，就會有M8驅動電壓下降、M10驅動電壓上升的情況，進而導致的暴跌，以此類推<會導致的暴升，此即comparator的運作原理。

由運作原理可以知道整個comparator的設計要是完全左右對稱的，加上為求設計方便，首先令所有MOS的L為1 μm、m = 1，因此可以先將要設計的參數簡化為上圖，其中M1、M2、Mb有相同的寬度單位Wn、Wn、2Wn，這是因為當三者單位尺寸相同時，Mb為電流源要分流給入M1、M2當中，因此將三者尺寸設計為1:1:2可以得到三者有相同的驅動電壓，此點為前幾次Lab的設計經驗。

而在設計中想要讓1號節點與2號節點的操作電壓不要太高或太低，若電壓太高，有可能會使得電壓無法再上升而導致comparator效果大打折扣，太低也會有低不下去的問題，因此首要目標就是調整Wp與Wn的比例去達到較為平衡的操作點。

由於電子遷移率約為載子遷移率的4倍，因此考慮1號節點上下的關係，2Wp:Wn應該也要約為4:1，因此選擇Wp為80 μm、Wn為40 μm，選擇如此大的尺寸，是考慮此次comparator的設計並未有power上的限制，有越大的尺寸通常代表會有更佳的充放電速度，以此來增加comparator的反應速度。

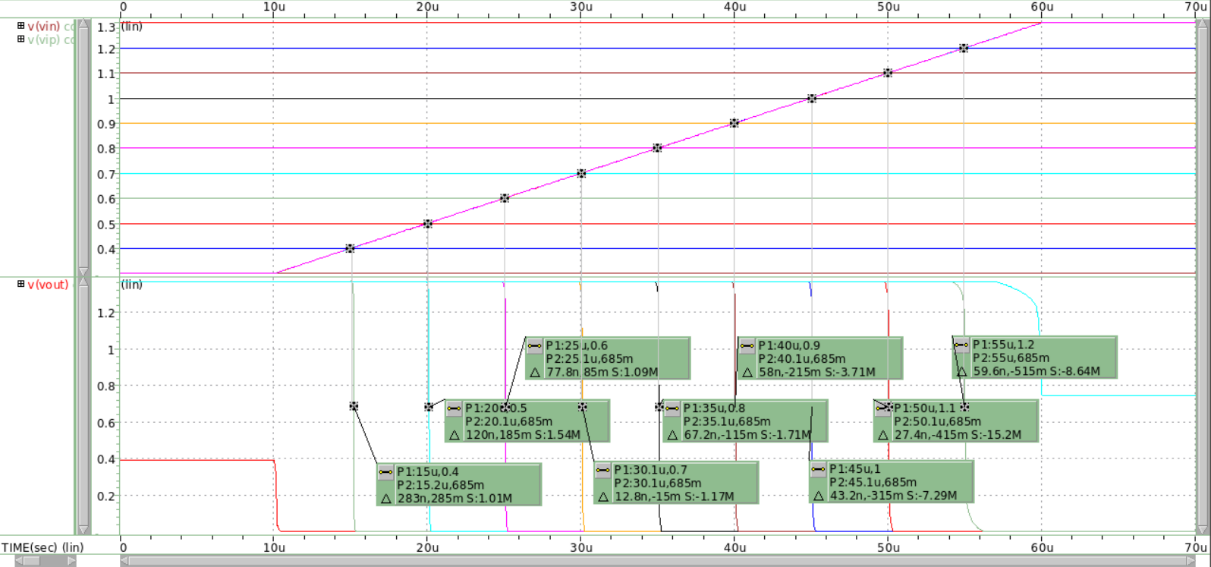
接著輪到外圈的設計，先以上述設計進行簡單的試跑，先將與都代入0.7 V去進行試跑，之所以選擇0.7 V是因為其約為與GND的中間電位，結果可以發現1、2號節點的電位會為0.76 V，此點電位差不多在與GND的中間電位，滿足前述會平衡性上的預期。

以此電位代入去計算外圈的尺寸比例關係，在這邊一樣要求對於也要有好的平衡電位位置，此原因同上，為了讓comparator處理上升、下降有相同均勻的delay表現，因此選擇較為平衡的電位是這邊設計的重點。

將3號節點等於等於0.7 V、Wp為80 μm、約為0.4 V以及約為0.5 V代入：

可以推算出Wn’要約為2.7 μm，取Wn’為3 μm做為comparator的設計，自此完成所有參數的選取。

在正式進行ENOB的測量前，還需要進行簡單的測試，去確保comparator有足夠的settling time與input range，因此額外寫.sp檔去進行測試，測試結果如下：



**Vout(V) vs. Time(μsec)**

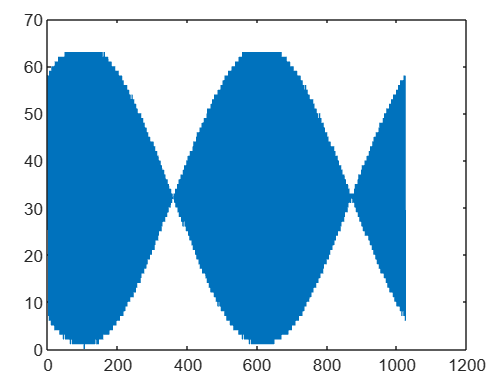
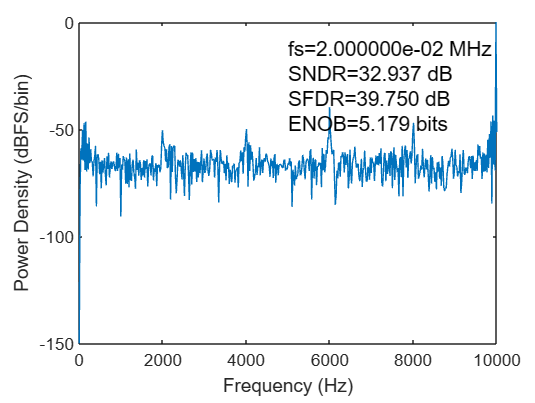
可以看到在(a)中所推論的輸入範圍1.30 V到0.34 V中，comparator都可以順利運作，並且各點的settling time都不超過300 nsec(比clk\_cnt的週期627 nsec快上不少)，因此速度是足夠快的。

綜合上述，此次設計的comparator皆有滿足(a)中所推論的三點條件，可以應用在SSADC的電路當中。

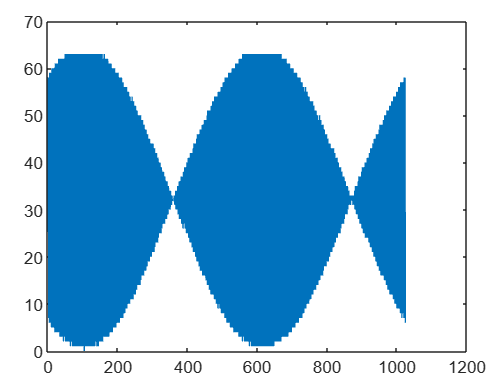
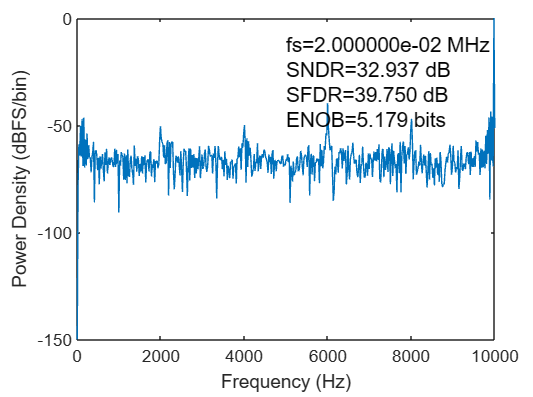
3. Measure the ENOB

(a) MATLAB result

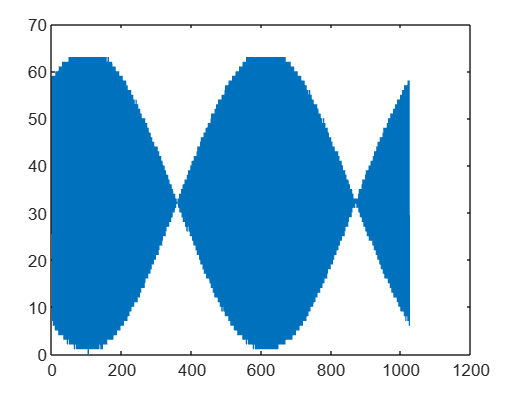
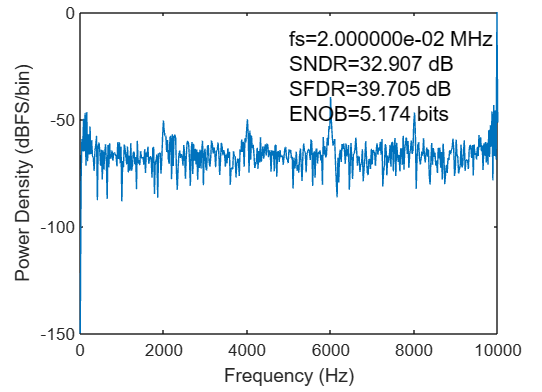
測量ENOB要給入三種偏壓(1.62 V、1.8 V、1.98 V)，各偏壓下的ENOB結果如下圖所示：



**VDD = 1.8 V ENOB Result**

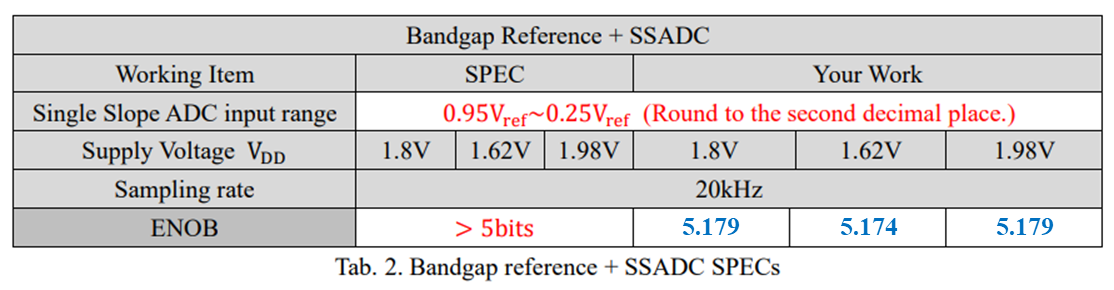
****

**VDD = 1.98 V ENOB Result**



**VDD = 1.62 V ENOB Result**

(b) 結果彙整



可以看到在三種偏壓下，ENOB都有滿足所求要大於5 bits，而且可以發現三種偏壓的表現都幾乎一模一樣，代表前述Part I所設計的bandgap reference確實有不錯的穩定性。

特別看為1.62 V時的表現，與其他兩者有微微的差異，回憶在Part I中，有觀察到1.62 V的表現與其他兩者較為不同，像是為1.36 V較低，因此在這邊ENOB的測量也再次與Part I中的結果相呼應。

**Part III – Experience Sharing**

在短短整個學期的過程，回想Lab 1的內容僅僅是單純的測量各種MOS的參數，沒想到幾次Lab的時間，我們就能有能力去了解大部分類比電路的運作原理，並能進一步去做分析、設計，到最後的final project竟然真的做出一個在大三之前聽到會很陌生、感到深奧的ADC。

在整個學期的前半過程中，教授很清晰的再次幫我們複習並更加了解MOS的運作原理，後半段就是每個章節都是新的領域新的內容，包含frequency response中pole、zero的分析設計，Opamp電路的架構與各種性質優勢，到講述CMFB這個以前從未在放大器中聽說過的重要部件，到最後bandgap reference想出一堆各種抵消電源電壓、溫度影響的腦洞設計，課程與功課的安排層層推進，一次次的帶我領略類比領域的精彩與深奧。

類比電路真的很好玩，我覺得整個學期我最大的收穫，就是了解到MOS各種被認為是缺點的特性，都能透過善加利用的方式，在類比領域大放異彩，這點讓我感受到類比電路的各種無限可能性，也讓我因此對類比領域感到滿滿的興趣。

最後再次謝謝教授與助教細心的課程安排，雖然功課真的很累很重，但最後真的能得到滿滿的收穫與成就感。