

EE3235 Analog Integrated Circuit Analysis and Design I

Homework 1

Process Analysis

姓名：朱豐蔚

學號：110060027

系級：電資院學士班 25

Part I – Analyze with Diode Connected Structure

參數：

Temp = 25,

VDD = 1.8V, I = 30uA,

W/L = 3, M = 1

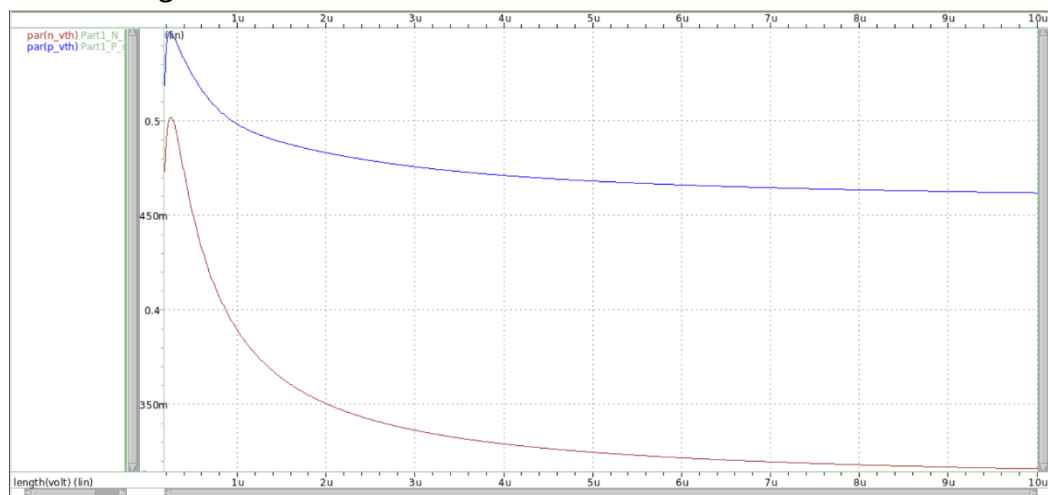
分析：

.dc length 0.18u 10u 0.01u

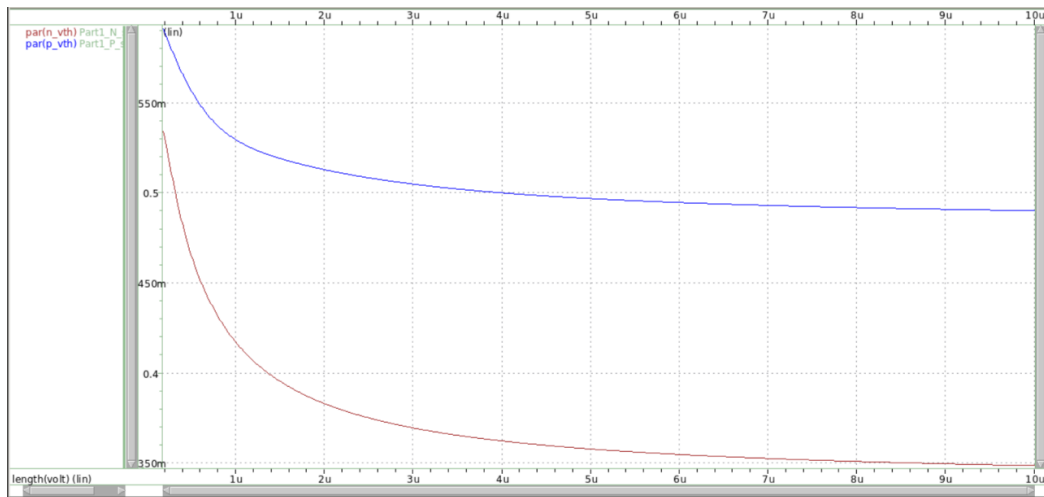
Probe OV：

變數	Alias 表示
Threshold voltage(Vth)	LV9
Saturation drain voltage(Vdsat)	LV10
Transconductance(gm)	LX7
Output conductance(gds)	LX8
Channel current(Id)	LX4
Gate capacitance(CG)	LX18
Output resistance(ro)	1/ LX8
Intrinsic gain(gm*ro)	LX7/ LX8
Power efficiency(gm/Id)	LX7/ LX4
Speed(gm/Cg)	LX7/ LX18

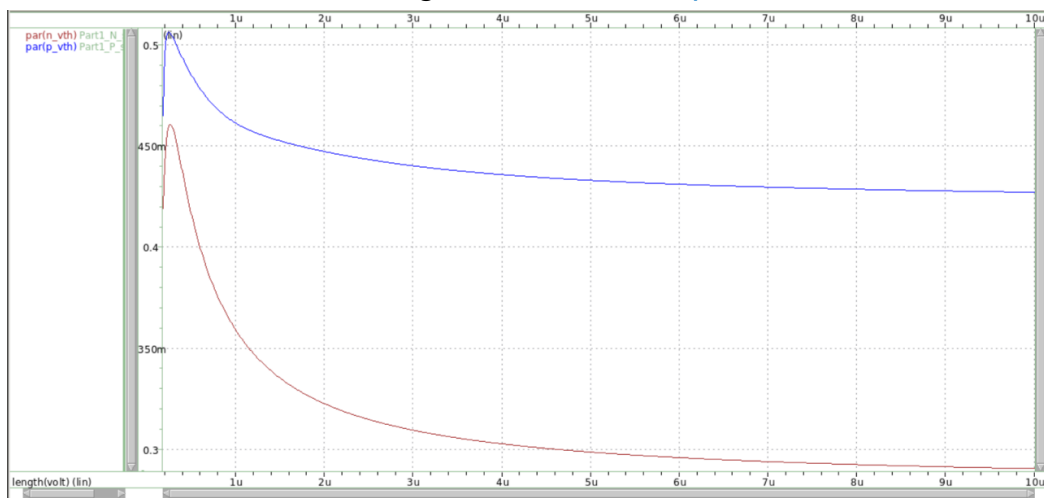
(1) Threshold voltage(Vth)：



TT corner Vth vs. length nMOS: Red line / pMOS: Blue line



SS corner V_{th} vs. length nMOS: Red line / pMOS: Blue line



FF corner V_{th} vs. length nMOS: Red line / pMOS: Blue line

比較 V_{th} 在三種 corner 的情況下，可以得到三個結果：

1. 隨著通道變短， V_{th} 會有先上升後下降的趨勢

推測此點現象為短通道效應所造成的影響，在 source-gate 與 drain-gate 都會有狹窄的 depletion 區域，進而使得 V_{th} 下降。而隨著通道變小，受此區域的影響占比也會越大，因此有通道變小時 V_{th} 上升的情形。

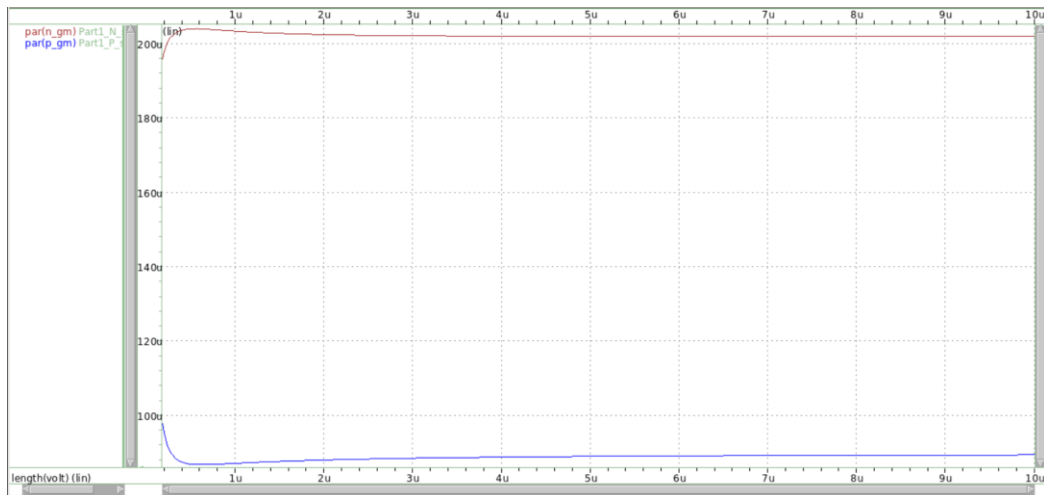
2. pMOS 的 V_{th} 比 nMOS 大，且受通道長度的影響較小

推測這與 MOS 的製程設計與摻雜濃度差異有關。

3. V_{th} 在不同 corner 時，有 $FF < TT < SS$ 的情況

上網查詢資料後，越快速的製程角會含有較高的參雜濃度與載子遷移率，若要產生一樣電流的話，MOS 的 $|V_{th}|$ 就會變小，此點符合上圖的結果。因此在後續 Lab 的電路設計需特別考慮 corner 的影響其實幅度很大，需做出有更寬容許度的設計。

(2) Transconductance(g_m) :

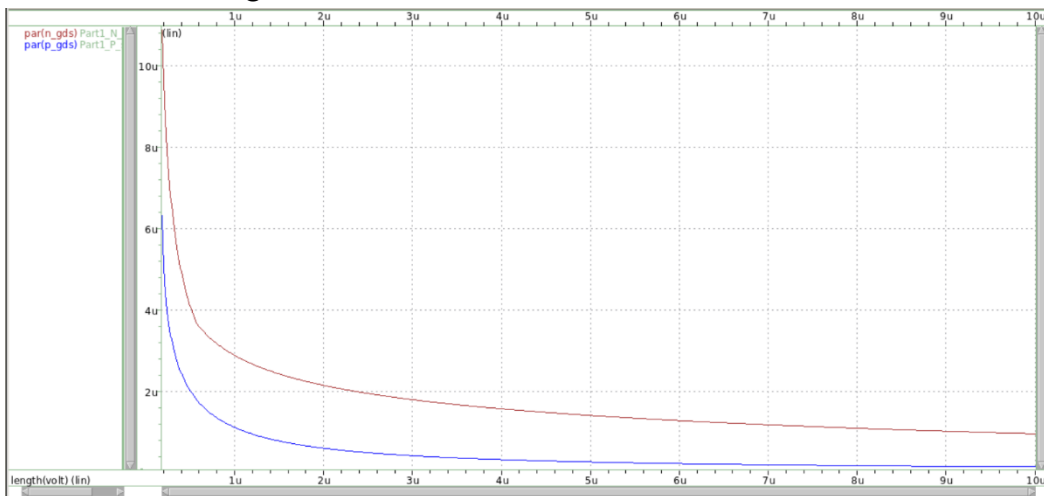


g_m vs. length nMOS: Red line / pMOS: Blue line

由 g_m 的公式可知， g_m 與載子遷移率成正比，在其他參數一樣下，由於電子遷移率約莫是電洞遷移率的 4 倍，因此 nMOS 的 g_m 也會是 pMOS 的 4 倍左右，此點符合上圖結果。

再者， g_m 也與 V_{th} 有關，在短通道下，也會因短通道效應改變 V_{th} 而使 g_m 產生變化。

(3) Output conductance(g_{ds}) :

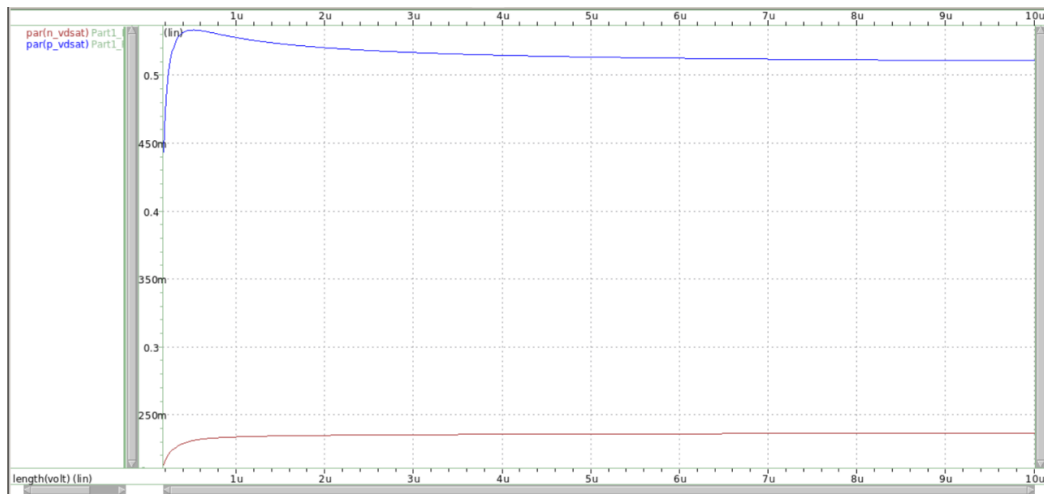


g_{ds} vs. length nMOS: Red line / pMOS: Blue line

根據結果，nMOS 有較大的 g_{ds} ，換句話說，pMOS 有較大的 r_o 。

再者，可以發現隨著通道變長， g_{ds} 會變小(r_o 則會慢慢變大)， r_o 越大就代表 MOS 的電流越穩定(不易受 V_{ds} 變化而影響，更能保持飽和區的平穩性質)，這也應證了通道長度越長越可以避免 Channel length modulation 的問題。

(4) Saturation drain voltage(V_{dsat}) :

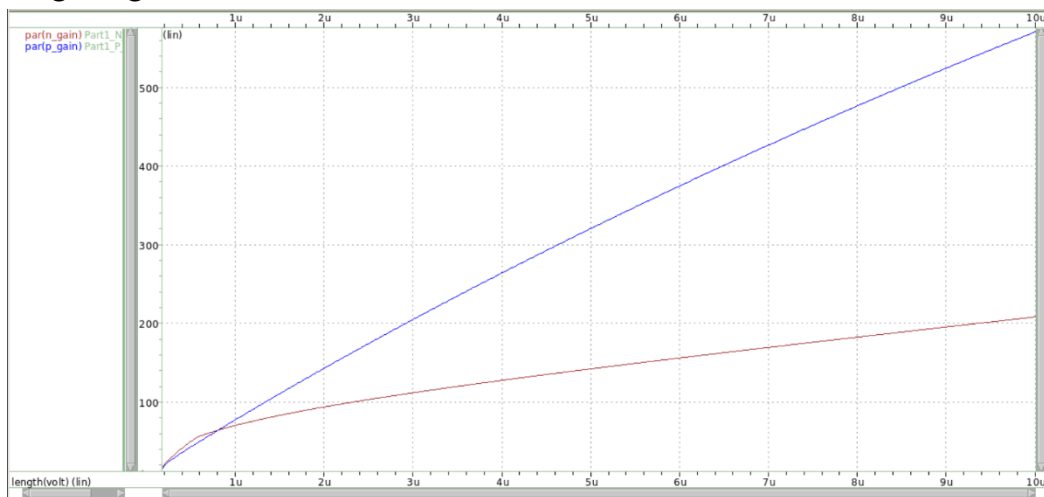


V_{dsat} vs. length nMOS: Red line / pMOS: Blue line

pMOS 有較大的 V_{dsat} ，需較大的電壓才會進到飽和區。

再者，可以發現當通道長度變小時，兩者的 V_{dsat} 都有下降的情況，這是因為在短通道下，載子遷移速度的上限變為電流飽和的主要原因，這才使得 V_{dsat} 提前，使得 MOS 更快進入飽和狀態。

(5) Intrinsic gain($g_m \cdot r_o$) :

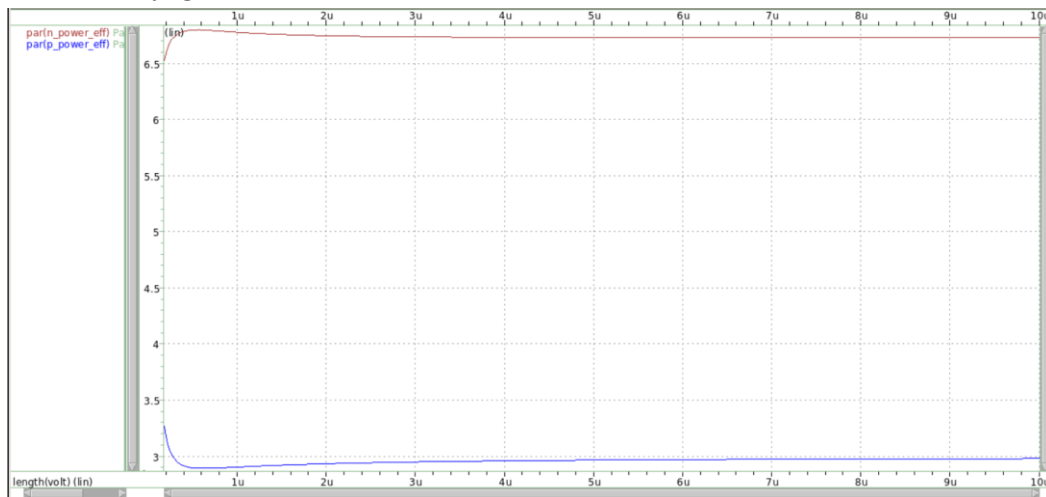


gain vs. length nMOS: Red line / pMOS: Blue line

gain 與 g_m 、 r_o 皆有關聯，由前述(2)、(3)，可以知道 MOS 的 g_m 在短通道下變化很大，所以造成上圖中 nMOS、pMOS 在短通道時有相近的 gain。

而隨著通道增長， g_m 趨於穩定，gain 與 r_o 的關係影響較大，所以當通道長度變長時， r_o 變大就使 gain 也變大。pMOS 有較大的 r_o ，也就有較大的 gain 值。

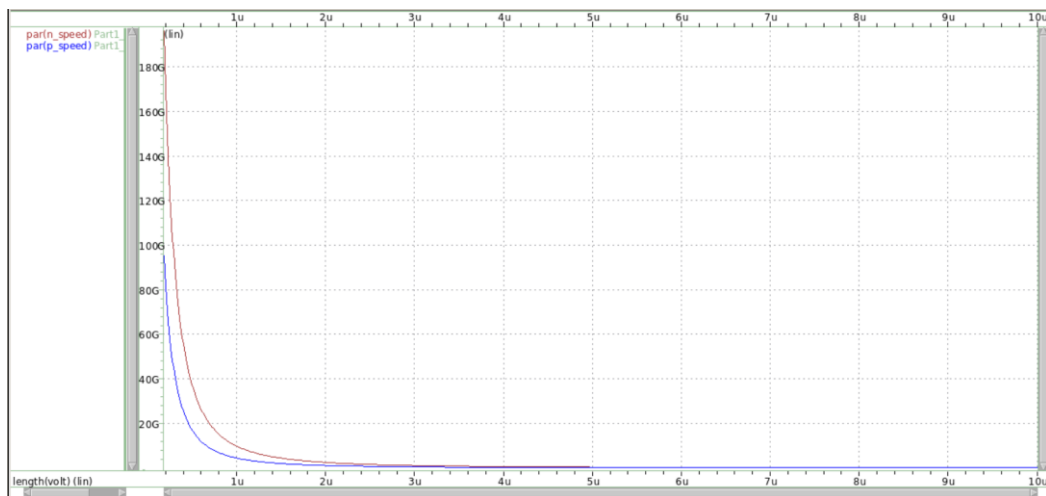
(6) Power efficiency(gm/Id) :



Power efficiency vs. length nMOS: Red line / pMOS: Blue line

因 I_d 在電路中由電流源所控制穩定，所以 Power efficiency 與 g_m 的趨勢一樣，nMOS 有較大的 power efficiency，代表 nMOS 在功耗上的表現較佳。

(7) Speed(gm/Cg) :



Speed vs. length nMOS: Red line / pMOS: Blue line

當通道變小時，可以發現 speed 大量增加，若要使積體電路跑在越高頻的環境下，MOS 的 speed 就要越快越好，意味著電容就需要越小越好，以降低 RC 電路的延遲。

而因為 $C_g = C_{gs} + C_{gb} + C_{gd} \sim 3WL C_{ox}/2$ ，在相同的 W/L 下，隨著通道長度下降，gate 的電容也會隨著通道長度成平方下降，進而使得 speed 在短通道時大量上升。

綜合上述，短通道的 MOS 有較快的速度，進而能應用於高頻的積體電路設計領域當中。

Part II – Drain Current Id

參數：

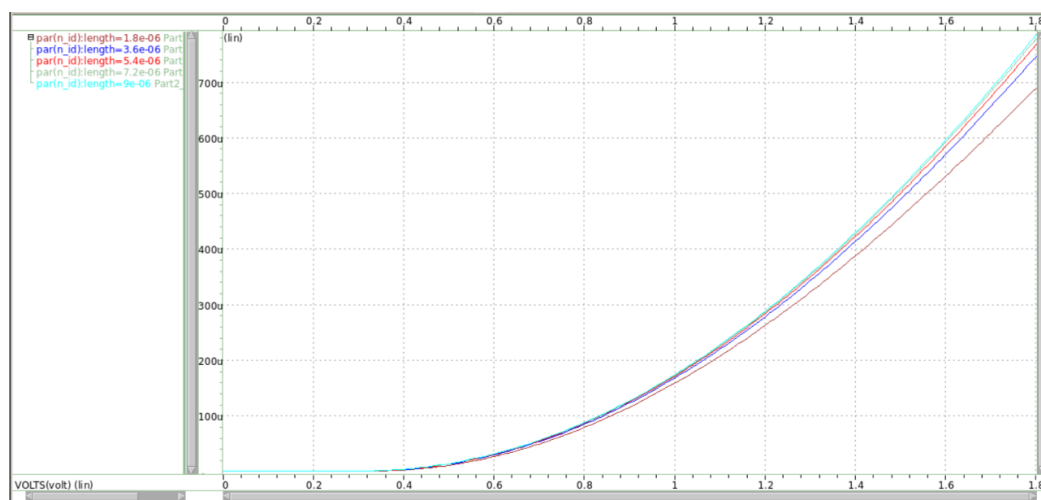
Temp = 25, VDD = 1.8V, W/L = 3, M = 1

分析：

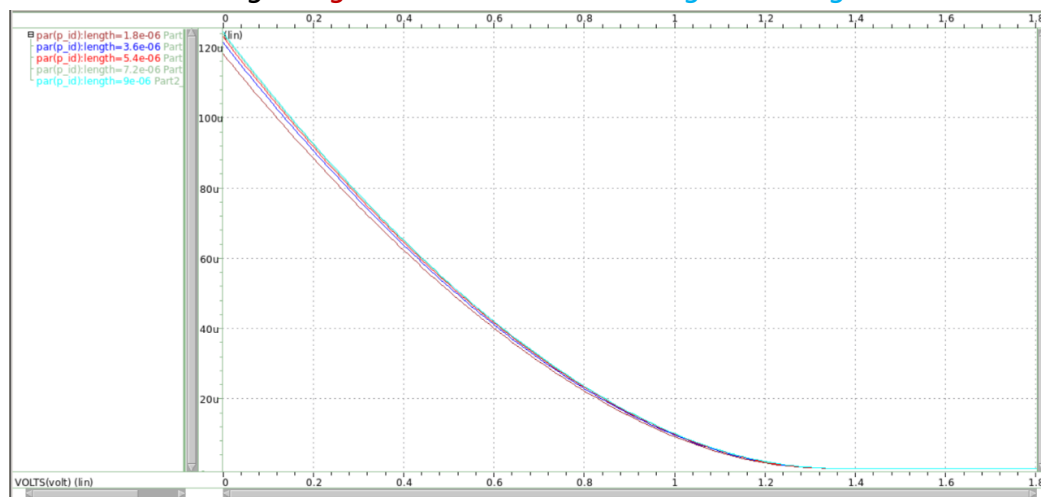
.dc VG 0 1.8 0.01 sweep length 1.8u 10u 1.8u

Probe OV：

Channel current(Id): LX4



nMOS I_d vs. V_{gs} Length = 1.8u: Red line / ... /length = 9u: Light blue line



pMOS I_d vs. V_{gs} Length = 1.8u: Red line / ... /length = 9u: Light blue line

透過比較不同的通道長度，不管是在 nMOS 還是 pMOS，都可以發現通道長度變長，會使得電流些微增加。由於 $V_{ds} = 1.8V$ ，整個過程都會維持飽和區的狀態，因此考慮飽和區的電流公式，再結合 Part I 結果，我推測是由於 r_o 與 V_{th} 兩個會受通道長度改變的參數，綜合影響下的結果。

首先 r_o 會隨著通道長度增加而上升，理當說電流要有所下降，但加入考慮 V_{th} 會隨著通道長度變長而些微下降，進而使得在相同 V_{gs} 下，電流有微微上升的情形。綜合上述推測與圖片結果，可以發現 V_{th} 的影響較 r_o 還要來得大。

最後，由於電子遷移率較電洞遷移率大約四倍，加上由 Part I 得知 pMOS 的 V_{th} 較大，因此可以發現在相同 $|V_{gs}|$ 下，nMOS 的電流比 pMOS 大了約 6 倍。

Part III – Body Effect

(1) Find a pair of suitable W 、 L :

在此題中，為了找到合適的 W 、 L 長度，我首先採用了題目的建議，選擇較長的 $L(2\mu m)$ 以避免 Channel length modulation 的問題，再來使用 .dc 分析 W/L 的比例(ratio)。

參數：

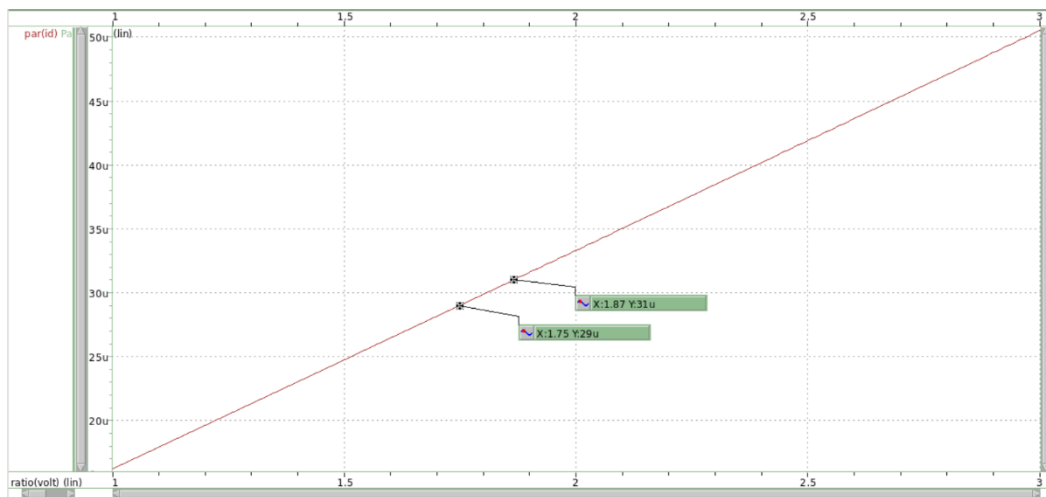
Temp = 25, VDD = 1.8V, $V_g = 0.7V$, $W = \text{ratio} \times 2\mu m$, $L = 2\mu m$, $M = 1$

分析：

.dc ratio 1 3 0.01

Probe OV :

Channel current(I_d): LX4



I_d vs. ratio

由此圖可知，若要滿足題目所要求的 I_d 在 29uA 到 31uA 之間，我所選用的 ratio 應介於 1.75 到 1.87 之間，因此在後續的題目中我一律選擇 ratio 為 1.8 ($W = 3.6\mu m$ 、 $L = 2\mu m$) 作為測量。

(2) Measure with body effect :

參數 :

Temp = 25, VDD = 1.8V,

$V_g = V_s + 0.7V$,

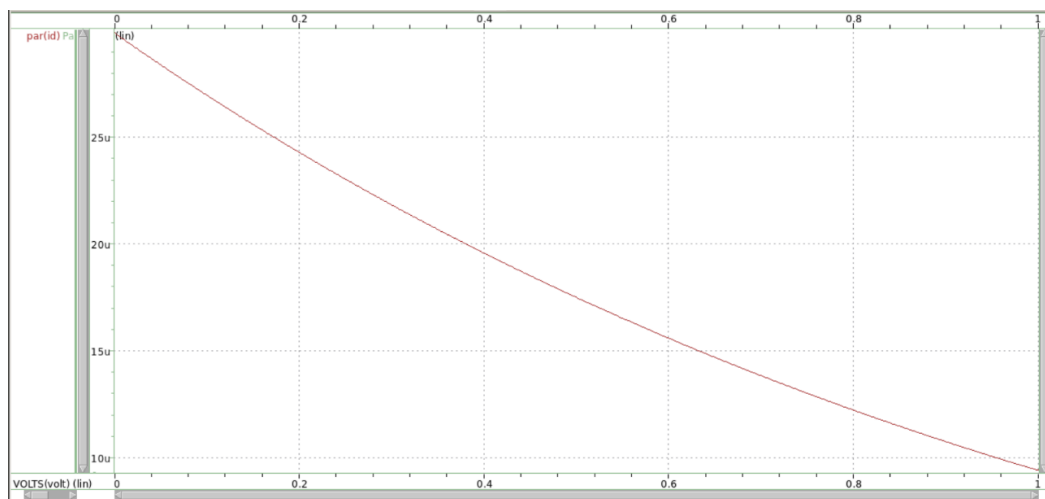
$W = 3.6\mu m$, $L = 2\mu m$, $M = 1$

分析 :

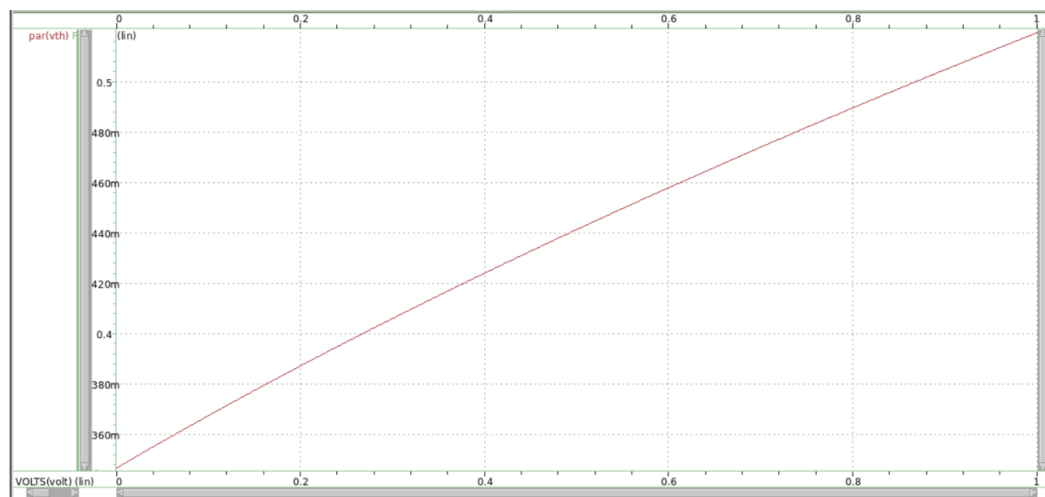
.dc Vs 0 1 0.001

Probe OV :

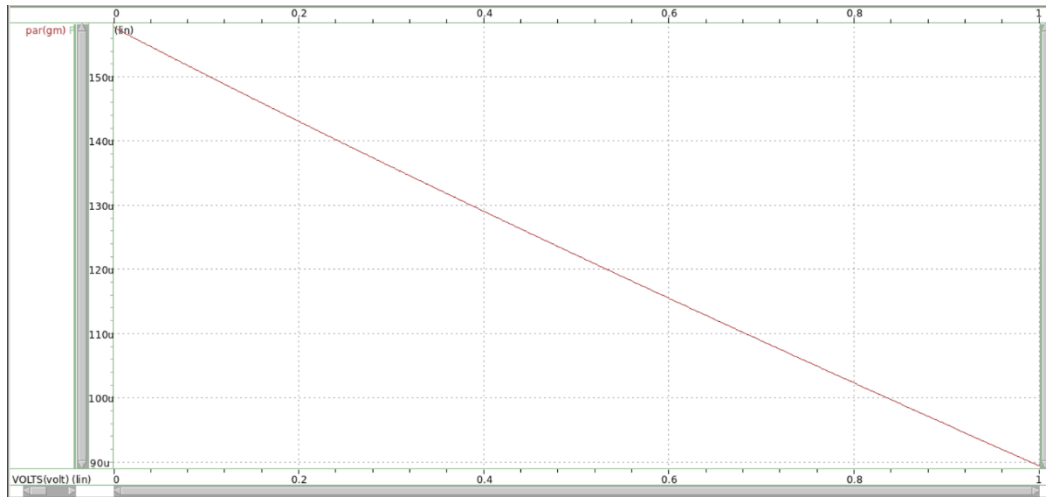
變數	Alias 表示
Threshold voltage(Vth)	LV9
Transconductance(gm)	LX7
Channel current(Id)	LX4



Id vs. Vs



Vth vs. Vs



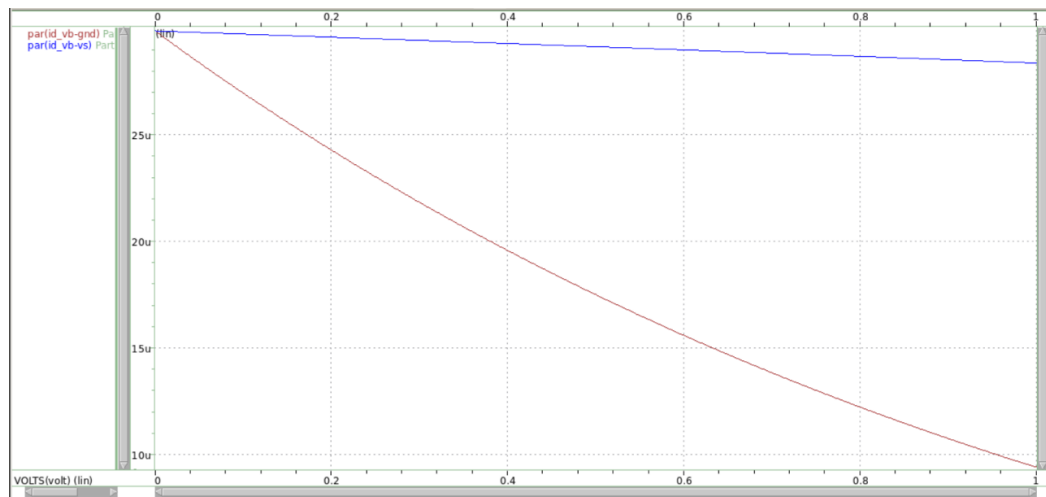
gm vs. Vs

因 V_{ds} 很大，可以認定 MOS 處於飽和狀態， V_{ds} 不影響電流。

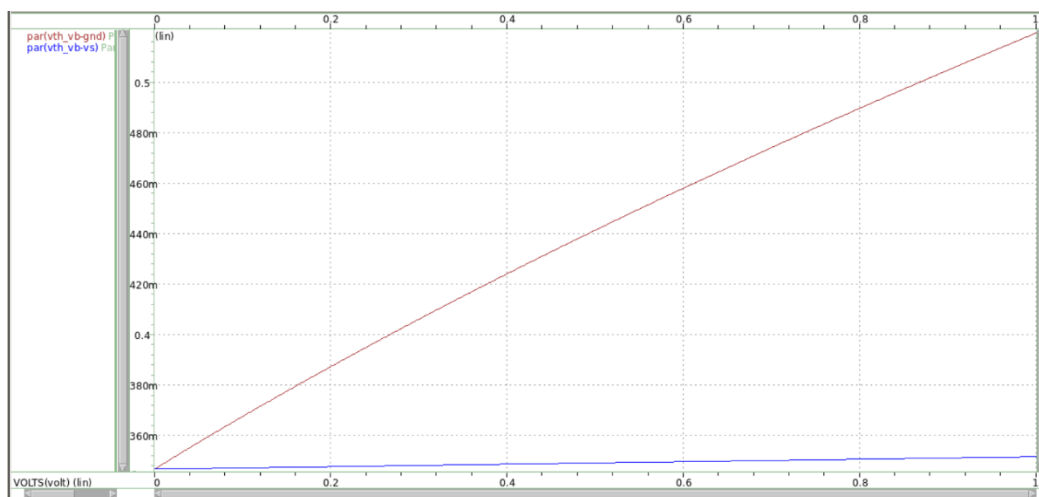
隨著 V_{sb} 上升，在 body effect 的影響下， V_{th} 會越來越大，此點符合上圖的結果。再者，隨著 V_{th} 上升，在相同的 V_{gs} 下，所產生的電流則會越來越小，使得 I_d 、 g_m 都大幅下降，此點也符合上圖的結果。

(3) Comparison between with/without body effect :

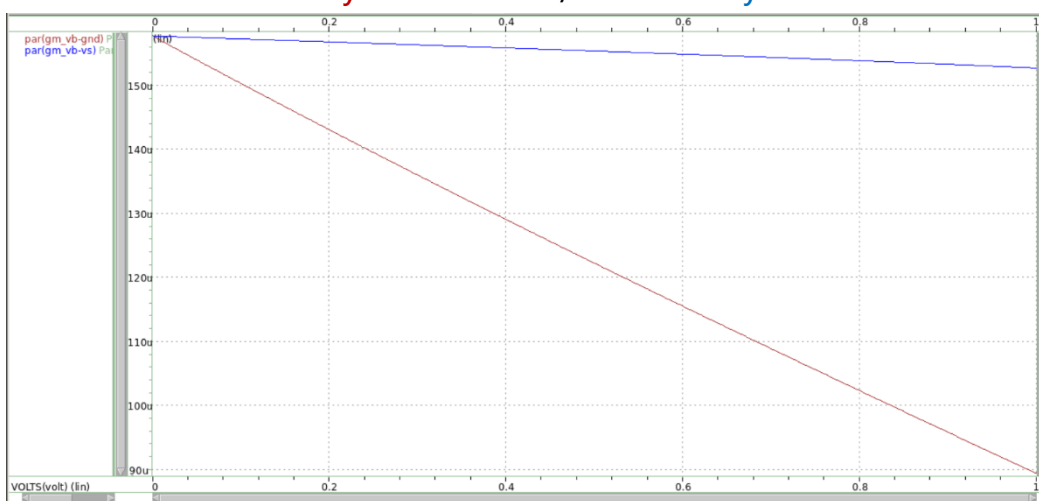
設定同(2)，差在需將 body 與 source 端相接。



I_d vs. Vs **With body effect: Red line** / **Without body effect: Blue line**



Vth vs. Vs **With body effect: Red line** / **Without body effect: Blue line**



gm vs. Vs **With body effect: Red line** / **Without body effect: Blue line**

同(2)，因 V_{ds} 很大，可以認定 MOS 處於飽和狀態， V_{ds} 不影響電流。

透過觀察藍線可以發現當 body 與 source 有相連時，此時無 body effect ($V_{sb} = 0$)，不管是 I_d 、 V_{th} 還是 g_m 都呈現很穩定的情況。

對比紅線，在有 body effect 的情況下， V_{th} 上升的幅度很大，進而使得 I_d 、 g_m 的變動也很劇烈。

透過這次 Part III 的實驗，我深深體會到了 body effect 會對 MOS 帶來的影響，在後續的電路設計中，若無特殊目的，我都會記得要將 body 和 source 端相接連，以避免 body effect 帶來預期外的變數。