

# EE3235 Analog Integrated Circuit Analysis and Design I

## Homework 2

### Elementary Gain Stages

姓名：朱豐蔚

學號：110060027

系級：電資院學士班 25

#### Part I – Common Source Amplifier

##### 第一步：測量製程參數 $\mu_n C_{ox}$ 與 $V_{TH}$

因為不知道在 c18 製程中的各項參數為何，我決定採用實測的方式，真的另外建立.sp 檔(檔案有上傳為 Part1\_Parameter.sp)實際去跑 Hspice，並從.lis 檔讀取各項參數數值，在後續設計時可以代入使用。

如右圖，其中  $V_{TH}$  為 0.4 V，而因為  $\mu_n C_{ox}$  乘以 W/L(測試用的設計為  $1\mu/1\mu$ )就會為 beta，因此可以得知  $\mu_n C_{ox} = 308 \mu A/V^2$ 。

最後由  $g_{ds} = \lambda I_D$ ，可推得  $\lambda = 0.073 V^{-1}$ 。

model	0:n_18.1
region	Saturation
id	21.3148u
ibs	-6.354e-21
ibd	-114.6496a
vgs	800.0000m
vds	800.0000m
vbs	0.
vth	398.4959m
vdsat	332.9568m
vod	401.5041m
beta	308.1819u
gam eff	507.4472m
gm	97.1714u
gds	1.5436u
emb	18.4004u

##### 第二步：選取流過 nMOS 的電流 $I_D$

在 SPEC 中，要求電流不可以超過  $30 \mu A$ 。再來，目標  $V_{out,DC} = V_{DD} - I_D R_D = 0.8 V$ ，代表  $I_D R_D = 1 V$ ，又因  $R_D$  需小於  $90000 \Omega$ ， $I_D$  至少要為  $11.1 \mu A$ 。

再來考慮 SPEC 中的 gain 值要求， $A_V \cong -g_m R_D = \frac{-2I_D R_D}{(V_{GS} - V_{TH})}$  (CS stage gain 的公式在後續有推論，在這邊先拿來做使用)， $I_D R_D = 1 V$  代入，所以  $A_V$  會約為 -5 左右，即  $I_D$  的選擇不影響  $A_V$  滿足 SPEC。

考慮到 SPEC 並未說明仔細電流是不是在  $V_{GS}$  任何值下都需要滿足要求，因此在 Part I 中，我選用  $I_D = 18 \mu A$  (在  $V_{GS} = 0.8 V$  下)作為後續的設計目標。

##### 第三步：選取 nMOS 的 W、L

為盡量減少 Channel length modulation 所造成的影響，我選用與第一步中和測試相同尺度的設計 ( $L = 1 \mu m$ ) (此時  $\lambda = 0.073 V^{-1}$ ，在這邊可先忽略不計)。

在 Part I 中，由於  $V_{out,DC} = 0.8 V$ ，nMOS 必定都會處於飽和區當中。將第一步中所選用的  $I_D = 18 \mu A$  與偏壓  $V_{GS} = 0.8 V$  代入 nMOS 的飽和區電流公式中：

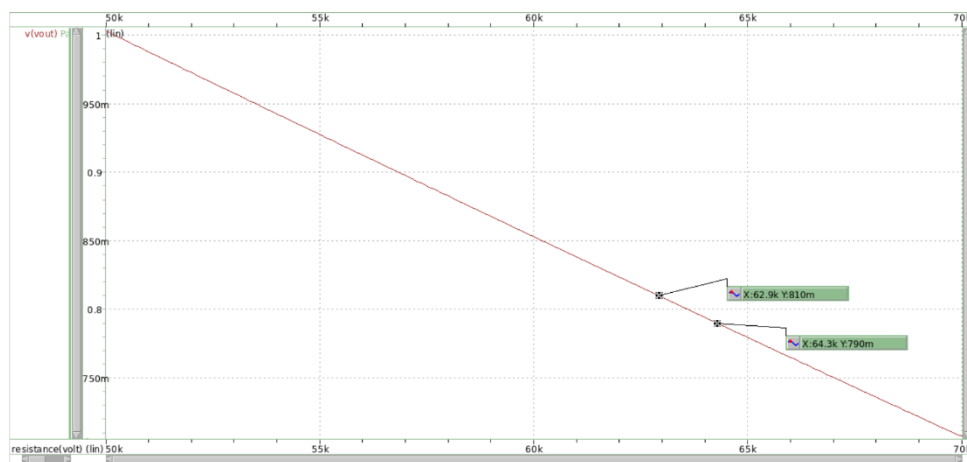
$$I_D = 18 \mu A = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2, \quad \mu_n C_{ox} = 308 \mu A/V^2, \quad V_{TH} = 0.4 V$$

可以得到  $\frac{W}{L} = 0.73$ ，因此我選用  $\frac{W}{L} = 0.75$  ( $W = 0.75 \mu m$ )作為後續的設計目標。

#### 第四步：選取負載電阻 $R_D$

我先使用前兩步中所選用的參數，並選用  $R_D = \frac{1}{I_D} = 54000 \Omega$  先進行試跑，發現實際電流約為  $15.7 \mu A$ ，與預期的  $18.4 \mu A$  有約 15% 的落差。觀察 .lis 中的測量結果，我發現  $V_{DSAT}$  比  $V_{OV}$  小，因此我推測電流實際較小的原因與 Velocity saturation 有關(但我選擇的 L 很長理當會比較不受影響才對)，由於載子被加速到上限，導致電流比預期的還要小而上不去，而且 Velocity saturation 的影響會比 Channel length modulation 還要來得嚴重(因電流最終比預期還低)。

為了最後滿足 SPEC 中的  $I_D R_D = 1 V$ ，需要額外加大大電阻，我採用 DC sweep 的方式，對  $50000 \Omega$  到  $70000 \Omega$  來進行測量，最後電阻的選用為  $R_D = 64000 \Omega$ 。



Vout(V) vs. RD(Ω) (For SPEC: RD = 62900 ~ 64300)

#### 第五步：將參數代入，檢驗是否滿足 SPEC

參數：

$Temp = 25^\circ C$ ,  $V_{DD} = 1.8 V$ ,  
 $R_D = 64000 \Omega$ ,  
 $W = 0.75 \mu m$ ,  $L = 1 \mu m$ ,  $M = 1$

大訊號分析：

.dc Vin 0 1.8 0.01

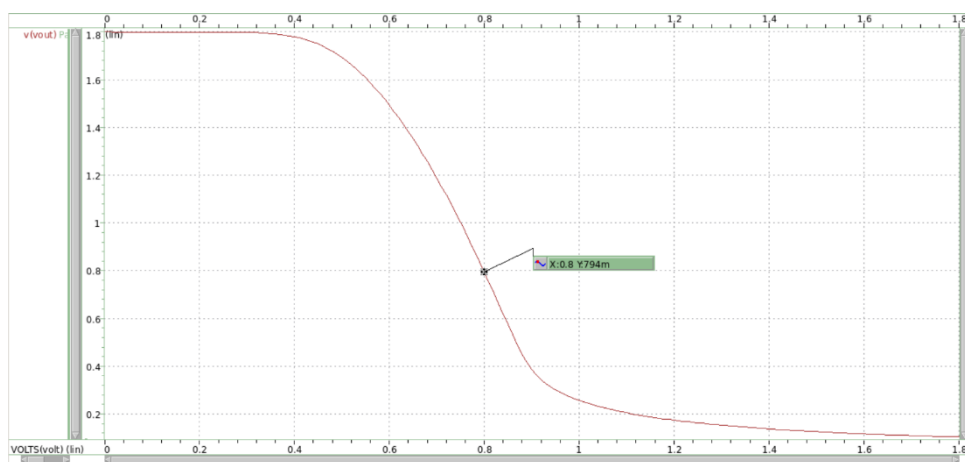
小訊號分析：

.tf V(Vout) Vin

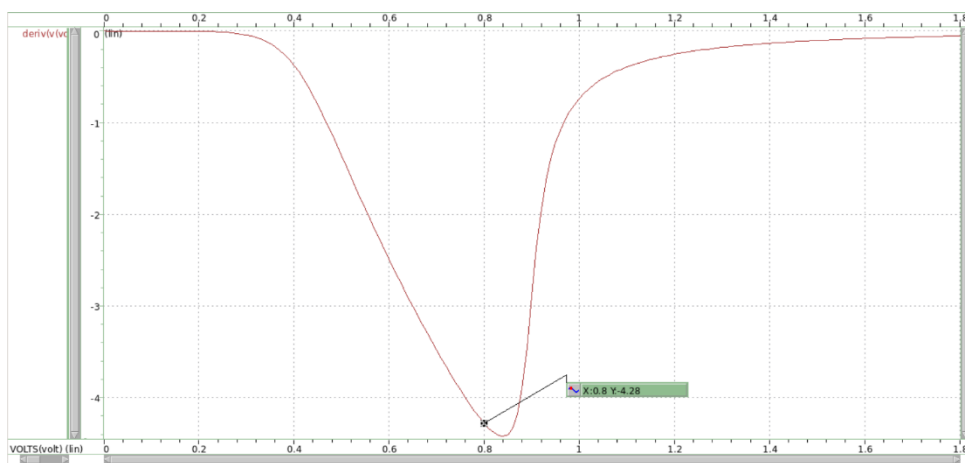
Probe OV：

變數	Hspice 表示
Output voltage(Vout)	V(Vout)
Slope(dVout/dVin)	deriv("V(Vout)")
Channel current(Id)	I(RD)

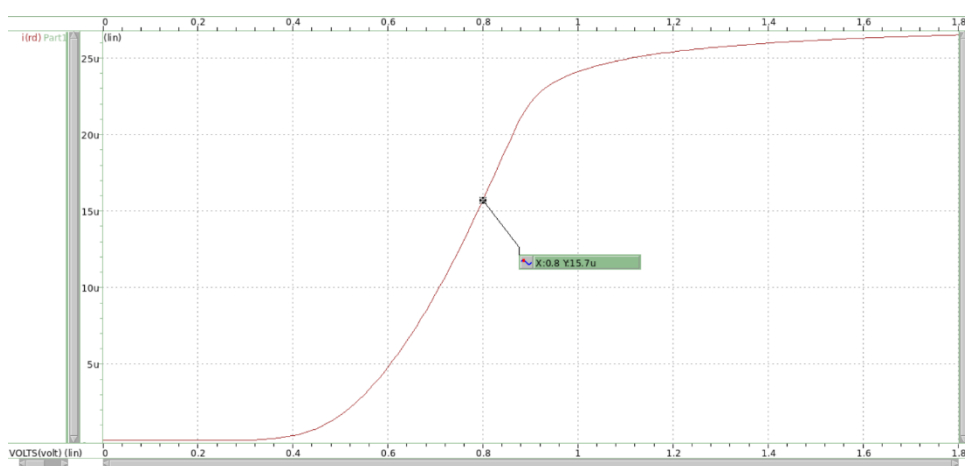
(1) DC Sweep :



**Vout(V) vs. Vin(V) ( $V_{out} = 0.794V$  at  $V_{in} = 0.8V$ )**



**dVout/dVin vs. Vin(V) ( $dV_{out}/dV_{in} = -4.28$  at  $V_{in} = 0.8V$ )**



**Id(A) vs. Vin(V) ( $I_d = 15.7uA$  at  $V_{in} = 0.8V$ )**

由上圖，可以看到當  $V_{in} = 0.8V$  時， $V_{out} = 0.794V$ 、 $\frac{dV_{out}}{dV_{in}} = -4.28$ ，兩者都有滿足 SPEC 的要求。再來，在整個 DC Sweep 的過程中， $I_d$  都小於  $30\mu A$ ，也滿足 SPEC 的要求。

綜合上述，我在 Part I 中的設計有符合 SPEC 的所有要求。

## (2) TF Analysis :

```
****      small-signal transfer characteristics
v(vout)/v2      = -4.3095
input resistance at v2      = 1.000e+20
output resistance at v(vout) = 59.6070k
```

TF Analysis 的數據會被存放在 .lis 檔中，如上圖所示，其中第一項  $A_V = -4.31$ ，符合在(1)中  $\frac{dV_{out}}{dV_{in}} = -4.28$  的結果。這邊數字差一點我猜測與兩者 gain 值的計算方式差異有關，在微分的計算上應該是採用微小差距算斜率的方式，而在 TF Analysis 中則應該是實際放入一個小訊號來測量的，所以兩者數值有微小的差異(不影響兩者相符合的結果)。

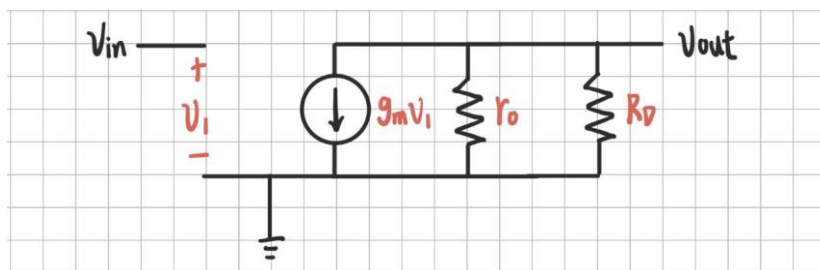
第二項的  $R_{in} = \infty$ ，符合在 Common Source Amplifier 小訊號模型中的預期。而最後一項的  $R_{out} = 59607 \Omega$ 。

綜上來看，Common Source Amplifier 能夠將小訊號給放大約 4.3 倍，加上其有  $R_{in} = \infty$  的特點，能使外來訊號能夠百分百的傳遞進 Common Source Amplifier，不受 Input 端外接電阻的影響。但 Output 端還是會受外接電阻的影響，因為  $R_{out}$  不等於 0。

## (3) Hand Calculation and Discussion :

關於手算是否可以拿跑過 Hspice 後寫在 .lis 檔中的各項測量值來做計算，在 SPEC 中並沒有仔細說明，但就我的想法，這一部分比較的重點應該在於連結並驗證我們上課所學的小訊號模型，若使用前述設計的參數來做手算，由於實測的電流會比預期小很多，在設計時採用了比預期還要大的負載電阻來滿足 SPEC，這就會導致手算與實測有較大的差異，進而模糊了要驗證小訊號模型的重點。

因此在這部份的手算，我會採用 .lis 檔中實際測得的電流  $I_D = 15.7 \mu A$ 、 $g_m = 72.3 \mu A/V$  和  $g_{ds} = 1.15 \mu A/V$  來做小訊號模型各項參數的手算，並與(2)中結果做比較，來驗證小訊號模型的正確性。



Small-signal model in CS stage

### ● 計算 $r_o$ :

$r_o = \frac{1}{g_{ds}}$ ，其中  $g_{ds} = 1.15 \mu A/V$ ，得到  $r_o = 869565 \Omega$ 。

- 計算  $A_V$  :

由 KCL ,  $-g_m v_{in} = \frac{v_{out}}{r_o} + \frac{v_{out}}{R_D}$  , 整理為  $A_V$  的形式 :

$$A_V = g_m(R_D // r_o), \quad g_m = 72.3 \mu A/V$$

會得到  $A_V = -4.31$  , 與(2)中 TF Analysis 測量的  $A_V = -4.31$  相符合 , 但與在前述設計中的推論  $A_V = -5$  有差異 , 這是由於  $g_m$  在實際測量時會變小(為 Velocity saturation 的影響) , 加上  $R_D // r_o$  會受 Channel length modulation 影響而下降 , 就會使得 TF Analysis 測量的 gain 值會比推論小。

- 計算  $R_{out}$  :

要計算 Output impedance , 只需要將  $v_{in} = 0$  代入 Small-signal model 當中 , 並計算  $v_{out}$  與其產生電流的比值即可。

在 CS stage 中 ,  $R_{out} = R_D // r_o$  , 其中  $R_D = 64000 \Omega$  , 計算出來的  $R_{out} = 59626 \Omega$  , 與(2)中 TF Analysis 測量的  $R_{out} = 59607 \Omega$  相符合。

- 計算  $R_{in}$  :

為無限大 , 此點也與(2)中的結果相符合。

- 計算  $V_{out,DC}$  :

$V_{out,DC} = V_{DD} - I_D R_D = 0.795 V$  , 與(1)中 Sweep 的結果  $V_{out,DC} = 0.794 V$  相符合 , 也滿足 SPEC 的要求。

TABLE I  
COMMON SOURCE PERFORMANCE TABLE

Working Item	SPEC	Your Design	Hand Calculation
$V_{DD}$	1.8V	1.8V	1.8V
$V_{in,DC}$	0.8V	0.8V	0.8V
$V_{out,DC}$	0.8V	0.794 V	0.795 V
Gain $A_V$	> 3.2(V/V)	4.31	4.31
$R_D$	< 90K $\Omega$	64000 $\Omega$	-
$I_D$	< 30 $\mu A$	15.7 $\mu A$	-
$M_S$ W/L	-	0.75	-

如上表 , 使用實際跑過 Hspice 得到的參數去進行小訊號模型的手算 , 會與(1)、(2)中實測的結果相符合 , 代表 CS stage 中小訊號模型的建立與使用是正確的。

## Part II – Common Gate

### 第一步：測量製程參數 $\mu_n C_{ox}$ 與 $V_{TH}$ (有 Body effect 的影響)

在 Part II 的設計中，我採用預設將 Body 接在 GND 上，由於在 SPEC 中有指定  $V_{in,DC} = 0.16 V$ ，代表必定會有 Body effect 的產生需要被考慮進去。

因為不知道在 c18 製程中 Body effect 的各項參數為何，我決定採用實測的方式，真的另外建立  $V_{SB} = 0.16 V$  的.sp 檔(檔案有上傳為 Part2\_BodyEffect.sp)實際去跑 Hspice，並從.lis 檔讀取  $V_{TH}$  值。

如右圖，其中  $V_{TH}$  為  $0.47 V$ ，而因為  $\mu_n C_{ox}$  乘以  $W/L$ (測試用的設計為  $1\mu/0.5\mu$ )就會為 beta，因此可以得知  $\mu_n C_{ox} = 322 \mu A/V^2$ 。

```
model      0:n_18.1
region    Saturation
id         6.0142u
ibs        -22.9330a
ibd        -257.9742a
vgs        590.0000m
vds        1.6400
vbs        -160.0000m
vth        472.3574m
vdsat      140.3985m
vod        117.6426m
beta       644.8779u
gam_eff    511.7455m
gm         74.6993u
gds        1.0703u
gmb        12.2706u
```

在這邊可以發現，Part II 中的  $\mu_n C_{ox}$  與 Part I 中的  $308 \mu A/V^2$  不同，這是由於 Mobility Degradation 的影響，由於在 Part I 中的 Gate 端偏壓較大，就會導致垂直方向的電場上升，使得通道內的載子容易受影響而有垂直方向的速度與撞擊，進而降低 Mobility，這才使得 Part I 中的 Mobility 較 Part II 低。

最後由  $g_{ds} = \lambda I_D$ ，可推得  $\lambda = 0.178 V^{-1}$ 。與 Part I 相比，可以發現當  $L$  變小時， $\lambda$  會變得更大，也就代表 Channel length modulation 的現象更明顯，此點與所學相符合。

### 第二步：選取 gate 端偏壓 $V_b$

在 SPEC 中，要求  $V_{out,DC} = V_{DD} - I_D R_D = 0.9 V$ ：

$$I_D R_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 R_D = 0.9 V \cdots \textcircled{1}$$

再來，在 SPEC 中，有要求 gain 要比 10 還要大(CG stage gain 的公式在後續有推論，在這邊先拿來做使用)：

$$A_V = g_m (R_D // r_o) \cong \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) R_D > 10 \cdots \textcircled{2}$$

將兩式相除(①/②)，即可得到：

$$V_{GS} - V_{TH} < 0.18 V, \quad V_{TH} = 0.47 V, \quad V_{GS} = V_b - 0.16 V$$

結合上述，可以知道  $V_b$  不可以選超過  $0.81 V$ ，且至少要為  $0.62 V$ (要讓 nMOS 打開)，因此在 Part II 中，我選用  $V_b = 0.75 V$  作為後續的設計目標。

### 第三步：選取流過 nMOS 的電流 $I_D$

在 SPEC 中，要求電流不可以超過  $30\ \mu A$ 。再來，目標  $V_{out,DC} = V_{DD} - I_D R_D = 0.9\ V$ ，代表  $I_D R_D = 0.9\ V$ ，又因  $R_D$  需小於  $90000\ \Omega$ ， $I_D$  至少要為  $10\ \mu A$ 。

再來考慮 SPEC 中的 gain 值要求， $A_V \cong g_m R_D = \frac{2I_D R_D}{(V_{GS} - V_{TH})}$ ，在  $V_{GS} = V_b - 0.16\ V = 0.59\ V$  下， $I_D R_D = 0.9\ V$  代入，所以  $A_V$  會約為 15 左右，即  $I_D$  的選擇不影響  $A_V$  滿足 SPEC。

考慮實際電流會有落差的可能，在 Part II 中，我選用  $I_D = 16\ \mu A$  作為後續的設計目標。

### 第四步：選取 nMOS 的 $W$ 、 $L$

經過估算，若在  $L = 1\ \mu m$  下要滿足 SPEC， $W$  的尺寸會變得太大，因此我決定我選用與第一步中和測試相同尺度的設計 ( $L = 0.5\ \mu m$ ) (此時  $\lambda = 0.178\ V^{-1}$ ，需考慮進電流公式中)。

在 Part II 中，由於  $V_{out,DC} = 0.9\ V$ ，nMOS 必定都會處於飽和區當中。將上述步驟所選用的  $I_D = 16\ \mu A$ 、偏壓  $V_{GS} = 0.59\ V$  與  $V_{TH} = 0.47\ V$  代入 nMOS 的飽和區電流公式中：

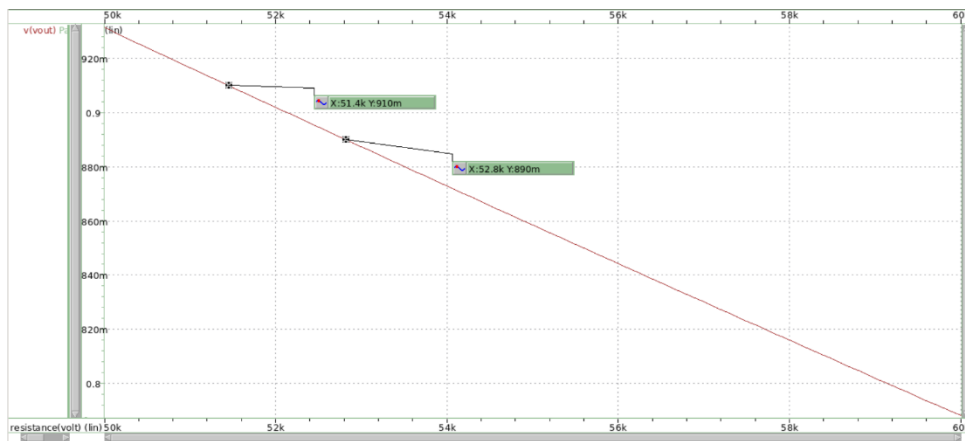
$$I_D = 16\ \mu A = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}), \quad \mu_n C_{ox} = 322\ \mu A/V^2$$

可以得到  $\frac{W}{L} = 6.04$ ，因此我選用  $\frac{W}{L} = 6$  ( $W = 3\ \mu m$ ) 作為後續的設計目標。

### 第五步：選取負載電阻 $R_D$

同 Part I，實際的電流會與預期有所差異，於是先使用上述步驟中所選用的參數，並選用  $R_D = \frac{0.9}{I_D} = 56250\ \Omega$  先進行試跑，發現實際電流約為  $17.3\ \mu A$ ，與預期的  $16.0\ \mu A$  有約 8% 的落差。觀察 .lis 中的測量結果，我發現  $V_{DSAT}$  比  $V_{OV}$  大 (與 Part I 相反)，由於不符合所學，我只能推測這與  $V_{OV}$  選得很小 ( $0.16\ V$ ) 有關，因通道開啟不多，電流要達到飽和的現象被  $V_{DS}$  影響會比  $V_{GS}$  大。而  $V_{DSAT}$  較  $V_{OV}$  大，代表載子可以持續加速更久，進而使得電流超出了預期 8%。

為了最後滿足 SPEC 中的  $I_D R_D = 0.9\ V$ ，需要額外減小電阻，我採用 DC sweep 的方式，對  $50000\ \Omega$  到  $60000\ \Omega$  來進行測量，最後電阻的選用為  $R_D = 52000\ \Omega$ 。



Vout(V) vs. RD(Ω) (For SPEC: RD = 51400 ~ 52800)

## 第六步：將參數代入，檢驗是否滿足 SPEC

參數：

$$Temp = 25^{\circ}C, V_{DD} = 1.8V,$$

$$R_D = 52000\Omega,$$

$$W = 3\mu m, L = 0.5\mu m, M = 1$$

大訊號分析：

.dc Vin 0 1.8 0.01

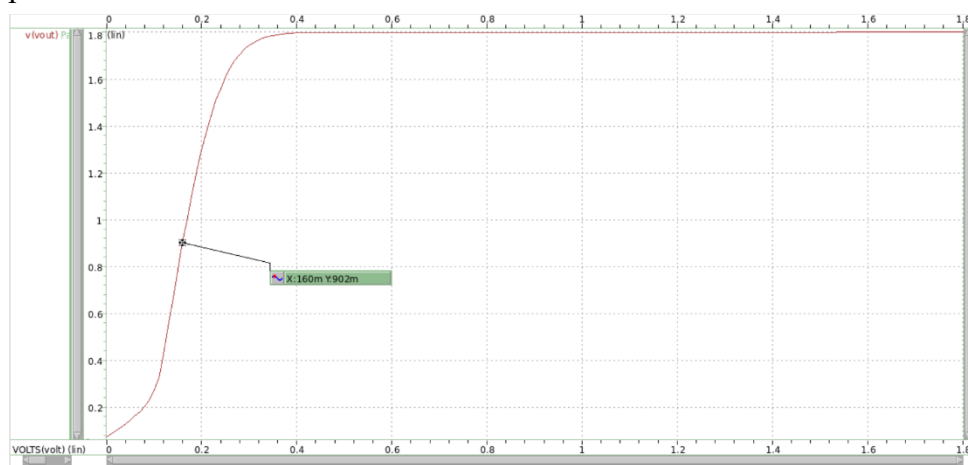
小訊號分析：

.tf V(Vout) Vin

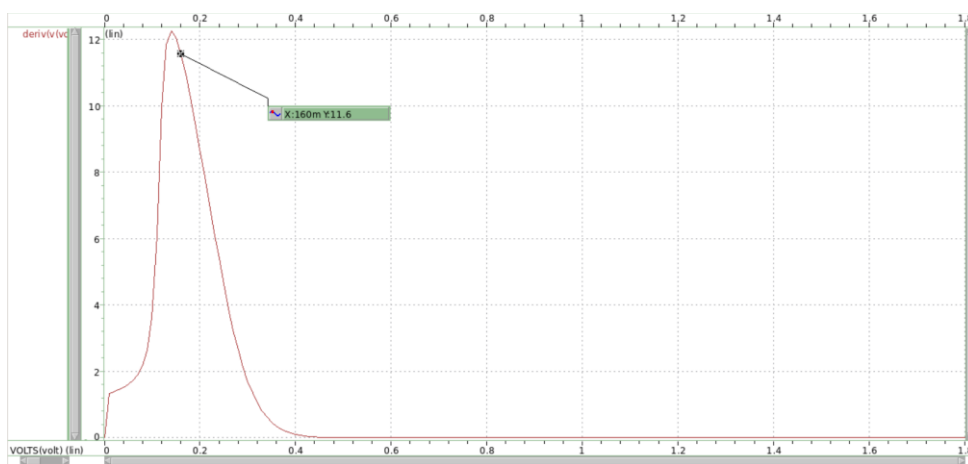
Probe OV：

變數	Hspice 表示
Output voltage( <b>Vout</b> )	V(Vout)
Slope( <b>dVout/dVin</b> )	deriv("V(Vout)")
Channel current( <b>Id</b> )	I(RD)

(1) DC Sweep：



**Vout(V) vs. Vin(V) (Vout = 0.902V at Vin = 0.16V)**



**dVout/dVin vs. Vin(V) (dVout/dVin = 11.6 at Vin = 0.16V)**





**Id(A) vs. Vin(V) (Id = 17.3uA at Vin = 0.16V)**

由上圖，可以看到當  $V_{in} = 0.16\text{ V}$  時， $V_{out} = 0.902\text{ V}$ 、 $\frac{dV_{out}}{dV_{in}} = 11.6$ 、 $I_D = 17.3\text{ }\mu\text{A}$ ，三者都有滿足 SPEC 的要求。

## (2) TF Analysis：

```

****      small-signal transfer characteristics

v(vout)/v2          = 11.2830
input resistance at v2 = 4.6087k
output resistance at v(vout) = 43.9740k

```

TF Analysis 的數據會被存放在 .lis 檔中，如上圖所示，其中第一項  $A_V = 11.3$ ，符合在(1)中  $\frac{dV_{out}}{dV_{in}} = 11.6$  的結果。這邊數字差一點我猜測與兩者 gain 值的計算方式差異有關，在微分的計算上應該是採用微小差距算斜率的方式，而在 TF Analysis 中則應該是實際放入一個小訊號來測量的，所以兩者數值有微小的差異(不影響兩者相符合的結果)。

第二項的  $R_{in} = 4609\text{ }\Omega$ ，而最後一項的  $R_{out} = 43974\text{ }\Omega$ 。

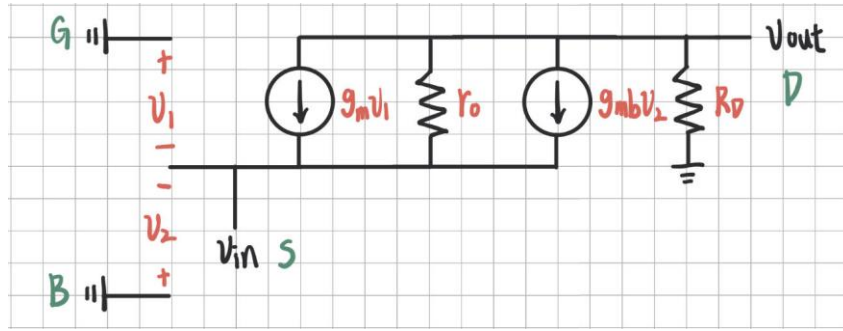
Common Gate Amplifier 雖然能夠將小訊號給放大約 11.3 倍(gain 值比 Part I 中的 Common Source Amplifier 還要來得大)，但是可以發現，由於其  $R_{in}$  小加上  $R_{out}$  大，很容易會受 Common Gate Amplifier Input 端和 Output 端各自外接電阻的影響。

換句話說，外來訊號傳入與傳出 Common Gate Amplifier 時都會被稀釋，導致實際放大倍率可能更低。

### (3) Hand Calculation and Discussion :

同 Part I，在(3)中，我會採用 .lis 檔中實際測得的電流  $I_D = 17.3 \mu A$ 、 $g_m = 216.5 \mu A/V$ 、 $g_{mb} = 36.6 \mu A/V$  和  $g_{ds} = 3.51 \mu A/V$  來做小訊號模型各項參數的手算，並與(2)中結果做比較，來驗證小訊號模型的正確性。

要注意的是在 Part II 中，要考慮 Body effect 的影響，也就是要對小訊號模型進行修正，加入考慮  $g_{mb}$  的影響，修正後的小訊號模型如下圖。



Small-signal model in CG stage

- 計算  $r_o$  :

$r_o = \frac{1}{g_{ds}}$ ，其中  $g_{ds} = 3.51 \mu A/V$ ，得到  $r_o = 284900 \Omega$ 。

- 計算  $A_V$  :

由 KCL， $g_m v_{in} + g_{mb} v_{in} = \frac{v_{out} - v_{in}}{r_o} + \frac{v_{out}}{R_D}$ ，整理為  $A_V$  的形式：

$$A_V = (g_m + g_{mb} + \frac{1}{r_o})(R_D // r_o), \quad g_m = 216.5 \mu A/V, \quad g_{mb} = 36.6 \mu A/V$$

會得到  $A_V = 11.3$ ，與(2)中 TF Analysis 測量的  $A_V = 11.3$  相符合，但與在前述設計中的推論  $A_V = 15$  有差異，這是由於在前述設計時還未考慮 Channel length modulation 的影響，在 Part II 中的 Channel length modulation 影響很大，讓  $R_D // r_o$  變得比  $R_D$  小上許多，就會使得 TF Analysis 測量的 gain 值會比推論小。

- 計算  $R_{out}$  :

要計算 Output impedance，只需要將  $v_{in} = 0$  代入 Small-signal model 當中，並計算  $v_{out}$  與其產生電流的比值即可。

在 CG stage 中， $R_{out} = R_D // r_o$ ，其中  $R_D = 52000 \Omega$ ，計算出來的  $R_{out} = 44071 \Omega$ ，與(2)中 TF Analysis 測量的  $R_{out} = 43974 \Omega$  相符合。

● 計算  $R_{in}$  :

要計算 Input impedance，要將  $v_{out}$  在 Small-signal model 當中與 GND 形成斷路，並計算  $v_{in}$  與其產生電流的比值即可。

在 CG stage 中， $R_{in} = (g_m // g_{mb} // \frac{1}{r_o}) \frac{R_D}{(R_D // r_o)}$ ，其中  $g_m = 216.5 \mu A/V$ 、 $g_{mb} = 36.6 \mu A/V$ ，計算出來的  $R_{in} = 4601 \Omega$ ，與(2)中 TF Analysis 測量的  $R_{in} = 4609 \Omega$  相符合。

● 計算  $V_{out,DC}$  :

$V_{out,DC} = V_{DD} - I_D R_D = 0.900 V$ ，與(1)中 Sweep 的結果  $V_{out,DC} = 0.902 V$  相符合，也滿足 SPEC 的要求。

TABLE II  
COMMON GATE PERFORMANCE TABLE

Working Item	SPEC	Your Design	Hand Calculation
$V_{DD}$	1.8V	1.8V	1.8V
$V_{in,DC}$	0.16V	0.16V	0.16V
$V_{out,DC}$	0.9V	0.902 V	0.900 V
Gain $A_V$	> 10(V/V)	11.3	11.3
$R_D$	< 90K $\Omega$	52000 $\Omega$	-
$I_D$	< 30 $\mu A$	17.3 $\mu A$	-
$V_b$	-	0.75 V	-
$M_b$ W/L	-	6	-

如上表，使用實際跑過 Hspice 得到的參數去進行小訊號模型的手算，會與(1)、(2)中實測的結果相符合，代表 CG stage 中小訊號模型的建立與使用是正確的。

## Part III – Source Follower

### 第一步：測量製程參數 $\mu_n C_{ox}$ 與 $V_{TH}$ (有 Body effect 的影響)

在 Part III 的設計中，我採用預設將 Body 接在 GND 上，由於在 SPEC 中有指定  $V_{out,DC} = 0.8 V$ ，代表必定會有 Body effect 的產生需要被考慮進去。

與 Part II 相同，另外建立  $V_{SB} = 0.8 V$  的.sp 檔(檔案有上傳為 Part3\_BodyEffect.sp)實際去跑 Hspice，並從.lis 檔讀取  $V_{TH}$  值。

如右圖，其中  $V_{TH}$  為  $0.53 V$ ，而因為  $\mu_n C_{ox}$  乘以  $W/L$ (測試用的設計為  $1\mu/1\mu$ )就會為 beta，因此可以得知  $\mu_n C_{ox} = 308 \mu A/V^2$ 。

```
model      0:n_18.1
region     Saturation
id         10.9100u
ibs        -114.6593a
ibd        -257.9727a
vgs        800.0000m
vds        1.0000
vbs        -800.0000m
vth        532.0945m
vdsat      251.7109m
vod        267.9055m
beta       308.8402u
gam eff    526.2952m
gm         72.1560u
gds        1.1317u
gmb        9.4415u
```

在這邊可以發現，Part III 中的  $\mu_n C_{ox}$  與 Part I 中的  $308 \mu A/V^2$  相同，再次驗證了 Mobility Degradation 會透過 Gate 端偏壓影響 Mobility 的現象。

最後由  $g_{ds} = \lambda I_D$ ，可推得  $\lambda = 0.104 V^{-1}$ 。與 Part I 相比，同樣都是  $L = 1 \mu m$ ，但可以發現這邊  $\lambda$  有較大的值，這是由於在 Part III 中  $V_{DB} = V_{DD}$ ，而在 Part I 中  $V_{DB} = 0.8 V$ ，當  $V_{DB}$  電位越高，代表在 Drain 端會形成更寬的 Depletion region，使得在 Channel length modulation 中一開始就有較大的  $\Delta L$ ，造成  $V_{DS}$  對電流有較大的影響，進而使公式中的參數  $\lambda$  變大。

### 第二步：選取流過 nMOS 的電流 $I_D$

在 SPEC 中，要求電流不可以超過  $30 \mu A$ 。再來，目標  $V_{out,DC} = I_D R_S = 0.8 V$ ，又因  $R_S$  需小於  $90000 \Omega$ ， $I_D$  至少要為  $8.9 \mu A$ 。

再來考慮 SPEC 中的 gain 值要求， $A_V \cong \frac{g_m R_S}{1 + g_m R_S}$  (CD stage gain 的公式在後續有推論，在這邊先拿來做使用)，又  $g_m = \frac{2I_D}{(V_{GS} - V_{TH})}$ ，在  $V_{GS} = V_{in,DC} - V_{out,DC} = 0.8 V$  下， $I_D R_S = 0.8 V$  代入，所以  $A_V$  會約為 0.856 左右，即  $I_D$  的選擇不影響  $A_V$  滿足 SPEC。

考慮實際電流會有落差的可能，在 Part II 中，我選用  $I_D = 11 \mu A$  作為後續的設計目標。

### 第三步：選取 nMOS 的 $W$ 、 $L$

為盡量減少 Channel length modulation 所造成的影響，我選用與第一步中和測試相同尺度的設計( $L = 1 \mu m$ ) (此時  $\lambda = 0.104 V^{-1}$ ，在這邊可先忽略不計)。

在 Part III 中，由於  $V_{out,DC} = 0.8 V$ ，nMOS 必定都會處於飽和區當中。將上述步驟所選用的  $I_D = 11 \mu A$ 、偏壓  $V_{GS} = 0.8 V$  與  $V_{TH} = 0.53 V$  代入 nMOS 的飽和區電流公式中：

$$I_D = 11 \mu A = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2, \quad \mu_n C_{ox} = 308 \mu A/V^2$$

可以得到  $\frac{W}{L} = 0.98$ ，因此我選用  $\frac{W}{L} = 1$  ( $W = 1 \mu m$ ) 作為後續的設計目標。

#### 第四步：選取負載電阻 $R_S$

同前兩 Part，實際的電流會與預期有所差異，於是先使用上述步驟中所選用的參數，並選用  $R_S = 79000\ \Omega$  先進行試跑，發現實際電流約為  $10.2\ \mu A$ ，與預期的  $11.2\ \mu A$  有約 9% 的落差。觀察 .lis 中的測量結果，我發現  $V_{DSAT}$  比  $V_{OV}$  小，因此我推測電流實際較小的原因與 Velocity saturation 有關(但我選擇的  $L$  很長理當會比較不受影響才對)，由於載子被加速到上限，導致電流比預期的還要小而上不去，而且 Velocity saturation 的影響會比 Channel length modulation 還要來得嚴重(因電流最終比預期還低)。

由於試跑所選用的電阻即滿足 SPEC 中的  $I_D R_S = 0.8\ V$ ，最後電阻的選用就直接為  $R_S = 79000\ \Omega$ 。

#### 第五步：將參數代入，檢驗是否滿足 SPEC

參數：

$Temp = 25^\circ C$ ,  $V_{DD} = 1.8\ V$ ,  
 $R_S = 79000\ \Omega$ ,  
 $W = 1\ \mu m$ ,  $L = 1\ \mu m$ ,  $M = 1$

大訊號分析：

.dc Vin 0 1.8 0.01

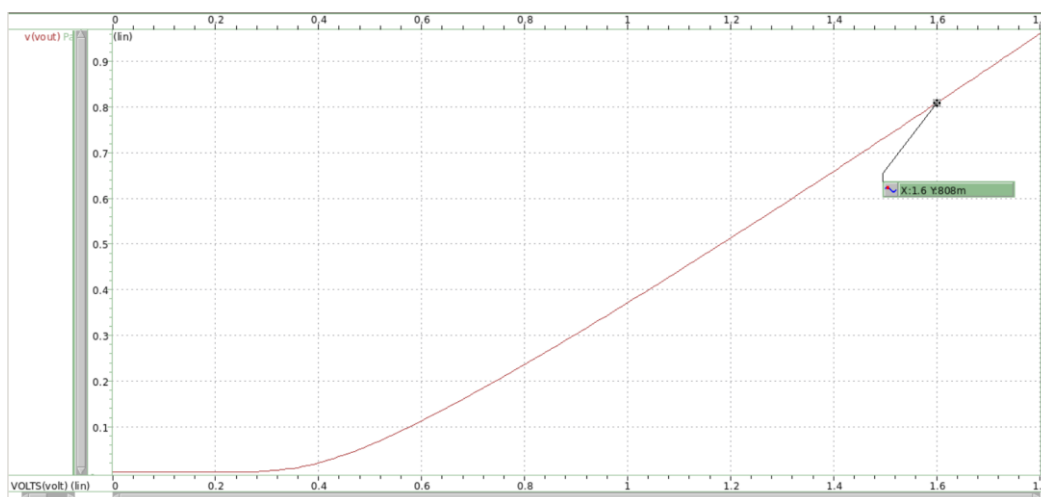
小訊號分析：

.tf V(Vout) Vin

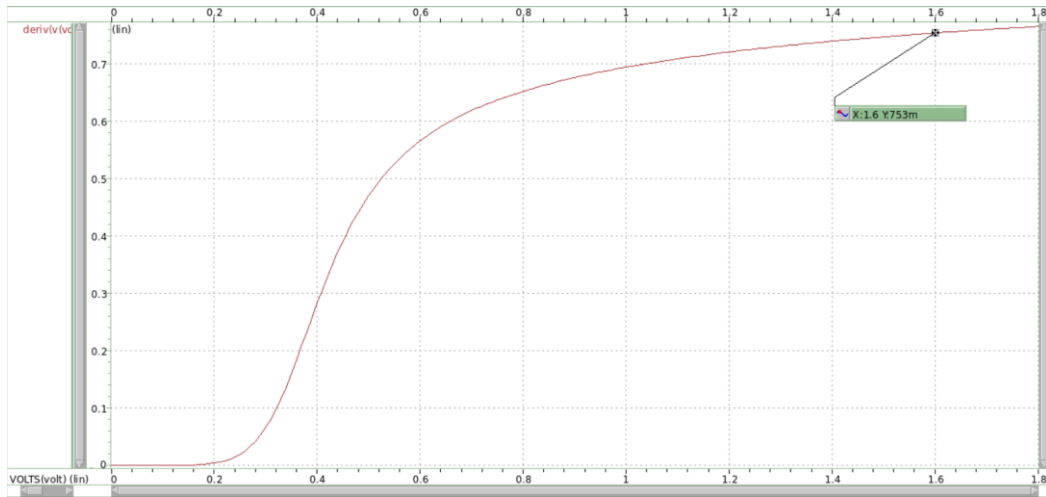
Probe OV：

變數	Hspice 表示
Output voltage(Vout)	V(Vout)
Slope(dVout/dVin)	deriv("V(Vout)")
Channel current(Id)	I(RD)

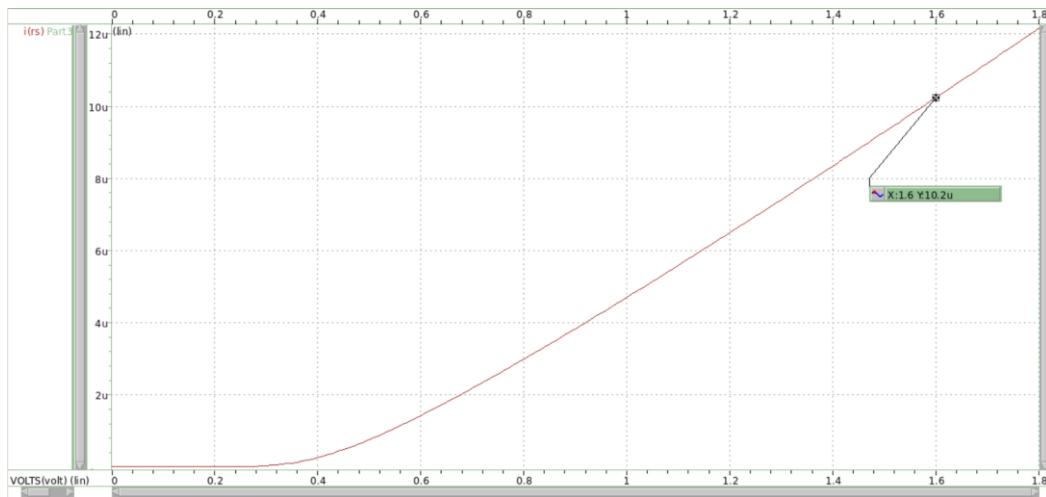
(1) DC Sweep：



**Vout(V) vs. Vin(V) ( $V_{out} = 0.808\ V$  at  $V_{in} = 1.6\ V$ )**



**dVout/dVin vs. Vin(V) ( $dV_{out}/dV_{in} = 0.753$  at  $V_{in} = 1.6V$ )**



**Id(A) vs. Vin(V) ( $I_d = 10.2\mu A$  at  $V_{in} = 1.6V$ )**

由上圖，可以看到當  $V_{in} = 1.6V$  時， $V_{out} = 0.808V$ 、 $\frac{dV_{out}}{dV_{in}} = 0.753$ ，兩者都有滿足 SPEC 的要求。再來，在整個 DC Sweep 的過程中， $I_D$  都小於  $30\mu A$ ，也滿足 SPEC 的要求。

綜合上述，我在 Part III 中的設計有符合 SPEC 的所有要求。

(2) TF Analysis：

```

****      small-signal transfer characteristics

v(vout)/v2          = 753.5514m
input resistance at v2      = 1.000e+20
output resistance at v(vout) = 10.7677k
  
```

TF Analysis 的數據會被存放在 .lis 檔中，如上圖所示，其中第一項  $A_V = 0.753$ ，符合在(1)中  $\frac{dV_{out}}{dV_{in}} = 0.753$  的結果。

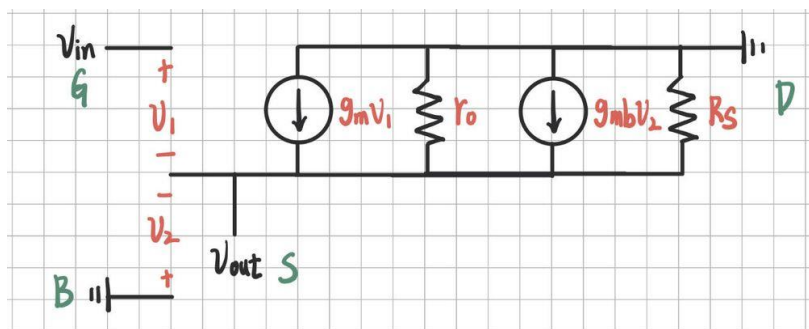
第二項的  $R_{in} = \infty$ ，符合在 Source Follower 小訊號模型中的預期。而最後一項的  $R_{out} = 10768 \Omega$ 。

可以觀察到 Source Follower 有  $A_V$  略小於 1、 $R_{in}$  大、 $R_{out}$  小的特點，很適合作為 Buffer 的角色，不容易受 Input 端或 Output 端外接的電阻大小去影響到訊號傳遞的效果。換句話說，代表不管 Source Follower 接到哪些元件上，都可以穩定的將訊號縮小成 0.753 倍後傳遞出去。

### (3) Hand Calculation and Discussion :

同前兩 Part，在(3)中，我會採用 .lis 檔中實際測得的電流  $I_D = 10.2 \mu A$ 、 $g_m = 70.0 \mu A/V$ 、 $g_{mb} = 9.1 \mu A/V$  和  $g_{ds} = 1.09 \mu A/V$  來做小訊號模型各項參數的手算，並與(2)中結果做比較，來驗證小訊號模型的正确性。

要注意的是在 Part III 中，要考慮 Body effect 的影響，也就是要對小訊號模型進行修正，加入考慮  $g_{mb}$  的影響，修正後的小訊號模型如下圖。



Small-signal model in CS stage

- 計算  $r_o$  :

$r_o = \frac{1}{g_{ds}}$ ，其中  $g_{ds} = 1.09 \mu A/V$ ，得到  $r_o = 917431 \Omega$ 。

- 計算  $A_V$  :

由 KCL， $g_m(v_{in} - v_{out}) - g_{mb}v_{out} = \frac{v_{out}}{r_o} + \frac{v_{out}}{R_S}$ ，整理為  $A_V$  的形式：

$$A_V = \frac{g_m(R_S // r_o)}{1 + (g_m + g_{mb})(R_S // r_o)}, \quad g_m = 70.0 \mu A/V, \quad g_{mb} = 9.1 \mu A/V$$

會得到  $A_V = 0.754$ ，與(2)中 TF Analysis 測量的  $A_V = 0.753$  相符合。但與在前述設計中的推論  $A_V = 0.856$  有差異，這是由於在前述設計時還未考慮  $g_{mb}$  的影響，在 Part III 中的 Body effect 影響很大，讓分母變得更大，就會使得 TF Analysis 測量的 gain 值會比推論小。

- 計算  $R_{out}$  :

要計算 Output impedance，只需要將  $v_{in} = 0$  代入 Small-signal model 當中，並計算  $v_{out}$  與其產生電流的比值即可。

在 CD stage 中， $R_{out} = R_S // r_o // \frac{1}{g_m} // \frac{1}{g_{mb}}$ ，其中  $R_S = 79000 \Omega$ ，計算出來的  $R_{out} = 10770 \Omega$ ，與(2)中 TF Analysis 測量的  $R_{out} = 10768 \Omega$  相符合。

- 計算  $R_{in}$  :

為無限大，此點也與(2)中的結果相符合。

- 計算  $V_{out,DC}$  :

$V_{out,DC} = V_{DD} - I_D R_D = 0.806 V$ ，與(1)中 Sweep 的結果  $V_{out,DC} = 0.808 V$  相符合，也滿足 SPEC 的要求。

TABLE III  
SOURCE FOLLOWER PERFORMANCE TABLE

Working Item	SPEC	Your Design	Hand Calculation
$V_{DD}$	1.8V	1.8V	1.8V
$V_{in,DC}$	1.6V	1.6V	1.6V
$V_{out,DC}$	0.8V	0.808 V	0.806 V
Gain $A_V$	>0.75(V/V)	0.753	0.754
$R_S$	< 90K $\Omega$	79000 $\Omega$	-
$I_D$	< 30 $\mu A$	10.2 $\mu A$	-
$M_d$ W/L	-	1	-

如上表，使用實際跑過 Hspice 得到的參數去進行小訊號模型的手算，會與(1)、(2)中實測的結果相符合，代表 CD stage 中小訊號模型的建立與使用是正確的。