

EE3235 Analog Integrated Circuit Analysis and Design I

Homework 5

Operational Amplifier with Resistive Feedback

姓名：朱豐蔚

學號：110060027

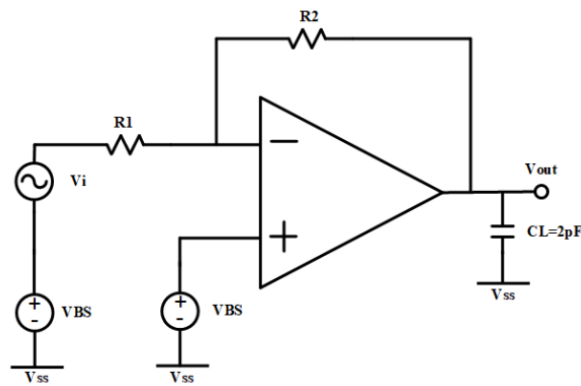
系級：電資院學士班 25

Part I – Design the amplifier

1. Ideal operational amplifier simulation

在這一部分中，我使用手算加上實際去跑 Hspice，雙重驗證最少所需的 OP amp gain。

首先是手算的部分，在使用理想的 OP amp 下，Fig.1 的架構為 Inverting Amplifier(IA)，以此架構分析電壓的關係如下：



由於在小訊號模型下， V_{BS} 可以視作接地，因此放大效果不會受 V_{BS} 與電容的影響，加上因為使用理想 OP amp 下，OP amp 的 R_{out} 為 0、 R_{in} 為無限大，因此 R_1 、 R_2 的選值也不會影響訊號傳入傳出理想 OP amp 的比例。

$$V_+ = GND, \quad \frac{V_- - V_i}{R_1} + \frac{V_- - V_{out}}{R_2} = 0 \text{ (by KCL),}$$

$$V_{out} = A_0(V_+ - V_-), \quad R_2 = 10 R_1$$

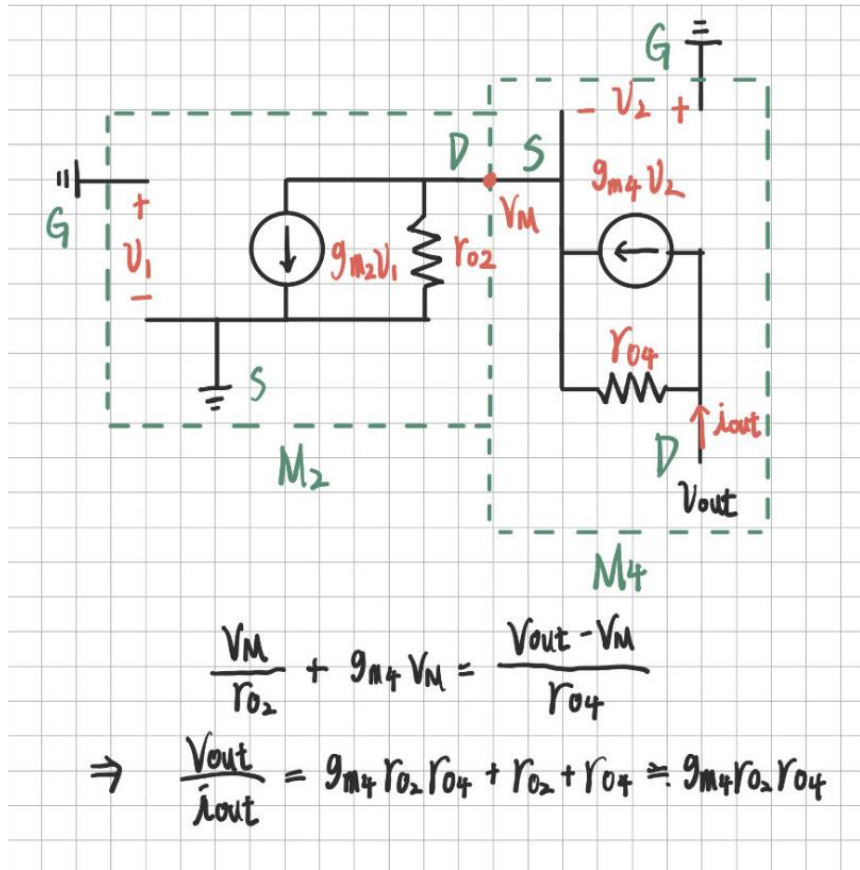
可以得到 $\frac{V_{out}}{V_i} = \frac{-\frac{R_2}{R_1}}{1 + \frac{1}{A_0}(1 + \frac{R_2}{R_1})} = \frac{-10}{1 + \frac{11}{A_0}}$ ，SPEC 中的要求為要介在 -9.8 到 -10.2 之間，因此可以推算出 $A_0 \geq 539$ ，代表後續要設計出 gain 至少要為 539 的 OP amp 電路。

537.0000	101.8587k	0.	-9.7993
538.0000	101.8553k	0.	-9.7996
539.0000	101.8519k	0.	-9.8000
540.0000	101.8484k	0.	-9.8004
541.0000	101.8450k	0.	-9.8007
542.0000	101.8416k	0.	-9.8011
543.0000	101.8382k	0.	-9.8014
544.0000	101.8349k	0.	-9.8018
545.0000	101.8315k	0.	-9.8022
546.0000	101.8282k	0.	-9.8025
547.0000	101.8248k	0.	-9.8029

結合手算與模擬，代表後續要設計出 gain 至少要為 539 的 OP amp 電路，才至少有機會能滿足 SPEC 的所求(由於後續的 OP amp 不理想， R_1 、 R_2 的選值也需要考慮進去，這會導致設計剛好為 539 不一定能滿足 SPEC)。

2

接著分析此 differential pair 的 R_{out} ，這邊可以將 R_{out} 看成往上、往下的兩個部分，兩部分的設計都使用了 Cascade 的架構，因此使用小訊號模型來分別計算(記得使用小訊號模型的前提是所有 MOS 都要處於 saturation 下，這也是 SPEC 之一)：



由上圖可知，下面的部分(包含 M2、M4)，總共的 R 約為 $g_{m4} r_{o2} r_{o4}$ ，以此類推，上面的部分(包含 M6、M8)，總共的 R 約為 $g_{m6} r_{o6} r_{o8}$ ，並聯後的總電阻即為 R_{out} ，最後結合 differential pair 的 gain 值公式，最終可以推得：

$$gain = g_{m1} (g_{m4} r_{o2} r_{o4} // g_{m6} r_{o6} r_{o8})$$

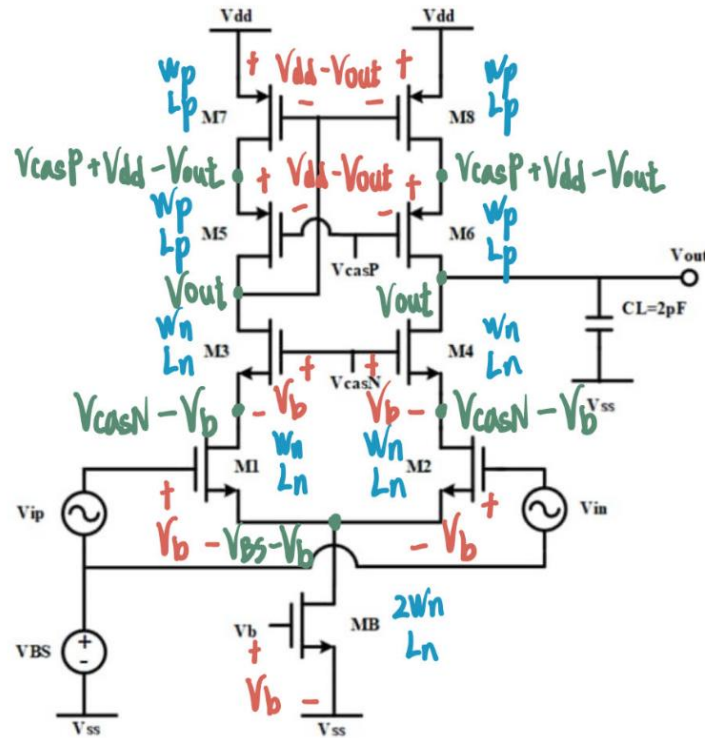
由此可知，若想要提升 gain 值，有許多方式可以達成，第一是提升 R_{out} ，可以透過使用比較大的 L(因為 Channel length modulation 的影響，L 越大 r_o 越大，電流越穩定)，但提升 R_{out} 要多考慮到 SPEC 中 bandwidth 需大於 7000 Hz 的限制，由於在 output 端有外接電容 $C_L = 2 \text{ pF}$ ，加上 R_{out} 、 C_L 都遠大過電路其他位置的電阻與寄生電容，因此 dominate pole 的位置由 R_{out} 、 C_L 主導：

$$f_{bandwidth} = \frac{1}{2\pi R_{out} C_L} \geq 7000 \text{ Hz}$$

可以算出 R_{out} 需要小於 11368210Ω ，也就是說由於 bandwidth 需大於 7000 Hz ，這變相限制了 R_{out} 不能超過 $11.3 \text{ M}\Omega$ ，因此透過提升 R_{out} 來提升 gain 值是有極限的。

第二種提升 gain 值的方式是透過提升 g_{m1} ，結合上述推論的 gain 最小至少要 539，與 R_{out} 有最大值的限制，可以推論出 g_{m1} 至少要為 $47.4 \mu\text{A/V}$ ，因此在後續的設計思路為，先設計讓 g_{m1} 超過 $47.4 \mu\text{A/V}$ ，並透過調整盡量讓 R_{out} 越靠近上限越好，即可滿足 gain 值的要求。

接下來要正式開始設計偏壓與 size 前，首先將架構中各點之間的電位關係理清楚，由於整條路徑上的電流相同，只要令所有 nMOS(M1-M4) size 為 $W_n \cdot L_n$ ，所有 pMOS(M5-M8) size 為 $W_p \cdot L_p$ ，MB 負責作為電流源的角色，需要產生兩倍的電流，因此 MB 的 size 我選用 $2W_n \cdot L_n$ ，這樣後續即可知道所有 nMOS 有相同的驅動電壓 $V_{ov,n}$ (相同 V_{GS})、所有 pMOS 有相同的驅動電壓 $V_{ov,p}$ (相同 V_{SG})，即可大大簡化設計上需要考慮的參數數量，統整如下：



加入考慮最重要的條件，即所有 MOS 都需要處於 saturation 的狀態，因此可以寫下下述的條件式(所有 nMOS body 都接地，所有 pMOS body 都接 V_{dd} ，但先不考慮 body effect)：

$$\begin{aligned} V_{BS} - V_b &\geq V_b - V_{THN} & (MB \text{ saturation}) \\ V_{casN} - V_{BS} &\geq V_b - V_{THN} & (M1, M2 \text{ saturation}) \\ V_{out} - V_{casN} + V_b &\geq V_b - V_{THN} & (M3, M4 \text{ saturation}) \end{aligned}$$

$$\begin{aligned} V_{casP} + V_{dd} - 2V_{out} &\geq V_{dd} - V_{out} - |V_{TH,P}| & (M5, M6 \text{ saturation}) \\ V_{out} - V_{casP} &\geq V_{dd} - V_{out} - |V_{TH,P}| & (M7, M8 \text{ saturation}) \end{aligned}$$

因此在設計時，可以令 V_b 、 V_{BS} 、 V_{casN} 三者呈等差來簡化參數數量，令公差為 Δ_N ，只要這個公差有大過於 $V_b - V_{THN}$ ，就能保證所有 nMOS 在 saturation 下運作，但要注意若公差設定太大，會壓縮到 output swing。

另外看 pMOS 的條件，若令 $V_{dd} - V_{casP}$ 為 $3\Delta_P$ ，由於 pMOS 整條路徑電流相同，因此 V_{out} 會為約 $V_{dd} - 2\Delta_P$ 左右(因 M5、M7 偏壓相同，又因 V_{out} 回頭接給 M7、M8 的 gate 端，分析彼此 V_{SD} 、 V_{SG} 關係後可得)，因此 V_{casP} 的值也不可以設定的太小，會壓縮到 output swing。

綜上所述，由於此次設計並未要求 output swing 的幅度，因此偏壓的設定其實非常寬鬆，很容易設定讓所有 MOS 都處在 saturation 下，但要注意不管是 Δ_N 還是 Δ_P ，若太大超過一定的量就會導致 output swing 被壓縮到小於 0，也就是不可能讓所有 nMOS saturation，此即為失敗的設計。

透過上述的架構參數簡化後，所需要設計的參數從原本每個 MOS 尺寸、每個偏壓，變成只剩下偏壓公差 Δ_N 、 Δ_P ，size 參數 W_n 、 L_n 、 W_p 、 L_p ，以及電流源偏壓 V_b ，這大大簡化了設計上的難度，可以開始進行各項參數的訂定。

回過頭看設計思路第一步，首先著重在 g_{m1} 的設計上，考慮 g_{m1} 公式：

$$g_{m1} = \mu_n C_{ox} \frac{W_1}{L_1} V_{ov1} > 47.4 \mu A/V, \quad \mu_n C_{ox} \cong 300 \mu A/V^2$$

可以得到 $\frac{W_1}{L_1} V_{ov1} = \frac{W_n}{L_n} (V_b - V_{THN})$ 至少要為 0.16 V，回想 MB 的電流公式 $I_{SS} = \frac{1}{2} \mu_n C_{ox} \frac{2W_n}{L_n} (V_b - V_{THN})^2$ ，若考慮要有最大的 FoM，即不只 gain 值要夠大，power 也要越低越好，也就是說 $\frac{W_n}{L_n} (V_b - V_{THN})$ 至少要為 0.16 V 的情況下， V_b 設計越小，power 的表現也就越佳，由前幾次 Lab 的經驗可以推知 V_{THN} 約為 0.36 - 0.4 V 左右，因此理論上選擇 $V_b = 0.4 V$ 有最好的 power 表現，於是我選擇 0.4 V 作為 V_b 的設計。

當 $V_b = 0.4 V$ ，代表 $\frac{W_n}{L_n}$ 就要選得很大，這會導致寄生電容變得非常大(因電容與面積成正相關)，而在我私下的幾次測試、討論區關於 pole 的討論、下課與助教的詢問可以得知，當寄生電容太大，在後續接成 close loop 後，會與電阻值很大的 R_1 、 R_2 形成頻率很小的 pole，因此會去逼近到前面所設想的 dominate pole，因此會出現 open loop、close loop 圖形尾端不貼合的情況，此點也會再後續連接 feedback network 時討論到。

因為 $\frac{W_n}{L_n} (V_b - V_{THN})$ 至少要為 0.16 V，先將 V_{THN} 當作 0.37 V 代入，可以算出 $\frac{W_n}{L_n}$ 要取比 5.5 還要來得大，回憶 Lab 1 中在 TT corner 對 V_{th} 的測量，可以發現由於 reverse short channel effect 的影響，若選擇太小的 L (0.6 μm 以下)，會導致 V_{THN} 上升到超過 0.4 V，進而導致 MB cutoff，因此在 OP amp 的設計中，我選擇令 W_n 為 5.5 μm 、 L_n 為 0.9 μm (size 為 6.1)，取較大的 size 是為了避免 V_{THN} 根據 W_n 、 L_n 變化而有所浮動。

設定好 V_b 後，就可以設計電壓公差 Δ_N ，為了讓 nMOS saturation，因此 Δ_N 需大於 $V_b - V_{THN}$ ，此值約為 0.02-0.05 V 左右，由於此次設計沒有要求 output swing，偏壓可以選得比較保守來讓各個 nMOS 確定有飽和，因此我選擇 $\Delta_N = 0.3 V$ ，也就代表設定 $V_{BS} = 0.7 V$ 、 $V_{casN} = 1 V$ 。

接著設定電壓公差 Δ_P 的值，由前述有提到，由於 pMOS size 都相同，又因電流路徑相同，因此透過分析偏壓(V_{SG} 與 V_{SD})， V_{out} 會為約 $V_{dd} - 2\Delta_P$ 左右，但由於有 channel length modulation 的影響，因此會使 V_{out} 有一定的偏差，但在設計時還是先當作 $V_{dd} - 2\Delta_P$ 去做計算，由於 nMOS 所受驅動電壓 $V_{ov,n}$ 為 $V_b - V_{THN}$ ，約為 0.03 V 左右，若令 $\frac{W_P}{L_P} \cong \frac{W_N}{L_N}$ ，即可得到 $V_{ov,p} = V_{dd} - V_{out} - |V_{TH,P}| = 2\Delta_P - |V_{TH,P}|$ 要為 0.05 V 左右(因電洞遷移率較電子遷移率慢 2.5 倍)，由前幾次 Lab 中的經驗可以得知 $|V_{TH,P}|$ 會略小於 0.5 V，因此我選擇 $\Delta_P = 0.25 V$ ，也就代表設定 $V_{casP} = V_{dd} - 3\Delta_P = 1.05 V$ 。

設計至此僅剩 W_p 、 L_p 的數值還未確定(但已經設計 $\frac{W_P}{L_P} \cong 6$)，而數值的確定則與 R_{out} 有關，這要等到確定 g_{m1} 有超過 47.4 $\mu A/V$ 後，才會進行細算，因此先令 W_p 為 5.5 μm 、 L_p 為 0.9 μm (尺寸與 nMOS 相同)，使用 Hspice 去進行試跑，檢查 g_{m1} 的數值是否有滿足所求，試跑結果如下：

```
**** mosfets

subckt
element 0:mb 0:m1 0:m2 0:m3 0:m4 0:m5
model 0:n_18.1 0:n_18.1 0:n_18.1 0:n_18.1 0:n_18.1 0:p_18.1
region Saturation Saturation Saturation Saturation Saturation Saturation
id 4.5826u 2.2913u 2.2913u 2.2913u 2.2913u 2.2913u
ibs -7.353e-22 -115.1139a -115.1139a -235.9038a -235.9038a 37.4420a
ibd -212.0344a -235.9030a -235.9030a -559.7327a -559.7328a 166.4527a
vgs 400.0000m 450.1118m 450.1118m 487.9013m 487.9013m -618.4258m
vds 249.8882m 262.2105m 262.2105m 702.9691m 702.9691m -453.3580m
vbs 0. -249.8882m -249.8882m -512.0987m -512.0987m 131.5742m
vth 395.3585m 446.4106m 446.4106m 486.6564m 486.6564m -534.8489m
vdsat 66.1053m 67.1947m 67.1947m 67.5306m 67.5306m -114.8669m
vod 4.6415m 3.7012m 3.7012m 1.2448m 1.2448m -83.5769m
beta 3.8136m 1.9166m 1.9166m 1.9245m 1.9245m 424.6735u
gam_eff 507.4459m 514.0164m 514.0164m 520.1711m 520.1711m 556.1561m
gm 97.2605u 49.0612u 49.0612u 49.5224u 49.5224u 33.2911u
gds 1.3894u 734.1840n 734.1840n 657.3195n 657.3195n 166.2632n
gmb 20.3065u 8.8124u 8.8124u 7.6738u 7.6738u 9.4219u
cdtot 16.1236f 7.6565f 7.6565f 6.8319f 6.8319f 6.5426f
cgtot 48.2499f 23.4259f 23.4259f 22.4519f 22.4519f 30.7278f
cstot 50.2733f 23.9440f 23.9440f 22.5049f 22.5049f 35.2524f
cbtot 40.5358f 18.4582f 18.4582f 16.5499f 16.5499f 18.5661f
cgs 34.3262f 16.8699f 16.8699f 16.1068f 16.1068f 26.1653f
cgd 4.0983f 2.0340f 2.0340f 2.0144f 2.0144f 1.9857f

subckt
element 0:m6 0:m7 0:m8
model 0:p_18.1 0:p_18.1 0:p_18.1
region Saturation Saturation Saturation
id -2.2913u -2.2913u -2.2913u
ibs 37.4420a 2.466e-22 2.466e-22
ibd 166.4527a 37.4416a 37.4416a
vgs 618.4258m 584.9322m 584.9322m
vds 453.3580m 487.9013m 487.9013m
vbs 131.5742m 512.0987m 512.0987m
vth -534.8489m -486.6564m -486.6564m
vdsat -114.8669m -67.5306m -67.5306m
vod -83.5769m -1.2448m -1.2448m
beta 424.6735u 1.9245m 1.9245m
gam_eff 556.1561m 520.1711m 520.1711m
gm 33.2911u 49.5224u 49.5224u
gds 166.2632n 657.3195n 657.3195n
gmb 9.4219u 7.6738u 7.6738u
cdtot 6.5426f 6.8319f 6.8319f
cgtot 30.7278f 22.4519f 22.4519f
cstot 35.2524f 22.5049f 22.5049f
cbtot 18.5661f 16.5499f 16.5499f
cgs 26.1653f 16.1068f 16.1068f
cgd 1.9857f 2.0144f 2.0144f
```

MOSFET parameter

可以發現所有 MOS 都有處於 saturation 的情況下，與預期相符合，檢查 g_{m1} 為 49 $\mu A/V$ ，有大過於 47.4 $\mu A/V$ ，代表 nMOS 尺寸與各偏壓的設計可以滿足 gain 要大於 539 的要求。

```

***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node      =voltage      node      =voltage      node      =voltage
+0:vb      = 400.0000m  0:vcasn   = 1.0000   0:vcasp   = 1.0500
+0:vcn     = 700.0000m  0:vdd    = 1.8000   0:vdiff   = 0.
+0:vdrain1 = 512.0987m  0:vdrain2 = 512.0987m  0:vdrain7 = 1.6684
+0:vdrain8 = 1.6684    0:vgate78 = 1.2151   0:vin     = 700.0000m
+0:vip     = 700.0000m  0:vout    = 1.2151   0:vvirtual= 249.8882m

```

.op analysis result

另外觀察 V_{out} 的 operating point，可以發現 V_{out} 為 1.22 V，與前述會約等於 $V_{dd} - 2\Delta_P = 1.3$ V 的推論相符合，代表 pMOS 的偏壓設計是合理的。

```

****      small-signal transfer characteristics
v(vout)/vdiff      = 2.5688k
input resistance at vdiff      = 1.000e+20
output resistance at v(vout)    = 53.0411x

```

.tf analysis result

最後看試跑下的 .tf analysis 結果，可以看到在 W_p 為 $5.5\ \mu\text{m}$ 、 L_p 為 $0.9\ \mu\text{m}$ 的設計下，會使得 R_{out} 太大，這是由於 channel length modulation 的影響， L 越大 r_o 越大，電流就越穩定，因此使得 R_{out} 不管是上半部電阻(M6、M8 的 pMOS 部分)還是下半部電阻(M2、M4 的 nMOS 部分)都因為較大的 L 設計而使得並聯起來的 R_{out} 太大。

前述有提到過由於 reverse short channel effect 的影響，若選擇太小的 L ($0.6\ \mu\text{m}$ 以下)，會導致 V_{THN} 上升到超過 0.4 V，進而導致 MB cutoff，因此不能透過降低 L_n 去降低 R_{out} ，因此想要降低 R_{out} 就必須從降低 L_p 下手(由於 R_{out} 是由 nMOS 部分電阻與 pMOS 部分電阻並聯而成，降低其中一方就會使整體下降)。

於是我將 pMOS 尺寸縮小成原本的 1/5，即 W_p 為 $1.1\ \mu\text{m}$ 、 L_p 為 $0.18\ \mu\text{m}$ 再進行一次試跑，試跑結果如下：

```

****      small-signal transfer characteristics
v(vout)/vdiff      = 525.0068
input resistance at vdiff      = 1.000e+20
output resistance at v(vout)    = 10.8528x

```

.tf analysis result

可以看到 gain 快要到 539，且 R_{out} 離上限也還有一些空間，因此剩下透過微調 W_p 來滿足需求，在電流不變下(因 MB 電流源沒有變)，增加 W_p 代表增加 g_{m6} (因為 $g_m = \sqrt{2\mu_p C_{ox} \frac{W}{L} I_D}$)，以此來增加 R_{out} ，讓 gain 達成所求，最後於 W_p 為 $1.14\ \mu\text{m}$ 時恰滿足所求，完成 OP amp 所有參數的設計。

最後的 OP amp 結果如下表：

subckt						
element	0:mb	0:m1	0:m2	0:m3	0:m4	0:m5
model	0:n_18.1	0:n_18.1	0:n_18.1	0:n_18.1	0:n_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation
id	4.5826u	2.2913u	2.2913u	2.2913u	2.2913u	-2.2913u
ibs	-7.353e-22	-115.1144a	-115.1144a	-235.9462a	-235.9462a	13.5598a
ibd	-212.0354a	-235.9454a	-235.9454a	-563.4622a	-563.4622a	54.0921a
vgs	400.0000m	450.1107m	450.1107m	487.8093m	487.8093m	-605.4037m
vds	249.8893m	262.3013m	262.3013m	710.9730m	710.9730m	-432.2401m
vbs	0.	-249.8893m	-249.8893m	-512.1907m	-512.1907m	144.5963m
vth	395.3585m	446.4100m	446.4100m	486.5885m	486.5885m	-573.9016m
vdsat	66.1053m	67.1945m	67.1945m	67.5210m	67.5210m	-113.8796m
vod	4.6415m	3.7007m	3.7007m	1.2208m	1.2208m	-31.5020m
beta	3.8136m	1.9166m	1.9166m	1.9245m	1.9245m	623.9315u
gam eff	507.4459m	514.0165m	514.0165m	520.1732m	520.1732m	556.0675m
gm	97.2605u	49.0613u	49.0613u	49.5225u	49.5225u	37.1259u
gds	1.3894u	734.0676n	734.0676n	656.8200n	656.8200n	1.2049u
gmb	20.3065u	8.8124u	8.8124u	7.6719u	7.6719u	10.3086u
cdtot	16.1236f	7.6563f	7.6563f	6.8249f	6.8249f	1.4699f
cgtot	48.2499f	23.4258f	23.4258f	22.4464f	22.4464f	1.8762f
cstot	50.2733f	23.9438f	23.9438f	22.4977f	22.4977f	2.6675f
cbtot	40.5358f	18.4580f	18.4580f	16.5428f	16.5428f	2.7112f
cgs	34.3262f	16.8697f	16.8697f	16.0999f	16.0999f	1.2702f
cgd	4.0983f	2.0340f	2.0340f	2.0145f	2.0145f	404.4531a

subckt			
element	0:m6	0:m7	0:m8
model	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation
id	-2.2913u	-2.2913u	-2.2913u
ibs	13.5598a	3.920e-22	3.920e-22
ibd	54.0921a	13.5590a	13.5590a
vgs	-605.4037m	-576.8364m	-576.8364m
vds	-432.2401m	-144.5963m	-144.5963m
vbs	144.5963m	0.	0.
vth	-573.9016m	-535.4468m	-535.4468m
vdsat	-113.8796m	-119.4287m	-119.4287m
vod	-31.5020m	-41.3896m	-41.3896m
beta	623.9315u	640.3722u	640.3722u
gam eff	556.0675m	557.0846m	557.0846m
gm	37.1259u	34.6873u	34.6873u
gds	1.2049u	3.4819u	3.4819u
gmb	10.3086u	10.3766u	10.3766u
cdtot	1.4699f	1.6609f	1.6609f
cgtot	1.8762f	1.9438f	1.9438f
cstot	2.6675f	2.8339f	2.8339f
cbtot	2.7112f	2.9997f	2.9997f
cgs	1.2702f	1.3315f	1.3315f
cgd	404.4531a	415.1556a	415.1556a

MOSFET parameter

```

***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node    =voltage    node    =voltage    node    =voltage

+0:vb    = 400.0000m 0:vcasn  = 1.0000  0:vcasp  = 1.0500
+0:vcm    = 700.0000m 0:vdd    = 1.8000  0:vdiff  = 0.
+0:vdrain1 = 512.1907m 0:vdrain2 = 512.1907m 0:vdrain7 = 1.6554
+0:vdrain8 = 1.6554  0:vgate78 = 1.2232  0:vin    = 700.0000m
+0:vip    = 700.0000m 0:vout   = 1.2232  0:vvirtual= 249.8893m

```

.op analysis result

另外由表中 MB 電流可以計算 power consumption，為 $I_B \times V_{dd} = 8.2 \mu W$ 。

3. Differential Mode

```

****      small-signal transfer characteristics

v(vout)/vdiff      = 545.3851
input resistance at      vdiff      = 1.000e+20
output resistance at v(vout)      = 11.2731x

      .tf analysis result

```

TF Analysis 的數據會被存放在.lis 檔中，如上圖所示，其中第一項 $gain = 545.4$ ，有滿足在第一小題中所模擬出來的最小要求 539，接著採用.lis 檔中實際測得的各項參數來做小訊號模型 gain 的手算。

首先利用前述推導的公式來計算 R_{out} (在這邊將 body effect 給考慮進來，因此需要多考慮 g_{mb} 的數值)：

$$\begin{aligned}
 R_{out} &= [(g_{m4} + g_{mb4})r_{o2}r_{o4} + r_{o2} + r_{o4}] // [(g_{m6} + g_{mb6})r_{o6}r_{o8} + r_{o6} + r_{o8}] \\
 &= \left(\frac{g_{m4} + g_{mb4}}{g_{ds2}g_{ds4}} + \frac{1}{g_{ds2}} + \frac{1}{g_{ds4}} \right) // \left(\frac{g_{m6} + g_{mb6}}{g_{ds6}g_{ds8}} + \frac{1}{g_{ds6}} + \frac{1}{g_{ds8}} \right) \\
 &= 121508355 \, \Omega // 12423614 \, \Omega = 11271192 \, \Omega
 \end{aligned}$$

此結果與.tf analysis 中的結果 11.27 M Ω 相符合，有 R_{out} 的數值後再透過 differential pair 的 gain 值公式來計算 gain：

$$gain = g_{m1}R_{out} = 49.0613 \, \mu A/V^2 \times 11271192 \, \Omega \cong 553.0$$

此結果與.tf analysis 中的結果 545.4 僅有約 1%的誤差。

最後 R_{in} 的部分由於 input 直接接往 M1、M2 的 gate 端，因此 R_{in} 會為無限大，此點也與實測結果相符合。

由上述可以知道，測量結果都與手算結果相符合，代表 differential pair 中小訊號模型的建立與使用是正確的。

4. Frequency Response/Pole and zero

```

*****
***** pole/zero analysis

input = 0:vdif          output = v(vout)

      poles (rad/sec)          poles ( hertz)
real      imag      real      imag
-44.1624k    0.      -7.02866k    0.
-1.70501g    0.      -271.361x    0.
-1.91639g    0.      -305.003x    0.
-2.05889g    0.      -327.683x    0.
-3.87886g    0.      -617.340x    0.
-8.55159g    0.      -1.36103g    0.
-12.0420g    0.      -1.91654g    0.

      zeros (rad/sec)          zeros ( hertz)
real      imag      real      imag
-1.71005g    0.      -272.163x    0.
-2.06355g    0.      -328.424x    0.
-5.98952g    5.39677g    -953.262x    858.923x
-5.98952g    -5.39677g    -953.262x    -858.923x
-12.0414g    0.      -1.91645g    0.
21.8463g     0.      3.47694g     0.

***** constant factor = 1.07269x
*****

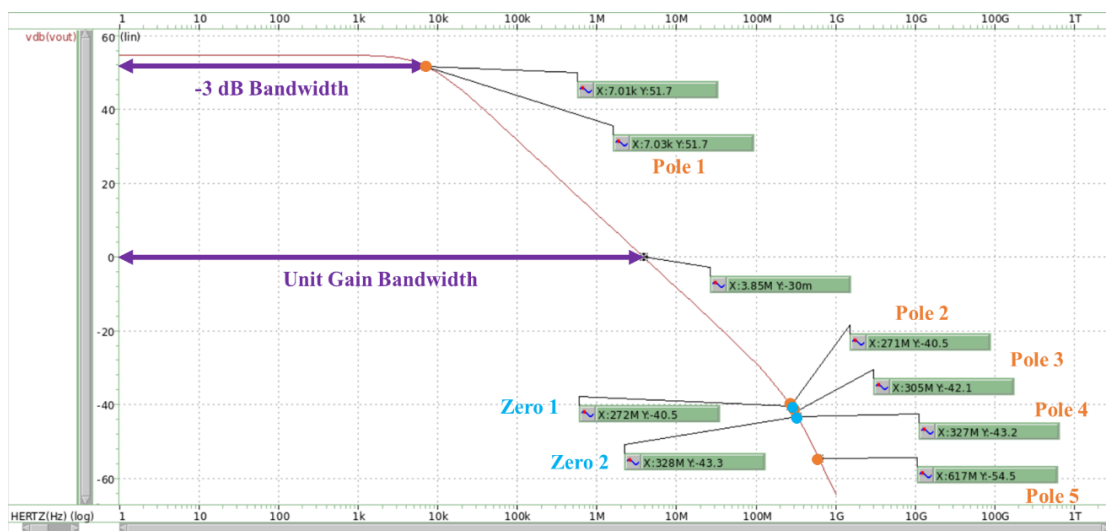
***** ac analysis tnom= 25.000 temp= 25.000 *****
gain_db= 54.7343      at= 1.0000
              from= 1.0000      to= 1.0000g
bandwidth= 7.0122k
unit_gain_width= 3.8463x

***** job concluded
*****

```

.pz analysis result

使用講義提供的參考指令，對 1 Hz 到 1 GHz 進行 pole 和 zero 的量測(因此有些 pole、zero 無法標示在圖上)，由上圖可以測得，整個 OP amp 共有 7 個 pole 分和 6 個 zero，其中最重要的為 dominate pole，也就是前述推論中的 $\frac{1}{2\pi R_{out}C_L}$ 為 7029 Hz，因此 bandwidth 也受 dominate pole 影響為 7012 Hz，有滿足 SPEC 要求的大於 7000 Hz。



gain(dB) vs. Frequency(Hz)

使用第三小題算得的 R_{out} 代入 dominate pole 的計算當中(由於電路中有寄生電容的存在，因此 C_L 須加上考慮寄生電容，在 .lis 檔中測得 C_{out} 為 2.0083 pF)：

$$f_{dominate\ pole} = \frac{1}{2\pi R_{out} C_{out}} = 7031\ Hz$$

此結果與 .pz analysis 中的結果 7029 Hz 相符合，代表 differential pair 中 dominate pole 的設計與計算是正確的。

另外可以注意到 bandwidth 略小於 dominate pole 頻率，我猜測這是因為後面還有其他 pole 的影響，因此使得 -3 dB 頻率來得較早，這才使得 bandwidth 略小於 dominate pole 頻率。

5. Specification

最後統整各 MOS 使用的參數如下表：

Device Size			
M1 (W/L, m)	5.5 μm / 0.9 μm , 1	M5 (W/L, m)	1.14 μm / 0.18 μm , 1
M2 (W/L, m)	5.5 μm / 0.9 μm , 1	M6 (W/L, m)	1.14 μm / 0.18 μm , 1
M3 (W/L, m)	5.5 μm / 0.9 μm , 1	M7 (W/L, m)	1.14 μm / 0.18 μm , 1
M4 (W/L, m)	5.5 μm / 0.9 μm , 1	M8 (W/L, m)	1.14 μm / 0.18 μm , 1
MB (W/L, m)	11 μm / 0.9 μm , 1	-----	-----

Table 1

各偏壓設計如下：

$$V_b = 0.4\ V, \quad V_{BS} = 0.7\ V, \quad V_{casN} = 1\ V, \quad V_{casP} = 1.05\ V$$

Power 表現會被紀錄在 .lis 當中，如下圖所示：

```
**** voltage sources
subckt
element 0:vdifff 0:vb 0:vcasn 0:vcasp 0:vcm 0:vdd
volts 0. 400.0000m 1.0000 1.0500 700.0000m 1.8000
current 0. 0. 0. 0. 0. -4.5826u
power 0. 0. 0. 0. 0. 8.2487u
total voltage source power dissipation= 8.2487u watts
```

power result

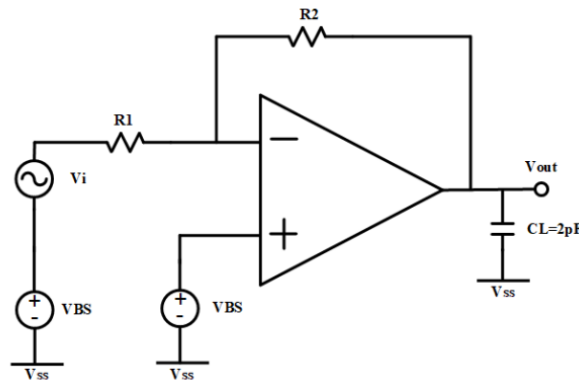
Power 消耗為 8.2 μW ，與前述計算結果相符合，結合 gain 為 545.4(54.7 dB)，最終計算得到的 FoM 為 6.7。

Part II – Add resistive feedback as Fig. 1

1. Please discuss how you determine the value of R_1 and R_2

在原先 Part I 中第一小題的測試中，由於使用理想 OP amp，代表 OP amp 的 R_{in} 為無限大、 R_{out} 為 0，此時 R_1 和 R_2 的值不會影響最終 close loop 的結果。

但由於現在接上自己設計的 OP amp，僅有 R_{in} 為無限大是理想的， R_{out} 並非為 0，甚至為了達成 gain 最小的要求 539，還需要設計較大的 R_{out} ，因此 R_1 和 R_2 的選用就會大大影響最終 close loop 的放大效果，此為課堂上有提到過的 I/O effect。



再次分析 Fig.1 中的電路架構，可以將整個放大看成兩個部分，第一是 V_- 與 V_i 之間的關係，此部分並未與 OP amp、feedback network 形成 close loop，為獨立的一部分，而且回想給入 forward network(OP amp)的訊號應該要轉換成正的形式，而將訊號給入 V_- ，可以轉個角度看成將負的訊號給入 V_+ ，因此在小訊號下，有 $V_+ = -V_- = -\frac{R_2}{R_1 + R_2} V_i$ 的關係。

第二部分是由 V_- 經過 OP amp 放大給 V_{out} ，再由 R_1 和 R_2 構建出的 feedback network 迴授給 V_- ，換句話說，當 V_- 上升， V_{out} 會因 OP amp 放大一個負的訊號而下降，而再由 R_1 和 R_2 的分壓讓 V_- 上升，即第二部分構成了一個負迴授的 close loop。

因此，在使用理想 OP amp 的情況下，總共的 gain 值可以寫成兩部分的放大值相乘：

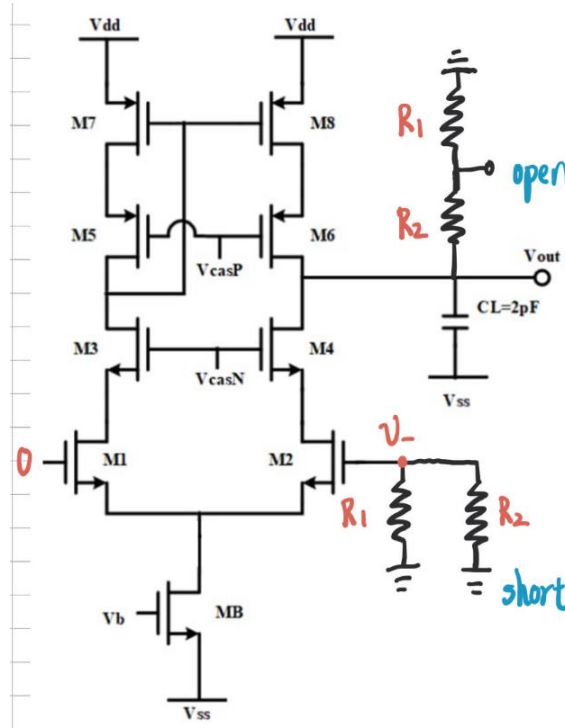
$$total\ gain = -\frac{R_2}{R_1 + R_2} \times \frac{A_o}{1 + KA_o}$$

其中前面的乘數代表 V_+ 與 V_i 之間的關係，後面的乘數代表 close loop gain(A_o 為 OP amp gain、 K 為 feedback network gain)，其中由分壓的概念去描述 V_- 與 V_{out} 之間的關係，可以得到 $K = \frac{R_1}{R_1 + R_2}$ 。

最後將 $R_2 = 10 R_1$ 代入其中，可以得到與 Part I 中第一小題手算相同的結果：

$$total\ gain = -\frac{10}{11} \times \frac{A_o}{1 + \frac{1}{11} A_o} = \frac{-10}{1 + \frac{11}{A_o}}$$

但由於自己設計的 OP amp 為非理想，因此需將 R_1 和 R_2 考慮進去，重新計算 A_0 為 A_1 。要重新計算 A_1 ，首先需要將 feedback network 打斷，分析如下圖：



A_1 實際上是 V_+ 與 V_{out} 之間的關係，但為了呈現出 Fig.1 的電壓關係，因此圖上我畫上 V_- ，考慮 R_1 和 R_2 後的 OP amp gain 為：

$$A_1 = g_{m1} [R_{out.open\ loop} // (R_1 + R_2)]$$

$$total\ gain = \frac{-10}{1 + \frac{11}{A_1}}$$

由此可知，若 R_1 和 R_2 取得太小，會導致 A_1 比 A_0 還要小上許多，這會導致最後 total gain 不滿足 SPEC 所要求的 9.8，因此理想上 R_1 和 R_2 要選得越大越好。

回憶前述設計中有提到，OP amp 中寄生電容的存在，會與 R_1 和 R_2 形成 pole，反過來影響最終的 frequency response，代表寄生電容反向限制了 R_1 和 R_2 不能無上限的選擇。因此為求得最佳的 R_1 和 R_2 大小，我由 $gain = \frac{-10}{1 + \frac{11}{A_1}}$ 下手先去計算 A_1 的最小值應為 539，再由 Part I 中 OP amp 的.lis 檔參數 $g_{m1} = 49.0613 \mu A/V^2$ ，可以得到 $R_1 + R_2$ 至少要為 440 MΩ 才能讓 total gain 滿足 SPEC 所要求的 9.8。

因此我選擇 $R_1 = 40 M\Omega$ 、 $R_2 = 400 M\Omega$ 進行試跑。

試跑結果如下：

```

      poles ( hertz)
      real      imag
-132.637k    270.512k
-132.637k   -270.512k
-232.661x      0.
-305.613x      0.
.pz analysis result

```

可以發現最終出現了複數的 pole 為 dominate pole，在 frequency response 的圖形上會呈現出 overshoot 的情形，這代表寄生電容與過大的 R_1 和 R_2 形成的 pole 已經壓縮到原本的 dominate pole，因而出現複數 pole 的情況，雖然有達成 SPEC，但於之後對 pole 的計算與分析上會是很大的阻力。

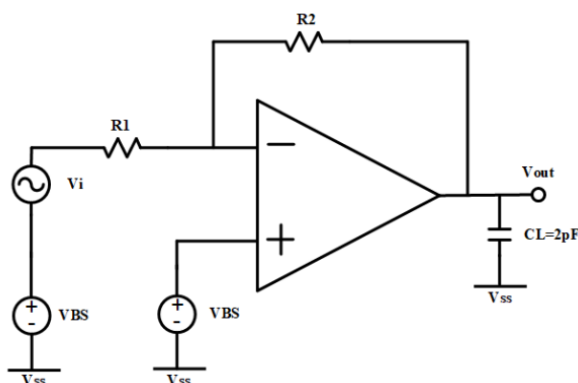
```

****      small-signal transfer characteristics
v(vout)/vi
input resistance at      vi      = -9.8562
output resistance at v(vout) = 40.5298x
                           = 220.7804k
.tf analysis result

```

此時回過頭看 TF analysis 的結果，可以發現 total gain 並不是預期中的剛好-9.8，甚至比 9.8 還大了一些，代表 R_1 和 R_2 還可以再取得更小，去解決上述提到複數 pole 的問題。

但為什麼會有 total gain 值微微上升的情況呢，這要回過頭去看 Fig.1 的電路架構：

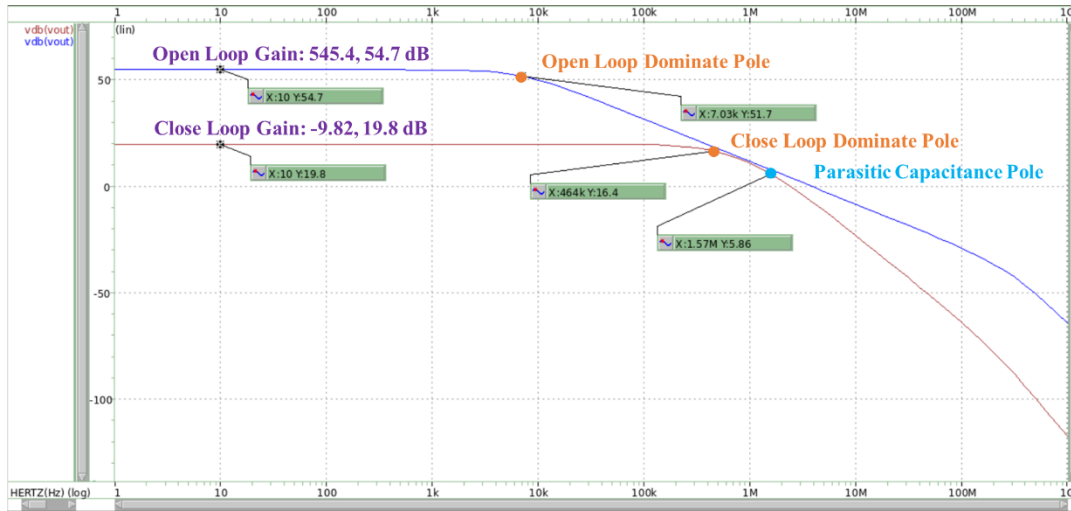


可以發現 V_- 和 V_+ 的 DC bias 並不相同，因為 $V_{out,DC}$ 並不一定等於 V_{BS} ，這會使得 V_- 的 DC bias 因為在前述設計 OP amp 中的 $V_{out,DC}$ 比 V_{BS} 高，透過分壓的影響有比 V_+ 還要高一點的偏壓($R_2 = 10 R_1$ ，因此只會高一點點)，這會使得原先設計很對稱的 differential pair，因為偏壓的些微差異，導致兩條對稱路徑的電流不相同，有 M2、M4、M6、M8 路徑電流較大的情形。

這會使得在電流略大下，M2、M4、M6、M8 有更小的 r_o ，即合併為更小的 R_{out} ，更小的 R_{out} 則更不受 R_1 和 R_2 的影響，這就使得能夠透過選擇更小的 R_1 和 R_2 ，在滿足 SPEC 條件下去解決出現複數 pole 的問題。

權衡複數 pole 與 gain，最終我選擇 $R_1 = 5 M\Omega$ 、 $R_2 = 50 M\Omega$ ，作為最折衷的選擇方案。

2. Frequency response



gain(dB) vs. Frequency(Hz)

Red line: Close loop gain

Blue line: Open loop gain

可以看到因為選擇了較小的 R_1 和 R_2 ，寄生電容所造成的 pole 就遠離了 dominate pole，避免了複數 pole 的出現，圖形中也就沒有 overshoot 的情形，但還是可以看到，由於寄生電容所造成的影響，會導致在 1.5 MHz 後，Open loop 與 Close Loop 的曲線有漸漸不貼合的情形，這個情況可以藉由選擇較小的 MOS size 解決，但如前述推論，會造成 power 的上升。

接著計算 gain change(假設 R_1 和 R_2 不影響 gain)：

$$\text{gain change} = \frac{A_{\text{open loop}}}{A_{\text{close loop}}} = \frac{A_o}{-\frac{R_2}{R_1 + R_2} \times \frac{A_o}{1 + K A_o}}, \quad A_o = 545.4$$

可以得到 gain change 為 55.64 倍，與實測的結果 55.54 相符合。

接著計算 close loop gain 與 gain error(假設 R_1 和 R_2 不影響 gain)：

$$\text{close loop gain} = -\frac{R_2}{R_1 + R_2} \times \frac{A_o}{1 + K A_o} = \frac{-10}{1 + \frac{11}{A_o}} \cong -10 \times \left(1 - \frac{11}{A_o}\right)$$

其中 gain error 會為 $\frac{11}{A_o} = 2\%$ ，因此 close loop gain 會約等於-10 的 98%，也就是-9.98，與實測的結果-9.82 相符合。

由上述可以知道，測量結果都與手算結果相符合，代表 close loop 小訊號模型的建立與使用是正確的，剩下一點的誤差則是來自於前述有提到過的兩個原因， R_1 和 R_2 不是無限大，會造成實際上的 forward network gain 變小，以及 $V_{\text{out.DC}}$ 並不一定等於 V_{BS} ，會導致 V_- 和 V_+ 的 DC bias 並不相同，導致 differential pair 表現與預期有些落差。

3. Why we need the feedback loop

從上述結果可以統整出一些由 Open loop 接上 feedback network 後的性質變化：

一、gain 值變小：

由 545.4 變為 -9.82(小 55.5 倍)，雖然 gain 值變小，但是變得更加可控，原因是因為只要透過調控 R_1 和 R_2 的比例，就能穩定得到想要的 gain 值，比起原先 OP amp 容易受到製程差異、溫度、偏壓差異而變化即大的 gain 值有最佳的穩定性與可控性。

二、 R_{out} 變小：

由 11.27 M Ω 變為 220 k Ω (小 51.2 倍)，代表訊號從系統中傳出更不受外接電阻的影響，避免了傳出的訊號被分壓掉而使放大效果大打折扣。

備註：課堂上有學到對於 voltage to voltage 的 OP amp， R_{in} 在接上 feedback network 後大部分會變得更大，代表訊號傳入系統更不受外接電阻的影響，避免了傳入的訊號被分壓掉而使放大效果大打折扣。但在此次設計中由於 V_i 並非直接給入整個 close loop 系統，代表 R_{in} 會吃到 R_1 和 R_2 而變小，因此並未有這項優勢。

三、Bandwidth 變大：

由 7012 Hz 變為 429025 Hz(大 61.2 倍)，代表整個系統的放大器能對更大頻寬的訊號進行放大，增加放大器運作的範圍。

綜上所述，雖然接上 feedback network 後降低了 gain 值，但因此得到了更加可控的放大表現、更大的頻寬、更理想 R_{out} ，大大增加了穩定性與設計上的簡易性(只需要保證 OP amp gain 大於 539 即可)。

4. Dominant pole change

先列出 Part I、Part II 兩部分.lis 檔中的.pz analysis 結果如下：

```
***** pole/zero analysis *****
input = 0:vdifff      output = v(vout)
poles (rad/sec)      poles ( hertz)
real      imag      real      imag
-44.1624k      0.      -7.02866k      0.
-1.70501g      0.      -271.361x      0.
-1.91639g      0.      -305.003x      0.
-2.05889g      0.      -327.683x      0.
-3.87886g      0.      -617.340x      0.
-8.55159g      0.      -1.36103g      0.
-12.0420g      0.      -1.91654g      0.

zeros (rad/sec)      zeros ( hertz)
real      imag      real      imag
-1.71005g      0.      -272.163x      0.
-2.06355g      0.      -328.424x      0.
-5.98952g      5.39677g      -953.262x      858.923x
-5.98952g      -5.39677g      -953.262x      -858.923x
-12.0414g      0.      -1.91645g      0.
21.8463g      0.      3.47694g      0.

***** constant factor = 1.07269x
*****

***** ac analysis tnom= 25.000 temp= 25.000 *****
gain_db= 54.7343      at= 1.0000
from= 1.0000      to= 1.0000g
bandwidth= 7.0122k
unit_gain_width= 3.8463x
***** job concluded *****

***** pole/zero analysis *****
input = 0:vi      output = v(vout)
poles (rad/sec)      poles ( hertz)
real      imag      real      imag
-2.91509x      0.      -463.952k      0.
-9.87673x      0.      -1.57193x      0.
-1.46049g      0.      -232.443x      0.
-1.92028g      0.      -305.622x      0.
-2.11704g      0.      -336.937x      0.
-3.87628g      0.      -616.929x      0.
-8.44835g      0.      -1.34460g      0.
-12.5021g      0.      -1.98977g      0.

zeros (rad/sec)      zeros ( hertz)
real      imag      real      imag
-1.83794g      0.      -292.517x      0.
-2.47514g      0.      -393.930x      0.
-5.87658g      1.06530g      -935.287x      169.547x
-5.87658g      -1.06530g      -935.287x      -169.547x
-12.4064g      0.      -1.97454g      0.
15.6041g      0.      2.48347g      0.
375.166g      0.      59.7095g      0.

***** constant factor = 58.3080
*****

***** ac analysis tnom= 25.000 temp= 25.000 *****
gain_db= 19.8407      at= 1.0000
from= 1.0000      to= 1.0000g
bandwidth= 429.0245k
unit_gain_width= 2.4353x
***** job concluded *****
```

.pz analysis result (Left: Part I、Right: Part II)

要計算 dominate pole 之前，首先要計算接上 feedback network 後的 $R_{out.close\ loop}$ ，因為有接上 feedback network，因此 $R_{out.close\ loop}$ 並不是單純只看 $R_{out.open\ loop} // (R_1 + R_2)$ 。

由課堂上講述過的迴授性質，在接上 feedback network 後：

$$R_{out.close\ loop} = \frac{R_{out.open\ loop}}{1 + KA_o}$$

再加上考慮 I/O effect，也就是考慮 R_1 和 R_2 後：

$$A_1 = g_{m1}[R_{out.open\ loop} // (R_1 + R_2)]$$

$$R_{out.close\ loop} = \frac{R_{out.open\ loop} // (R_1 + R_2)}{1 + KA_1} = \frac{R_{out.open\ loop} // (R_1 + R_2)}{1 + \frac{R_1}{R_1 + R_2} g_{m1}[R_{out.open\ loop} // (R_1 + R_2)]}$$

將 Part I 中.lis 檔得到的 g_{m1} 、 $R_{out.open\ loop}$ 代入計算，可以得到 $R_{out.close\ loop} = 219\ k\Omega$ ，與實測的結果 $220\ k\Omega$ 相符合。

接著計算 dominate pole(由於電路中有寄生電容的存在，因此 C_L 須加上考慮寄生電容，在.lis 檔中測得 C_{out} 為 2.0088 pF)：

$$f_{dominate\ pole} = \frac{1}{2\pi R_{out.close\ loop} C_{out}}$$

可以得到 dominate pole 為 348053 Hz，與實測的結果 463952 Hz 有約 25%的差異，推測誤差的來源與有其他鄰近 pole 存在的相互影響有關，使得 RC 乘積的估計方式變得比較不準確。

但還是可以看出在接成 close loop 後，dominate pole 的頻率有大幅增加的現象，這代表整個電路的放大器可以作用於更寬的頻寬範圍，對於更高的頻率能依然維持住放大表現，此點也是前述有提到過的迴授優勢。

PART1: open-loop simulation			
Working Item	Specification	Simulation	Calculation
Tail current	(uA)	4.58 μ A	
gain($V_{out}/(V_{ip}-V_{in})$)	> 54.63 dB (539.0)	54.73 dB (545.4)	54.85 dB (553.0)
Input common mode	V_{BS} (V)	0.7 V	
Tail current bias	V_b (V)	0.4 V	
-3dB Bandwidth	>7k Hz	7012 Hz	7031 Hz
Power dissipation	(uW)	8.2 μ W	8.2 μ W
PART2: closed-loop simulation as Fig. 1			
Working Item	Specification	Simulation	Calculation
Closed-loop gain (V_{out}/V_i)	10 ± 0.2 (V/V)	9.82	9.80

Table. Summary table

Device Size			
M1 (W/L, m)	5.5 μ m / 0.9 μ m, 1	M5 (W/L, m)	1.14 μ m / 0.18 μ m, 1
M2 (W/L, m)	5.5 μ m / 0.9 μ m, 1	M6 (W/L, m)	1.14 μ m / 0.18 μ m, 1
M3 (W/L, m)	5.5 μ m / 0.9 μ m, 1	M7 (W/L, m)	1.14 μ m / 0.18 μ m, 1
M4 (W/L, m)	5.5 μ m / 0.9 μ m, 1	M8 (W/L, m)	1.14 μ m / 0.18 μ m, 1
MB (W/L, m)	11 μ m / 0.9 μ m, 1	-----	-----

Table 1