

EE3235 Analog Integrated Circuit Analysis and Design I

Homework 6

2-Stage Opamp with CMFB

姓名：朱豐蔚

學號：110060027

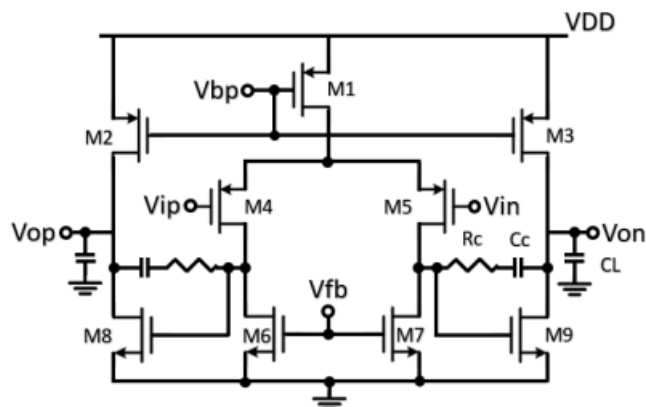
系級：電資院學士班 25

Part I – Design the amplifier

1. 設計過程

在這次 Lab 的電路設計中，我想要先將設計的過程分為三大部份，透過一次一個部份的設計去慢慢的滿足所求，三個部分依次為 2-stage Opamp 的設計、CMFB Opamp 的設計、最後是 compensation 電阻電容的設計。

在第一部分 2-stage Opamp 的設計過程中，會將重點擺在要過 gain 要求、功耗要求、ICMR 要求三者上，而且可以先無視 R_c 與 C_c (只跟 phase margin 的調控有關) 的設計。



由於此電路為 2-stage Opamp，可以看到由中間 M1、M4、M5、M6、M7 所組成的 1st stage 先進行第一階的放大，再由兩旁 M2、M3、M8、M9 所組成的 2nd stage 進行第二階的放大，兩階段都為 differential pair 的放大特性，因此需採用完全對稱的設計，總共的放大倍率如下：

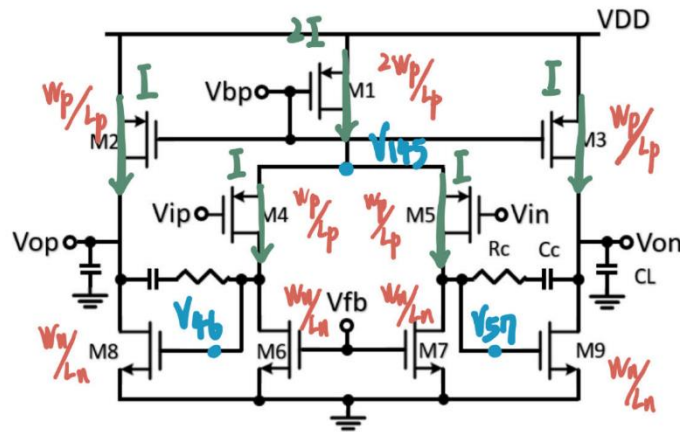
$$gain = gain_1 \times gain_2 = g_{m4}(r_{o4}/r_{o6}) \times g_{m8}(r_{o8}/r_{o2})$$

可以看到 gain 總共被六個變數給決定，為了簡化設計上的複雜度，我想先令所有 nMOS 有相同長度 L_n 、所有 pMOS 有相同長度 L_p ，已知 g_m 、 r_o 皆與電流有關，可以設計流過 M2、M3、M4、M5 的電流都一模一樣，因此可以知道 M1、M2、M3 的寬度關係為 $2W_p:1W_p:1W_p$ 。

再來觀察中間 M1、M4、M5、M6、M7 所組成的 1st stage，其電路關係應為 M1 作為電流源，去提供左右兩邊的電流，為求方便，可以令 M1、M4、M5 的寬度關係為 $2W_p:1W_p:1W_p$ ，這樣就能夠使得三者 $V_{ov,p}$ 相同，在後續設計偏壓上就方便許多。

再來由於四條路徑的電流都相同，若令所有 nMOS 有相同 W_n 、 L_n ，那麼對於 M6、M7、M8、M9 也會有相同的 $V_{ov,n}$ ，表現在電路中就是 $V_{46} = V_{57} = V_{fb}$ ，這也能大大減少所需設計的參數。

自此簡化後的電路參數如下：



可以看到原本要設計所有 MOS 的 size 與偏壓，經過簡單的簡化後只剩下 W_n 、 W_p 、 L_n 、 L_p 、 V_{bp} 、 V_{fb} 期望值這六個變數需要做設計，其中 V_{fb} 期望值可以先設計，後續再由 CMFB 傳回想要的 V_{fb} 數值即可。

在真正進入 gain 的設計之前，最後還需要再進行偏壓的條件判定，在整個放大系統中，最重要的一點就是保證所有 MOS 在 saturation 的情況下運作，課堂上所使用的公式與放大效果才能夠受到控制，因此需要進行偏壓的檢查。

在前述已經將所有 nMOS 的驅動電壓 $V_{ov,n}$ 、所有 pMOS 的驅動電壓 $V_{ov,p}$ 透過訂定 MOS 尺寸給統一了，所以可以知道：

$$V_{DD} - V_{bp} = V_{145} - V_{i.dc}$$

$$V_{DD} - V_{145} \geq V_{DD} - V_{bp} - |V_{TH,p}| \quad (M1 \text{ saturation})$$

$$V_{DD} - V_{bp} \geq |V_{TH,p}| \quad (M1 \text{ open})$$

SPEC 中有提到 ICMR 需要為 1 V 以上，由於 M1 為 pMOS，因此可以推知若 $V_{i.dc}$ 太高，有可能會導致 V_{145} 變得太高，而導致 M1 進入 linear region 而壞掉，因此雖然 SPEC 給定 $V_{i.dc}$ 在 0.8 V 去看各條件，但在設計時要考慮進 $V_{i.dc}$ 也要能在 1 V 運作的情況。

因此先將 $V_{i.dc}$ 為 1 V、 $|V_{TH,p}|$ 約為 0.5 V (L_p 約等於 1.1 μm) 代入：

$$V_{bp} + V_{145} = V_{DD} + V_{i.dc} = 2.8 \text{ V}$$

$$V_{bp} - V_{145} \geq -|V_{TH,p}| = -0.5 \text{ V} \quad (M1 \text{ saturation})$$

$$V_{bp} \leq V_{DD} - |V_{TH,p}| = 1.3 \text{ V} \quad (M1 \text{ open})$$

可以統整得到 $1.15 \text{ V} \leq V_{bp} \leq 1.3 \text{ V}$ ，這變相限制了 V_{bp} 的範圍，因此我選擇 V_{bp} 為 1.2 V 作為我後續的設計。

接著回到 gain 值的設計，由於 power 有限制，這代表若想增加 gain 值，調高 r_o 會是比较好的方向，因此 L 選超過 1 μm 會較佳，但是一味的增加 r_o 會使得 R_{out} 變得太大，與外接的電容 C_L 會形成較小的 pole，反而有可能會壓到 unit gain bandwidth 的位置，因此 L 不要選超過 2 μm 會較佳。回想前述在計算 V_{bp} 也是使用 $|V_{TH,p}|$ 約為 0.5 V (L_p 約等於 1.1 μm) 來做設計，因此我選用 L_n 、 L_p 都為 1.1 μm 來做後續的設計。

由於計算 gain 值需要知道 nMOS、pMOS 在長為 1.1 μm 下的 λ_n 、 λ_p ，因此我採用實測的方式，真的建立.sp 檔去做 Hspice 的模擬(.sp 檔上傳為 Part1_parameter.sp)，結果如下：

```
subckt
element 0:mn1      0:mp1
model   0:n_18.1  0:p_18.1
region  Saturation Saturation
id      2.2784u   -438.9070n
ibs     -6.479e-22 7.637e-23
ibd     -135.3342a 82.8215a
vgs     500.0000m -600.0000m
vds     900.0000m -900.0000m
vbs     0.         0.
vth     390.4538m  -506.5142m
vdsat   122.9199m -123.4551m
vod     109.5462m -93.4858m
beta    307.4815u  67.7136u
gam_eff 507.4460m 557.0847m
gm       30.2343u  6.0036u
gds     316.3391n  16.8303n
gmb     6.0531u   1.7777u
```

MOSFET parameter

可以得到在 nMOS、pMOS 在長為 1.1 μm 下，有 $\lambda_n = \frac{g_{ds}}{I_{DS}} = 0.14 \text{ V}^{-1}$ 、 $\lambda_p = \frac{g_{ds}}{I_{SD}} = 0.04 \text{ V}^{-1}$ ，除此之外也可以觀察到 $V_{TH,n}$ 為 0.39 V、 $|V_{TH,p}|$ 為 0.51 V。

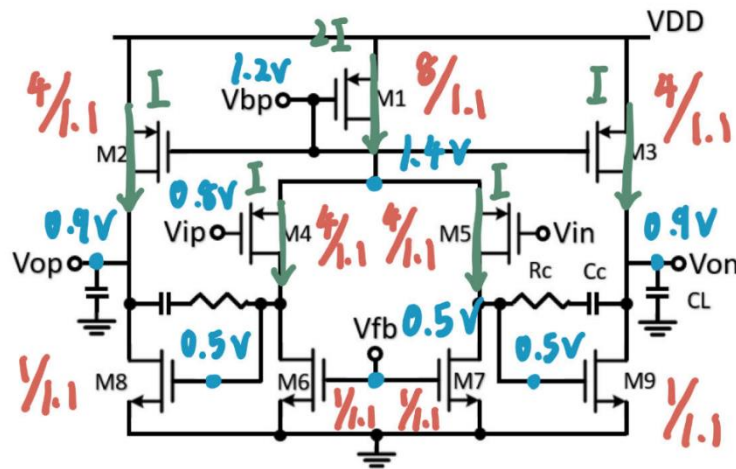
重新列出 gain 值公式並整理如下：

$$\begin{aligned} \text{gain} &= \text{gain}_1 \times \text{gain}_2 = g_{m4}(r_{o4} // r_{o6}) \times g_{m8}(r_{o8} // r_{o2}) \\ &= \frac{2I}{V_{DD} - V_{bp} - |V_{TH,p}|} \left(\frac{1}{I \cdot \lambda_p} // \frac{1}{I \cdot \lambda_n} \right) \times \frac{2I}{V_{fb} - V_{TH,n}} \left(\frac{1}{I \cdot \lambda_p} // \frac{1}{I \cdot \lambda_n} \right) = \frac{1372}{V_{fb} - V_{TH,n}} \end{aligned}$$

因此若想要 gain 值超過 70 dB (約 3162) , V_{fb} 需要介在 0.39 V 到 0.82 V 之間 , 為了使得 nMOS 與 pMOS size 相當 , 不要有一邊特別大的情況發生 , 因此我選擇 V_{fb} 約為 0.5 V 來進行設計 , 此時 W_p 與 W_n 的比值可以藉由電流相同去代入 :

$$\frac{W_p}{W_n} = \frac{\mu_n(V_{fb} - V_{TH,n})^2}{\mu_p(V_{DD} - V_{bp} - |V_{TH,p}|)^2}, \quad \frac{\mu_n}{\mu_p} \cong 2.6$$

可以得到 $\frac{W_p}{W_n}$ 要約為 4 左右 , 取 W_p 為 4 μm 、 W_n 為 1 μm 。至此將所有 2-stage Opamp 尺寸關係與偏壓設定完畢 , 如下圖所示 , 待後續設計完 CMFB 電路後便可以進行參數的測量。



CMFB 的架構有許多種 , 我採用了講義提供較為簡單設計的 R sense 架構 , 在這個架構中需要設計 R 電阻的大小以及 Opamp 。首先 R 電阻不能取得太小 , 因為與 2-stage Opamp 的 R_{out} 有所相連 , 會使得傳出 2-stage Opamp 的放大訊號因為分壓的關係 , 使得放大效果不如原先的預期 , 因此至少要為 R_{out} 的 10 倍以上才比較足夠 , 最後選擇 100 G Ω 。

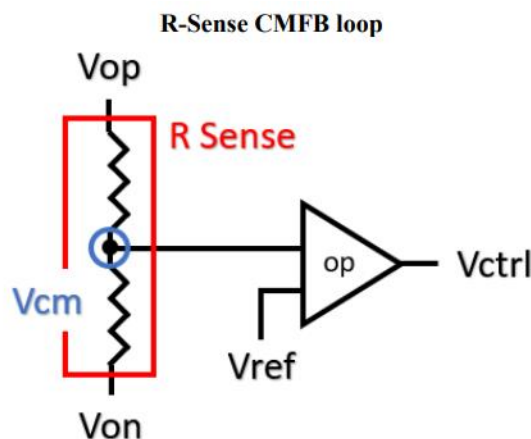
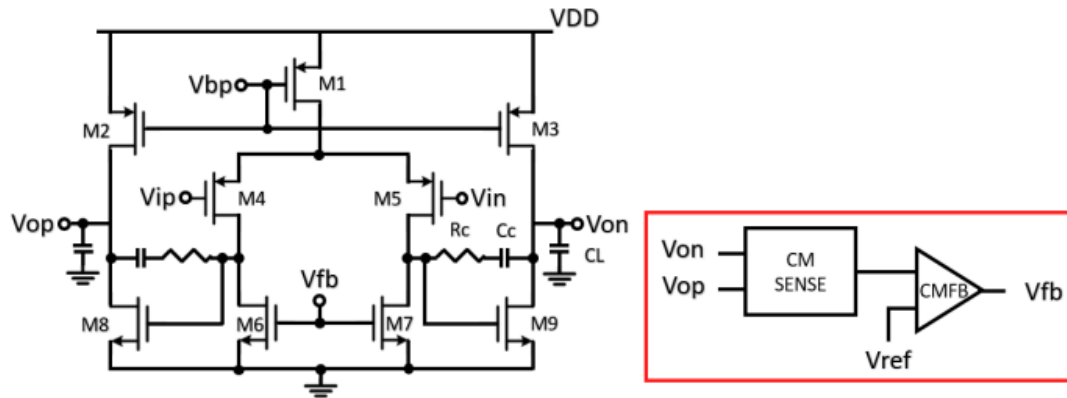
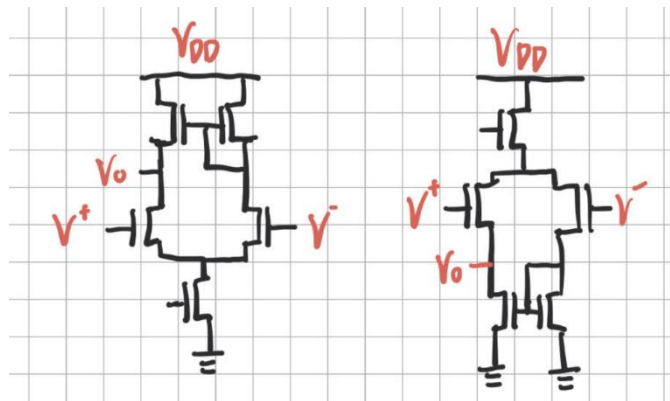


Fig. 5. R-Sense Common-Mode Feedback Loop

接著是 Opamp 的設計，前述 2-stage Opamp 的設計中，希望 CMFB 傳入的 V_{fb} 能為 0.5 V，因此在這邊要設計一個 $V_{out,dc}$ 在 0.5 V 左右的 Opamp，再來觀察此 Opamp 為單獨的輸出，因此我選擇採用 differential pair 的方式來設計，最後是正負迴授的判斷：

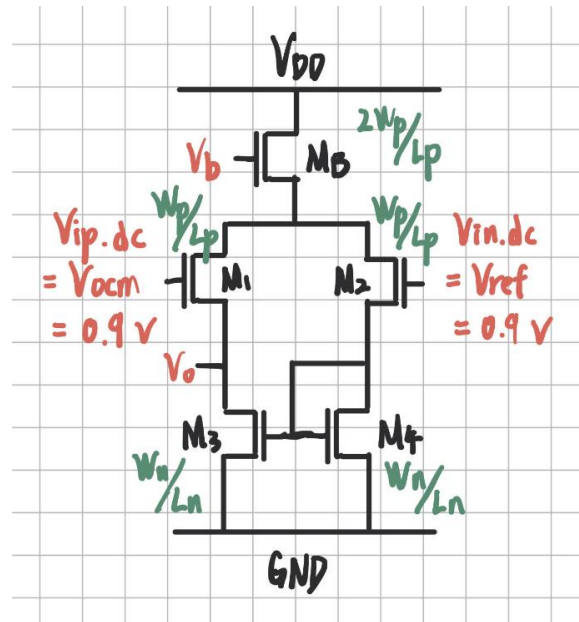


假設現在 V_{fb} 略大，會導致 M6、M7 驅動電壓略大，此時 V_{46} 、 V_{57} 就會為了讓整條路徑的電流是相同的，透過 channel length modulation 的調控而略為下降。再繼續推論，因為 V_{46} 、 V_{57} 略小，會導致 M8、M9 驅動電壓略小，此時 V_{op} 、 V_{on} 就會為了讓整條路徑的電流是相同的，透過 channel length modulation 的調控而略為上升，傳入 Opamp 系統中，因此若 V_{ocm} 接入 Opamp 的正端，想要讓 V_{fb} 變小一點以達成系統的穩定的話，就要使用一個放大倍率為負值的 differential pair 作為 Opamp 的設計，以達成負迴授穩定的特性。



採用最簡單 differential pair 設計，可以用 nMOS 或 pMOS 作為電流源，我選擇以右圖，也就是 pMOS 來做電流源，原因是因為若採用 nMOS， V_o 就需要大過兩份的 V_{ov} 才能保證所有 MOS saturation，這樣會使得 V_{fb} 希望在 0.5 V 的 output swing 變得很小很不穩定。

因為採用了 pMOS 電流源版本的 Opamp，接下來要設計偏壓與各 MOS 尺寸，去達到 V_{fb} 在 0.5 V 的效果，設計如下圖：



設計過程與設計 2-stage Opamp 類似，一樣先定下所有 MOS 的尺寸關係如上圖，且已知 $V_{i.dc}$ 為 0.9 V，因此要讓 pMOS 都進 saturation 的條件就比較寬鬆，加上 Opamp 的 gain 值不用很高，甚至若 gain 太高會在後續的 .tran 分析中容易不好穩定，因此 Opamp 沒有太多設計上的限制，可以以降低功耗為主去做設計。

唯一要注意的一點，是在設計中，對於 nMOS 我採用 self-biasing 的架構，既能保證 nMOS 必處於 saturation，又能透過後續尺寸比例的設計，去強制 V_{fb} 為 0.5 V。

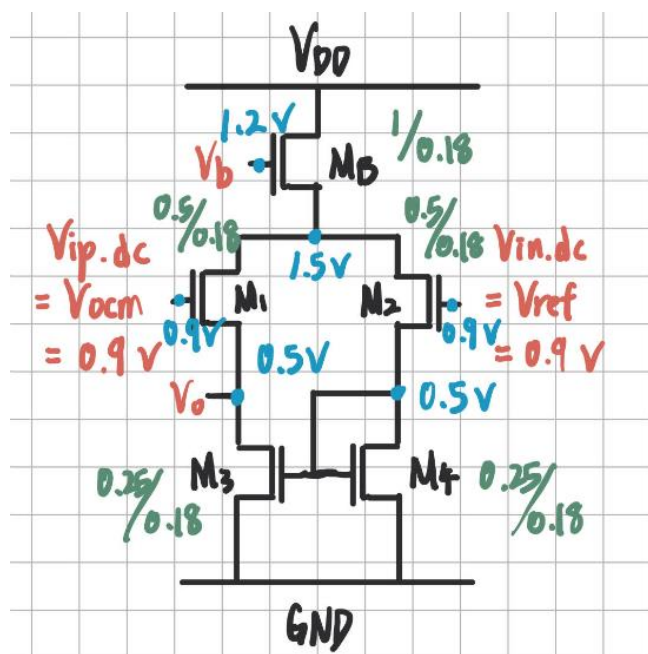
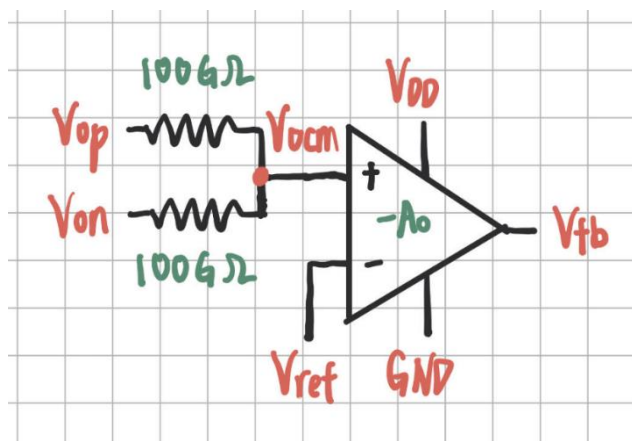
由於不希望 gain 值太高而導致 damping 不穩定，我選用 L_n 、 L_p 都為 0.18 μm 的設計，透過降低 r_o 讓 gain 值不要太大，加上功耗的考量，不能讓 W/L 太大，因此 W_n 、 W_p 也應該選擇較小的尺寸， V_b 也選擇 1.2 V，讓 MB 的驅動電壓小一點省電流消耗。

將 V_b 、 V_{fb} 、 $V_{TH,n}$ 、 $|V_{TH,p}|$ (L 為 0.18 μm 下) 都代入電流相同的等式中：

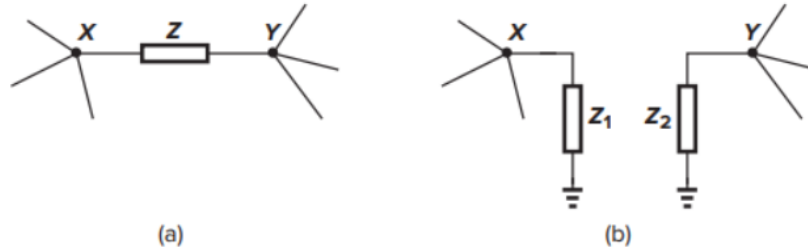
$$\frac{W_p}{W_n} = \frac{\mu_n (V_{fb} - V_{TH,n})^2}{\mu_p (V_{DD} - V_{bp} - |V_{TH,p}|)^2}, \quad \frac{\mu_n}{\mu_p} \cong 2.6$$

可以得到 W_p 、 W_n 尺寸比例約為 2:1，取 W_p 為 0.5 μm 、 W_n 為 0.25 μm 。

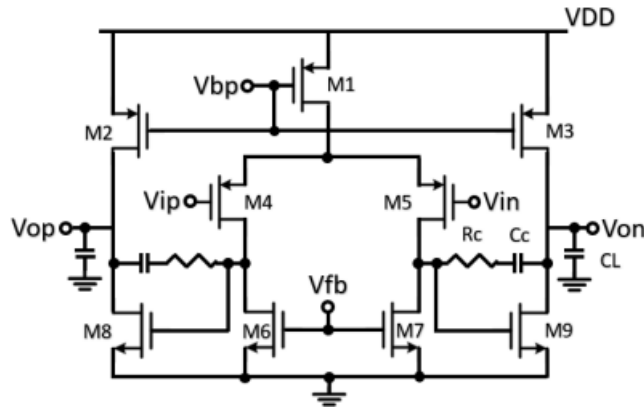
結合 R sense 與 Opamp，即可完成 CMFB 整體電路的設計，MOS 尺寸、各點偏壓、元件選擇如下圖所示：



在最後一部分 compensation 電阻電容的設計中，首先要先知道補償電阻與補償電容在電路中扮演了什麼樣的角色，將兩者合併一起看成一個阻抗 $Z = R_c + \frac{1}{sC_c}$ ，由於跨過了 M8、M9，因此根據 Miller effect，會在 M8、M9 的 gate、drain 端等效成兩個阻抗，如下圖所示：



有 $Z_1 = \frac{R_c + \frac{1}{sC_c}}{1 + A_0} \cong \frac{R_c}{A_0} + \frac{1}{sC_c A_0}$ 、 $Z_2 = \frac{R_c + \frac{1}{sC_c}}{1 + \frac{1}{A_0}} \cong R_c + \frac{1}{sC_c}$ ，其中 A_0 為 2nd stage 放大倍率絕對值。



因此多了補償電路，會在 M8、M9 的 gate 端產生一個 pole，為 $\omega_p = \frac{1}{C_c A_0 (\frac{R_c}{A_0} + r_{o4} // r_{o6})}$ ，而且會在 M8、M9 的 drain 端產生一個 zero，為 $\omega_z = \frac{1}{C_c (R_c - \frac{1}{g_{m8}})} \cong \frac{1}{C_c R_c}$ ，運用此特性，就能夠將原本 phase margin 不夠的部分，透過此 zero 去增加 phase margin，想法是透過補償電路，去靠近、稍微小於原本存在的第二個 pole，使 zero 與 pole 稍微相抵消，表現在 Waveview 圖形中就可以將 phase 在 -90 度的範圍往後推移，進而讓 phase margin 大幅上升。

在沒加補償電路前所試跑的第二個 pole 約為 MHz 量級，加上考量不要讓補償電路產生的第一個 pole 太小(放大器 bandwidth 太小)，即希望 pole 大、zero 小，因此先選擇適中的 C_c 值為 1 pF，接著代入希望 ω_z 約在 1 MHz 左右，即可得到 R_c 約莫為 200 kΩ 左右，最後由於 phase margin 是要滿足 3 corner 的要求的，因此透過嘗試與微調，調到 R_c 取 250 kΩ 能夠滿足 phase margin 的 SPEC，自此完成補償電路的元件設計。

將所有放大器連接後，結果如下圖，為了呈現出 ICMR，因此我都會附上 $V_{i.cm}$ 由 0 V 到 1.1 V (step 為 0.1 V) 的各項 SPEC 結果(除了 saturation 為了不過度放圖，因此只放頭尾的 0 V、1V)，首先先確認在三個 corner 下的 MOS 是否都有 saturation：

subckt	xamp	xamp	xamp	xamp	xamp	xamp
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6
model	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xamp	xamp	xamp	xcmfb_omp	xcmfb_omp	xcmfb_omp
element	1:m7	1:m8	1:m9	2:mb	2:m1	2:m2
model	0:n_18.1	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xcmfb_omp	xcmfb_omp
element	2:m3	2:m4
model	0:n_18.1	0:n_18.1
region	Saturation	Saturation

SS corner MOSFET parameter $V_{i.dc} = 0$ V

subckt	xamp	xamp	xamp	xamp	xamp	xamp
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6
model	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xamp	xamp	xamp	xcmfb_omp	xcmfb_omp	xcmfb_omp
element	1:m7	1:m8	1:m9	2:mb	2:m1	2:m2
model	0:n_18.1	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xcmfb_omp	xcmfb_omp
element	2:m3	2:m4
model	0:n_18.1	0:n_18.1
region	Saturation	Saturation

SS corner MOSFET parameter $V_{i.dc} = 1$ V

subckt	xamp	xamp	xamp	xamp	xamp	xamp
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6
model	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xamp	xamp	xamp	xcmfb_omp	xcmfb_omp	xcmfb_omp
element	1:m7	1:m8	1:m9	2:mb	2:m1	2:m2
model	0:n_18.1	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xcmfb_omp	xcmfb_omp
element	2:m3	2:m4
model	0:n_18.1	0:n_18.1
region	Saturation	Saturation

TT corner MOSFET parameter $V_{i.dc} = 0$ V

subckt	xamp	xamp	xamp	xamp	xamp	xamp
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6
model	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xamp	xamp	xamp	xcmfb_omp	xcmfb_omp	xcmfb_omp
element	1:m7	1:m8	1:m9	2:mb	2:m1	2:m2
model	0:n_18.1	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation

subckt	xcmfb_omp	xcmfb_omp
element	2:m3	2:m4
model	0:n_18.1	0:n_18.1
region	Saturation	Saturation

TT corner MOSFET parameter $V_{i.dc} = 1$ V

subckt	xamp	xamp	xamp	xamp	xamp	xamp
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6
model	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation
subckt	xamp	xamp	xamp	xcmfb_omp	xcmfb_omp	xcmfb_omp
element	1:m7	1:m8	1:m9	2:mb	2:m1	2:m2
model	0:n_18.1	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation
subckt	xcmfb_omp	xcmfb_omp				
element	2:m3	2:m4				
model	0:n_18.1	0:n_18.1				
region	Saturation	Saturation				

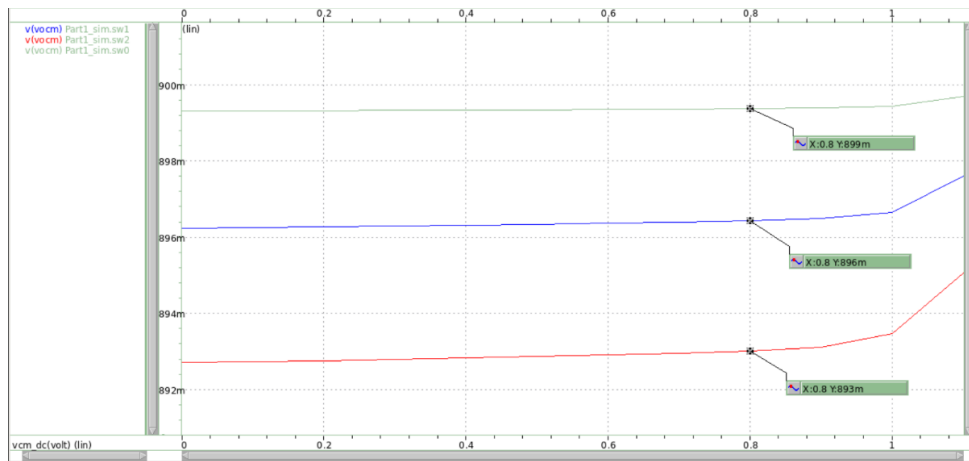
FF corner MOSFET parameter $V_{i.dc} = 0\text{ V}$

subckt	xamp	xamp	xamp	xamp	xamp	xamp
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6
model	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation
subckt	xamp	xamp	xamp	xcmfb_omp	xcmfb_omp	xcmfb_omp
element	1:m7	1:m8	1:m9	2:mb	2:m1	2:m2
model	0:n_18.1	0:n_18.1	0:n_18.1	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation
subckt	xcmfb_omp	xcmfb_omp				
element	2:m3	2:m4				
model	0:n_18.1	0:n_18.1				
region	Saturation	Saturation				

FF corner MOSFET parameter $V_{i.dc} = 1\text{ V}$

可以看到， $V_{i.cm}$ 在 0 V 到 1 V，都能夠進入 saturation 的狀態，代表放大器能夠正常運作，此外，三個 corner 都在 $V_{i.cm}$ 為 1.1 V 時有 M1 進入 linear region 的情形，這與前述設計時的推論與預期相符合。

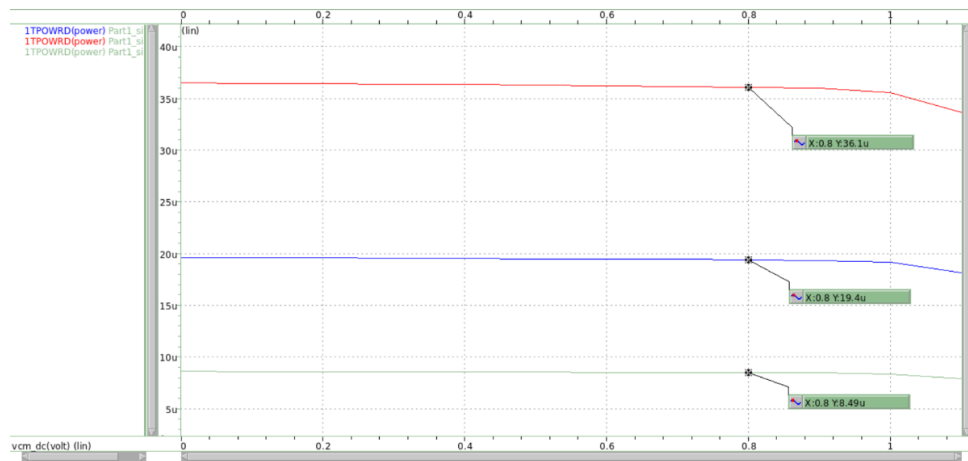
接著使用 DC sweep 去看三個 corner 下 $V_{o.cm}$ 的電位變化：



$V_{o.cm}$ (V) vs. $V_{i.cm}$ (V) SS corner: Green line / TT corner: Blue line / FF corner: Red line

可以看到， $V_{out.cm}$ 在三個 corner 下分別為 SS: 899 mV、TT: 896 mV、FF: 893 mV 左右，皆有滿足 SPEC 所求，表示 CMFB 有成功透過迴授將電位鎖住，保證系統的穩定性，此外也可以注意到 $V_{i.cm}$ 為 1.1 V 後， $V_{out.cm}$ 有突然上升的趨勢，這也是 M1 進入 linear region 的影響。

接著使用 DC sweep 去看三個 corner 下 power 的變化：



Vo.cm(V) vs. Vi.cm(V) SS corner: Green line / TT corner: Blue line / FF corner: Red line

可以看到，在三個 corner 下的 power 表現分別為 SS: 8.5 μ W、TT: 19.4 μ W、FF: 36.1 μ W 左右，皆有滿足 SPEC 所求，其中 FF corner 由於有較大的載子遷移率，因此電流較大是符合預期的表現，此外也可以注意到 $V_{i.cm}$ 為 1.1 V 後，power 有突然下降的趨勢，這也是 M1 進入 linear region 導致電流下降的影響表現。

接著使用到.lis 檔中去看三個 corner 下 gain 值的變化：

vcm_dc	input resistance at vdiff	output resistance at v(vop,von)	v(vop,von)/vdiff
0.	1.000e+20	10.5965x	5.3970k
100.0000m	1.000e+20	10.5965x	5.7626k
200.0000m	1.000e+20	10.5965x	5.9708k
300.0000m	1.000e+20	10.5965x	6.1155k
400.0000m	1.000e+20	10.5965x	6.2271k
500.0000m	1.000e+20	10.5965x	6.3182k
600.0000m	1.000e+20	10.5965x	6.3949k
700.0000m	1.000e+20	10.5965x	6.4609k
800.0000m	1.000e+20	10.5965x	6.5185k
900.0000m	1.000e+20	10.5965x	6.5699k
1.0000	1.000e+20	10.5965x	6.6200k
1.1000	1.000e+20	10.5964x	6.7057k

SS corner .tf analysis result

vcm_dc	input resistance at vdiff	output resistance at v(vop,von)	v(vop,von)/vdiff
0.	1.000e+20	5.8580x	4.0176k
100.0000m	1.000e+20	5.8580x	4.3291k
200.0000m	1.000e+20	5.8580x	4.5111k
300.0000m	1.000e+20	5.8580x	4.6412k
400.0000m	1.000e+20	5.8580x	4.7442k
500.0000m	1.000e+20	5.8580x	4.8302k
600.0000m	1.000e+20	5.8580x	4.9042k
700.0000m	1.000e+20	5.8580x	4.9694k
800.0000m	1.000e+20	5.8580x	5.0278k
900.0000m	1.000e+20	5.8580x	5.0820k
1.0000	1.000e+20	5.8579x	5.1412k
1.1000	1.000e+20	5.8578x	5.2649k

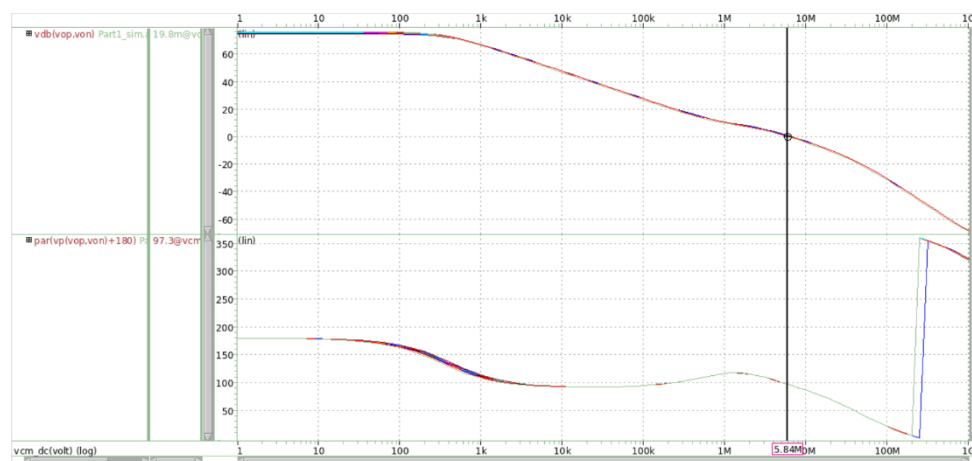
TT corner .tf analysis result

vcm_dc	input resistance at vdiff	output resistance at v(vop,von)	v(vop,von)/vdiff
0.	1.000e+20	3.8632x	3.2259k
100.0000m	1.000e+20	3.8632x	3.6096k
200.0000m	1.000e+20	3.8632x	3.8206k
300.0000m	1.000e+20	3.8632x	3.9678k
400.0000m	1.000e+20	3.8632x	4.0837k
500.0000m	1.000e+20	3.8632x	4.1807k
600.0000m	1.000e+20	3.8632x	4.2649k
700.0000m	1.000e+20	3.8632x	4.3398k
800.0000m	1.000e+20	3.8632x	4.4081k
900.0000m	1.000e+20	3.8632x	4.4738k
1.0000	1.000e+20	3.8631x	4.5565k
1.1000	1.000e+20	3.8629x	4.7397k

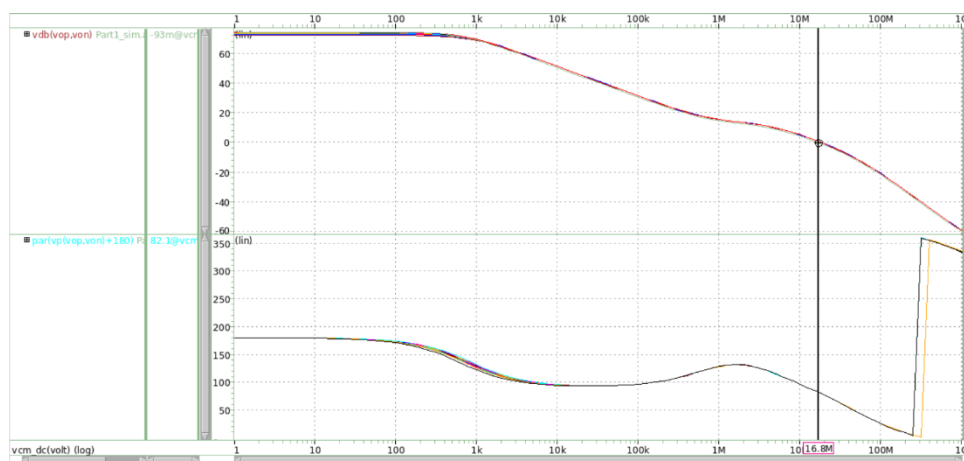
FF corner .tf analysis result

可以看到，在三個 corner 下的 gain 值表現分別為 SS: 6519 (76.3 dB)、TT: 5023 (74.0 dB)、FF: 4408 (72.9 dB) 左右，皆有滿足 SPEC 所求，其中 FF corner 由於有較大的載子遷移率、電流也就較大，因此 r_o 就會因此下降，進而導致 gain 值比其他兩個 corner 還要來得低，結果是符合預期的。

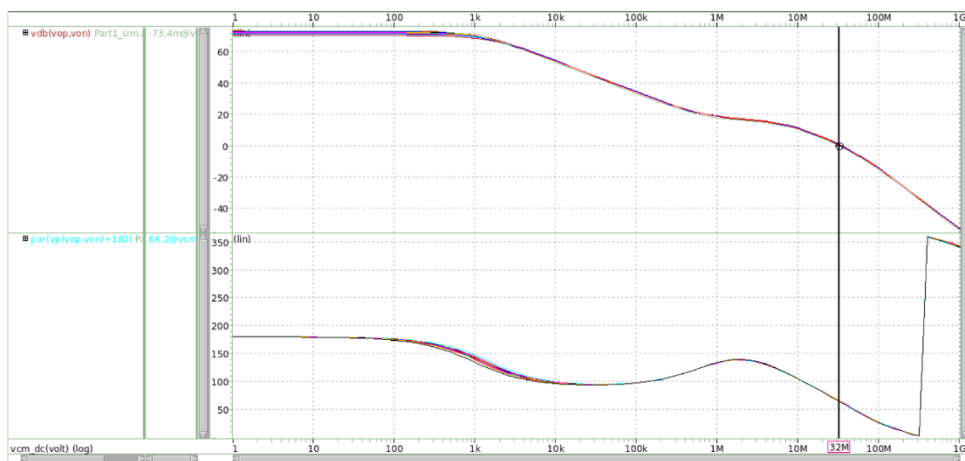
最後是 UGB 與 phase margin 的量測，使用 AC sweep 搭配 measure 指令去做量測，量測結果如下：



SS corner Frequency response gain(dB): Upper graph / phase margin(degree): Lower graph

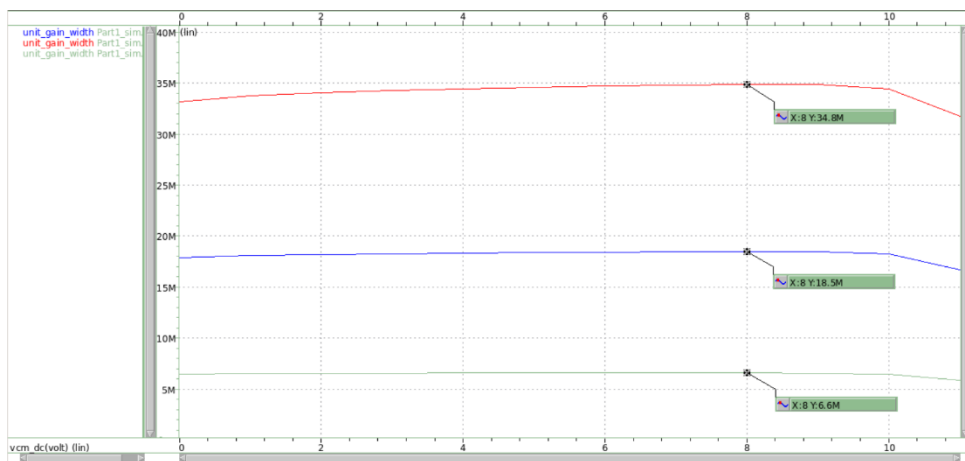


TT corner Frequency response gain(dB): Upper graph / phase margin(degree): Lower graph



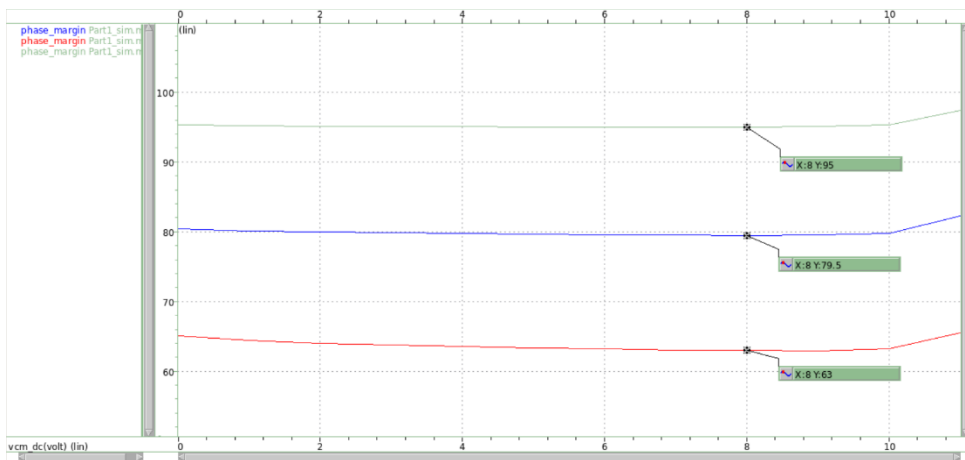
FF corner Frequency response gain(dB): Upper graph / phase margin(degree): Lower graph

初步可以看出 UGB 與、phase margin 都有滿足 SPEC 所求，準確的結果要以 measure 指令來呈現，measure 結果會放入.ma 檔中，結果如下：



UGB(Hz) vs. Vi.cm(node, 1 node means 0.1 V)

SS corner: Green line / TT corner: Blue line / FF corner: Red line



Phase margin(degree) vs. Vi.cm(node, 1 node means 0.1 V)

SS corner: Green line / TT corner: Blue line / FF corner: Red line

可以看到，在三個 corner 下的 UGB 分別為 SS: 6.6 MHz、TT: 18.5 MHz、FF: 34.8 MHz 左右，而 phase margin 分別為 SS: 95.0 度、TT: 79.5 度、FF: 63.0 度左右，不管是 UGB 還是 phase margin 皆有滿足 SPEC 所求。

最後將所有量測結果整理為下表：

Parameters	Specification	This Work		
		TT	FF	SS
Supply Voltage (V)		1.8		
Temp. (°C)		27		
Loading Cap. (pF)		1		
Output CM Voltage @ Vin,cm=0.8V (V)	0.9±20mV	0.896	0.893	0.899
Open Loop Gain (dB)	> 70	74.0	72.9	76.3
GBW (MHz)	> 5	18.5	34.8	6.6
Phase Margin (degree)	> 60	79.5	63.0	95.0
Input Common Mode Range (V)	≥ 1	≥ 1	≥ 1	≥ 1
Power Consumption (uW)	< 50	19.4	36.1	8.5

Table. 1. Specification and Performance

可以看到所有結果都有滿足 SPEC，代表放大器的設計是穩定且能夠正常運作的。

2. CMFB close loop 的分析

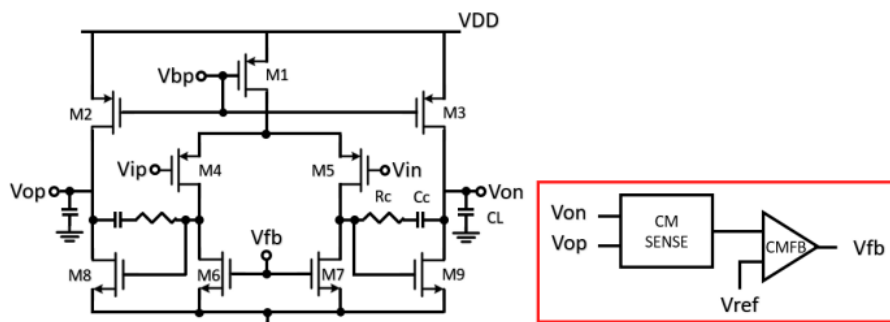


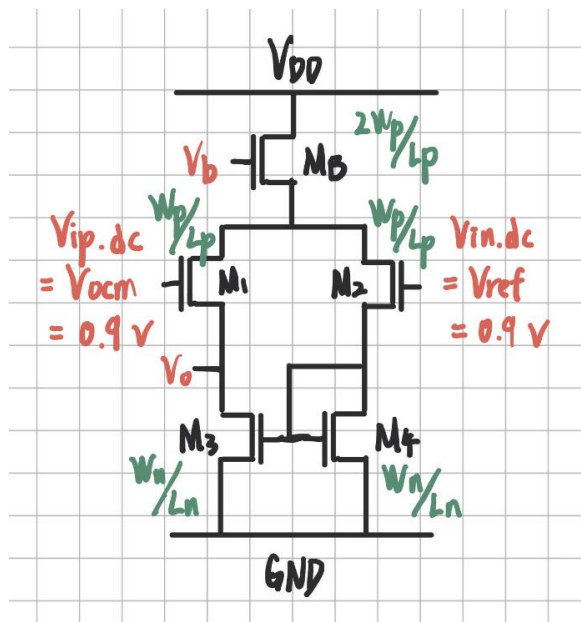
Fig. 1. 2-Stage Opamp with Common Mode Feedback.

思考 CMFB close loop，可以先將 common mode 訊號的放大過程分為兩部分，第一部分是 2-stage Opamp 的放大(forwarding circuit)、第二部分是 CMFB Opamp 的放大(feedback circuit)。

換個角度去思考所設計的 2-stage Opamp，原先是將 input 聚焦在 V_{ip} 與 V_{in} 上，來達到放大的效果，但其實 input 也可以是 V_{fb} 給入的位置，此時沒有 differential pair 的效果了，可以純粹將 2-stage Opamp 只看一半(左半)，此時 2-stage Opamp 扮演的是連續兩個 common source amplifier 相接的角色，且由於兩層的 common source amplifier R_{in} 都為無限大，沒有放大效果倍分壓掉的問題，因此 gain 可以寫成：

$$gain_{\text{forwarding}} = gain_1 \times gain_2 = g_{m6}(r_{o4} // r_{o6}) \times g_{m8}(r_{o8} // r_{o2})$$

也就是說 $V_{o,cm}$ 會放大 V_{fb} 的 AC 訊號 $gain_{\text{forwarding}}$ 倍，接著看 CMFB 的 feedback 部分：



採用 differential pair 的 gain 值公式，可以得到：

$$gain_{feedback} = -g_{m1}(r_{o1}/r_{o3})$$

注意負號，因為給入輸入的一端在 V_o 那一側，將 forwarding circuit 與 feedback circuit 連起來也可以發現總共的 gain 為負的，再次驗證了前述 1. 中設計 CMFB 負迴授的推論。

最後分析整個系統的 close loop gain，並試著將 .lis 檔中的參數也代入計算：

$$\begin{aligned} gain_{close\ loop} &= \frac{gain_{forwarding}}{1 + gain_{forwarding} \times |gain_{feedback}|} \\ &= \frac{5308}{1 + 5308 \times 12.3} = 0.082 \end{aligned}$$

可以得到 $gain_{close\ loop}$ 為 0.082，有小於 1，代表 CMFB close loop 的負迴授系統是穩定的。

接著分析 breakdown 的部分，我對 V_{fb} 的位置進行 close loop 的 breakdown，去計算繞完整個 CMFB close loop 後的訊號放大倍率：

$$gain_{break\ loop} = gain_{forwarding} \times gain_{feedback} = -65054$$

代表訊號在低頻下有 phase 180 度、gain 96 dB 的結果，此點可以於後續 4. 的結果中看到與應證。

最後計算 breakdown 後的 bandwidth 表現，結合 1. 中對補償電路的 pole 推論與 .lis 檔中所測得的結果代入 dominate pole 的計算當中：

$$\begin{aligned} f_{dominate} &= \frac{1}{2\pi C_c A_0 \left(\frac{R_c}{A_0} + r_{o4}/r_{o6} \right)} \\ &= \frac{1}{2\pi \times 1\ pF \times 75.4 \left(\frac{250\ k\Omega}{75.4} + 2761476\ \Omega \right)} = 763\ Hz \end{aligned}$$

可以看到 bandwidth 受補償電路的影響，下降到 763 Hz，此點可以於後續 4. 的結果中看到與應證。

3. 誤差計算與分析

在這部分中，會聚焦在 TT corner 的計算與分析上，首先先來計算 open loop gain(2-stage Opamp gain)部分，由前述設計時使用的公式：

$$\begin{aligned} gain &= gain_1 \times gain_2 = g_{m4}(r_{o4} // r_{o6}) \times g_{m8}(r_{o8} // r_{o2}) \\ &= \frac{g_{m4}}{g_{ds4} + g_{ds6}} \times \frac{g_{m8}}{g_{ds8} + g_{ds2}} \end{aligned}$$

由於 R sense 中的電阻選得很大，因此 gain 值不太受其影響，將 .lis 檔中，TT corner 在 $V_{i,dc}$ 為 0.8 V 下的結果代入上式，可以得到 gain 等於 66.7 乘以 75.4 為 5029，與實測結果 5028 相符合，代表放大公式的使用是正確的。

接下來計算 GBW(UGB)，首先需要先由補償電路公式去求出 bandwidth(dominate pole)：

$$f_{dominate} = \frac{1}{2\pi C_c A_0 \left(\frac{R_c}{A_0} + r_{o4} // r_{o6} \right)}$$

可以得到 bandwidth 為 763 Hz，與 .lis 檔 pole/zero analysis 的結果相符合。

接著計算 GBW：

```
*****
***** pole/zero analysis
*****
input = 0:vdifff          output = v(vop,von)

      poles (rad/sec)          poles ( hertz)
      real      imag          real      imag
-4.60448k      0.          -732.825      0.
-25.8081x      0.          -4.10748x      0.
-312.954x      0.          -49.8082x      0.

      zeros (rad/sec)          zeros ( hertz)
      real      imag          real      imag
-4.73583x      0.          -753.731k      0.
16.6444g       0.          2.64903g      0.
55.2269g       0.          8.78964g      0.

.pz analysis result
```

$$GBW = gain \times f_{dominate\ pole}$$

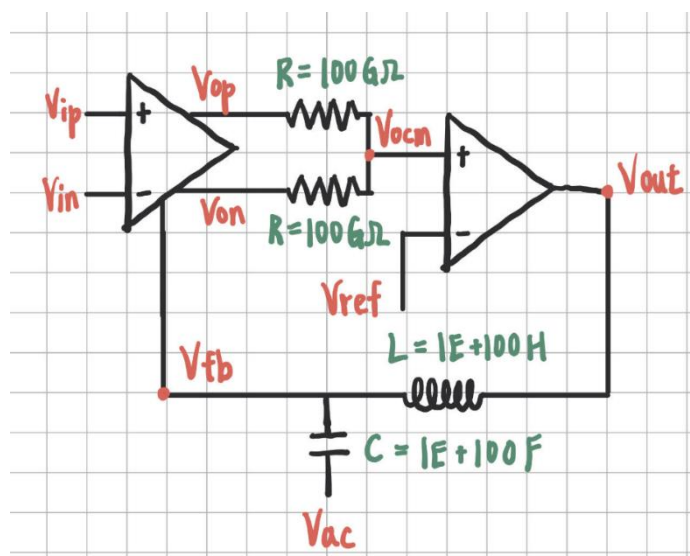
可以得到 GBW 結果為 3.8 MHz，但實際的 UGB 為 18.5 MHz，這是由於在 unit gain 之前有補償電阻、電容的存在，導致多了 pole 與 zero，使得 frequency response 中 gain 降到 1 的過程中並非全程都同等斜率-20 dB/dec 的下降，使得 UGB 被延後而達成 SPEC。

最後是 power 的計算，總共的電流分別有 2-stage Opamp 的三條路徑與 CMFB Opamp 的一條路徑組成，先使用 1.中設計的偏壓、尺寸去計算出各路徑電流，並將電流數值代入 power 的計算，計算如下：

$$\begin{aligned} power &= V_{DD}(I_{M1} + I_{M2} + I_{M3} + I_{CMFB}) \\ &= 1.8V \times (3.12 \mu A + 1.56 \mu A + 1.56 \mu A + 3.34 \mu A) \end{aligned}$$

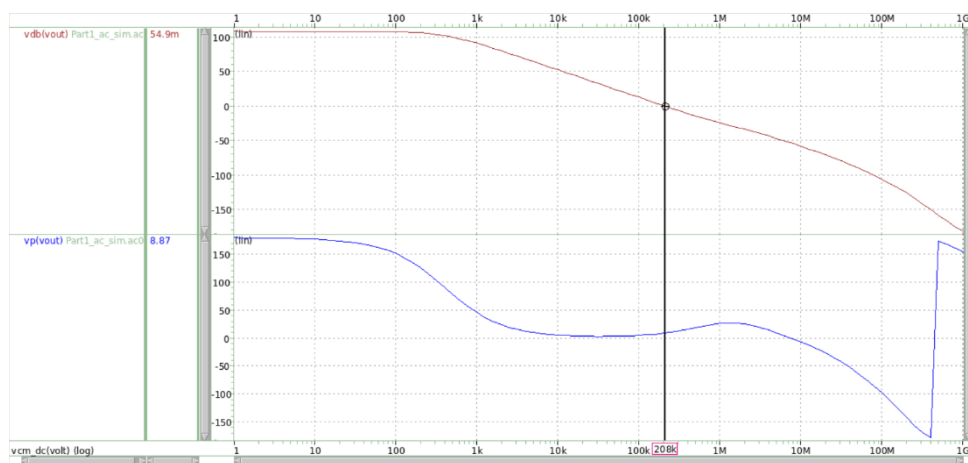
可以得到結果為 17.2 μW ，與測量結果 19.4 W 小約 10%，此點也有在前幾次 Lab 中發現，推測是因為 Hspice 的電流公式會與預期的有所落差，導致實際電流比較大，power 也就因此比手算結果來得大。

4. CMFB close loop 的穩定性量測

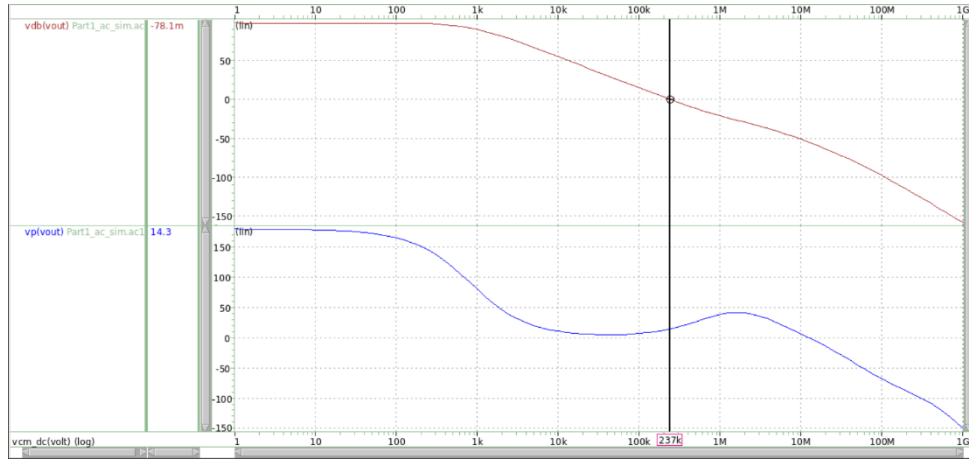


Close loop 的连接方式如上，Hspice 檔上傳為 Part1_ac.sp，可以看到在 V_{fb} 隔著一個大電容給入 V_{ac} 作為 close loop 檢測的 input，並且與 output 端 V_{out} 隔了一個大電感，大電容的目的只是為了讓給入的 V_{ac} 不用設定 DC 偏壓，而大電感的目的是為了讓 AC 訊號沒辦法通過，同時依然能維持電路運作下的 DC 偏壓設定，這樣就可以在電路上達到 breakdown 的效果。

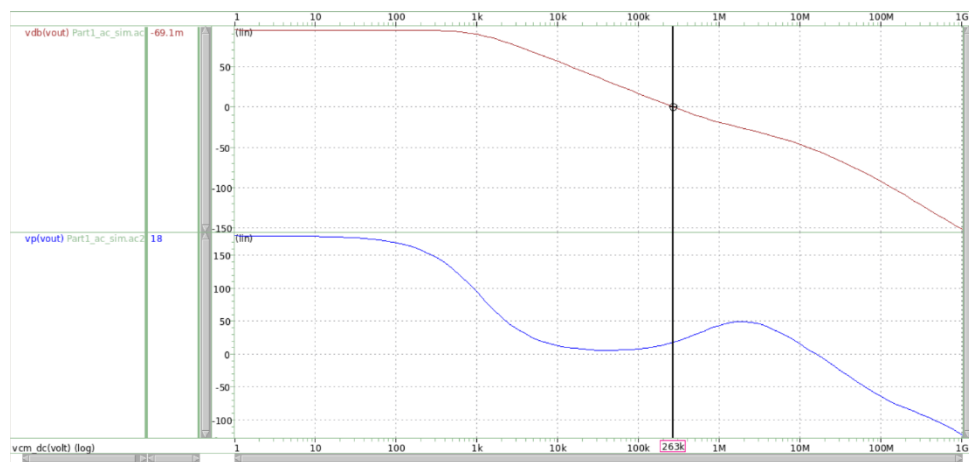
AC analysis 的結果如下圖：



SS corner Frequency response **gain(dB): Upper graph / phase(degree): Lower graph**



TT corner Frequency response gain(dB): Upper graph / phase(degree): Lower graph



FF corner Frequency response gain(dB): Upper graph / phase(degree): Lower graph

可以看到，在三個 corner 下的 phase margin 分別為 SS: 8.9 度、TT: 14.3 度、FF: 18.0 度左右，代表在整個 CMFB close loop 中，由於 phase 0 度時的 gain 比 1 還小，因此迴授的過程是穩定的，不會在某些頻率下出現起振的問題，這才不會有 CMFB 鎖電位結果反而讓電位來回起伏，這就沒有 CMFB 定住電位的功能了。

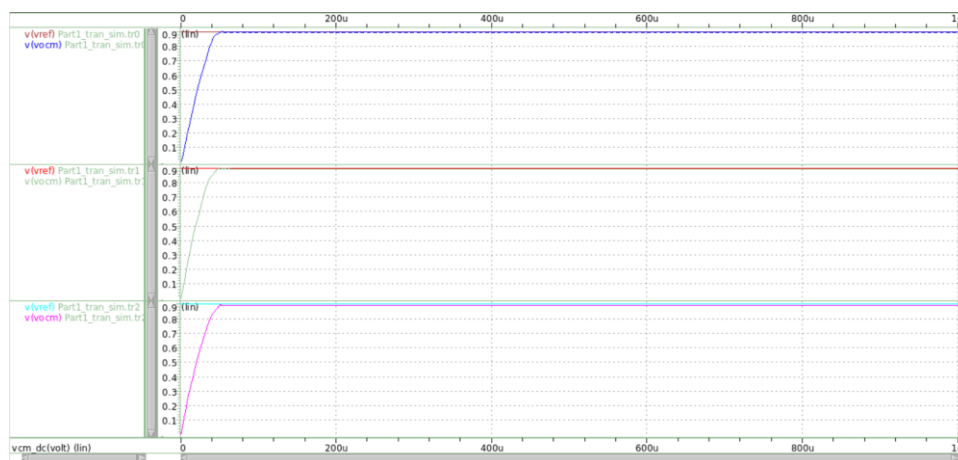
此外可以注意到，TT corner 在低頻時，有 phase 180 度、gain 96 dB 的結果，與 2.中的推論相符合，應證了 breakdown 後 CMFB 的放大模型。

再來可以觀察到 TT corner gain 的圖形中在約 600 Hz 出現了轉折，代表出現了 pole，此點與 2.中的推論相近，代表補償電路的 pole、zero 模型是正確的。

綜合上述，此次 Lab 中 CMFB close loop 的設計是穩定、可以使用的。

5. Transient simulation 量測

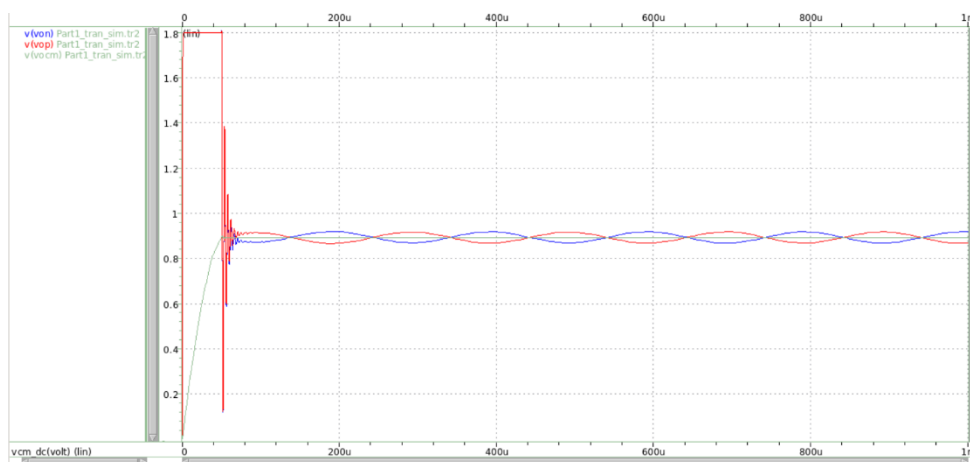
使用.ic 指令將 V_{op} 與 V_{on} 都設成 0 V 下去跑.tran，Hspice 檔案上傳為 Part1_tran.sp，結果如下圖：



Vo.cm(V) vs. time(sec)

SS corner: Upper graph / TT corner: Middle graph / FF corner: Lower graph

可以看到，在三個 corner 下， $V_{o.cm}$ 大約 40 μsec 後就會趨於穩定(與 V_{ref} 相同為 0.9 V)，代表 CMFB 能夠不管在哪個初始狀態下，在短時間內就能夠穩定並有能定住 2-stage Opamp 偏壓的功能。



Voltage (V) vs. time(sec)

Vo.cm: Green line / Von: Blue line / Vop: Red line

進一步看 V_{op} 與 V_{on} 的表現，可以發現一開始由於 $V_{o.cm}$ 還沒穩定，2-stage Opamp 偏壓還不穩定導致 2-stage Opamp 中的 M8、M9 cut off，此時 V_{op} 與 V_{on} 就會一下子衝很高。但等到 $V_{o.cm}$ 穩定下來後，2-stage Opamp 偏壓 V_{fb} 回歸 0.5 V 左右，此時 V_{op} 與 V_{on} 就能正常跟著 V_{ip} 與 V_{in} 的輸入訊號去做擺盪，實現放大器的功能。

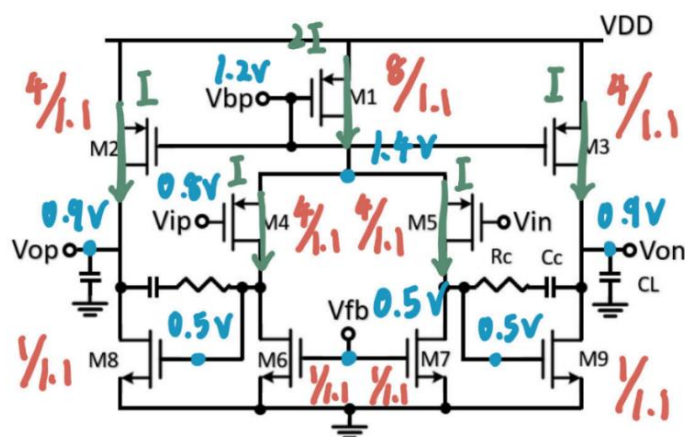
6. ICMR 的檢測

為了呈現結果方便，在前述 1. 中都已经將 $V_{i,dc}$ 由 0 V 到 1.1 V (step 為 0.1 V) 的各項 SPEC 結果放出來了 (p.9 到 p.14)，因此這邊就不再重複放上。

這邊主要是想講述我設計 ICMR 的過程與判斷方式，在 1. 的設計過程中，透過分析 M1 進入 saturation 的條件，我可以知道 M1 偏壓 V_{bp} 只能介在 1.15 V 到 1.3 V 之間，若違反這個範圍，不是 M1 open 不了，就是當 $V_{i,dc}$ 為 1 V 時會出現 M1 進入 linear region 的狀況，這就是我設計如何滿足 ICMR 的方式。

而在結果的判斷上，我只要知道 $V_{i,dc}$ 在 0 V 到 1 V 都有正常運作 (MOS 都有 saturation 且滿足 SPEC)，就代表 ICMR 至少有 0 V 到 1 V 這 1 V 的範圍，因此 1.1 V 後的結果不滿足就不影響 SPEC 的實現。

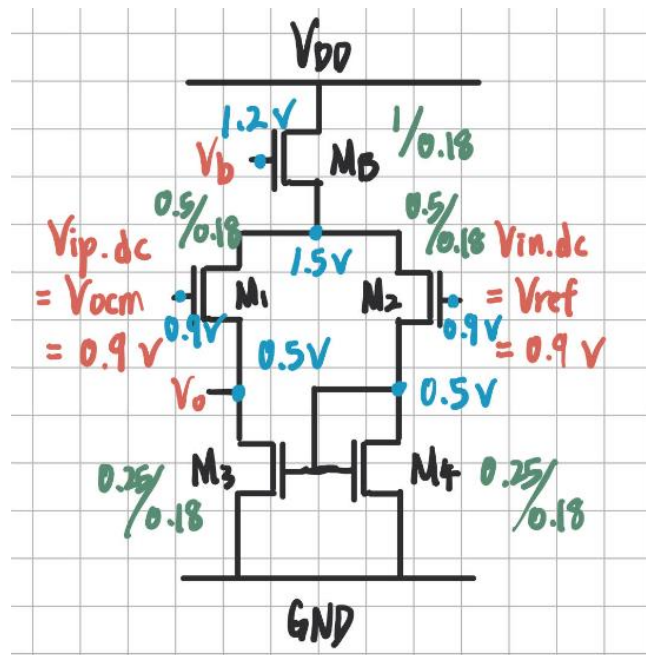
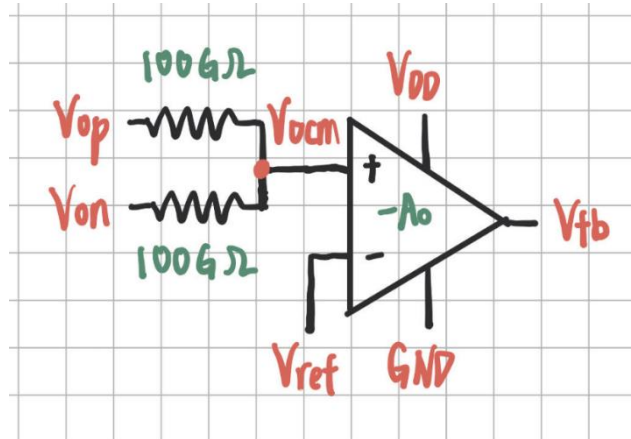
7. MOS size、偏壓、被動元件總表：



在 2-stage Opamp 中，我設計：

M1(pMOS)	W: 8 μm	L: 1.1 μm
M2(pMOS)	W: 4 μm	L: 1.1 μm
M3(pMOS)	W: 4 μm	L: 1.1 μm
M4(pMOS)	W: 4 μm	L: 1.1 μm
M5(pMOS)	W: 4 μm	L: 1.1 μm
M6(nMOS)	W: 1 μm	L: 1.1 μm
M7(nMOS)	W: 1 μm	L: 1.1 μm
M8(nMOS)	W: 1 μm	L: 1.1 μm
M9(nMOS)	W: 1 μm	L: 1.1 μm

$$V_{bp} = 1.2 \text{ V} \text{ 、 } R_c = 250 \text{ k}\Omega \text{ 、 } C_c = 1 \text{ pF}$$



MB(pMOS)	W: 1 μm	L: 0.18 μm
M1(pMOS)	W: 0.5 μm	L: 0.18 μm
M2(pMOS)	W: 0.5 μm	L: 0.18 μm
M3(nMOS)	W: 0.25 μm	L: 0.18 μm
M4(nMOS)	W: 0.25 μm	L: 0.18 μm

$$V_b = 1.2 \text{ V} \cdot R_{sense} = 100 \text{ G}\Omega$$