**EE3235 Analog Integrated Circuit Analysis and Design I**

**Homework 1**

**Process Analysis**

姓名：朱豐蔚

學號：110060027

系級：電資院學士班25

**Part I – Analyze with Diode Connected Structure**

參數： Probe OV：

|  |  |
| --- | --- |
| **變數** | **Alias表示** |
| Threshold voltage**(Vth)** | LV9 |
| Saturation drain voltage**(Vdsat)** | LV10 |
| Transconductance**(gm)** | LX7 |
| Output conductance**(gds)** | LX8 |
| Channel current**(Id)** | LX4 |
| Gate capacitance**(CG)** | LX18 |
| Output resistance**(ro)** | 1/ LX8 |
| Intrinsic gain**(gm\*ro)** | LX7/ LX8 |
| Power efficiency**(gm/Id)** | LX7/ LX4 |
| Speed**(gm/Cg)** | LX7/ LX18 |

Temp = 25,

VDD = 1.8V, I = 30uA,

W/L = 3, M = 1

分析：

.dc length 0.18u 10u 0.01u

(1) Threshold voltage(Vth)：

一張含有 行, 螢幕擷取畫面, 繪圖, 文字 的圖片

自動產生的描述

**TT corner Vth vs. length nMOS: Red line / pMOS: Blue line**

一張含有 文字, 行, 繪圖, 螢幕擷取畫面 的圖片

自動產生的描述

**SS corner Vth vs. length nMOS: Red line / pMOS: Blue line**

一張含有 文字, 行, 繪圖, 螢幕擷取畫面 的圖片

自動產生的描述

**FF corner Vth vs. length nMOS: Red line / pMOS: Blue line**

比較Vth在三種corner的情況下，可以得到三個結果：

1. 隨著通道變短，Vth會有先上升後下降的趨勢

推測此點現象為短通道效應所造成的影響，在source-gate與drain-gate都會有狹窄的depletion區域，進而使得Vth下降。而隨著通道變小，受此區域的影響占比也會越大，因此有通道變小時Vth上升的情形。

2. pMOS的Vth比nMOS大，且受通道長度的影響較小

推測這與MOS的製程設計與摻雜濃度差異有關。

3. Vth在不同corner時，有FF < TT < SS的情況

上網查詢資料後，越快速的製程角會含有較高的參雜濃度與載子遷移率，若要產生一樣電流的話，MOS 的 |Vth| 就會變小，此點符合上圖的結果。因此在後續Lab的電路設計需特別考慮corner的影響其實幅度很大，需做出有更寬容許度的設計。

(2) Transconductance(gm)：

一張含有 文字, 螢幕擷取畫面, 行, 繪圖 的圖片

自動產生的描述

**gm vs. length nMOS: Red line / pMOS: Blue line**

由gm的公式可知，gm與載子遷移率成正比，在其他參數一樣下，由於電子遷移率約莫是電洞遷移率的4倍，因此nMOS的gm也會是pMOS的4倍左右，此點符合上圖結果。

再者，gm也與Vth有關，在短通道下，也會因短通道效應改變Vth而使gm產生變化。

(3) Output conductance(gds)：

一張含有 文字, 行, 螢幕擷取畫面, 繪圖 的圖片

自動產生的描述

**gds vs. length nMOS: Red line / pMOS: Blue line**

根據結果，nMOS有較大的gds，換句話說，pMOS有較大的ro。

再者，可以發現隨著通道變長，gds會變小(ro則會慢慢變大)，ro越大就代表MOS的電流越穩定(不易受Vds變化而影響，更能保持飽和區的平穩性質)，這也應證了通道長度越長越可以避免Channel length modulation的問題。

(4) Saturation drain voltage(Vdsat)：

一張含有 文字, 行, 螢幕擷取畫面, 數字 的圖片

自動產生的描述

**Vdsat vs. length nMOS: Red line / pMOS: Blue line**

pMOS有較大的Vdsat，需較大的電壓才會進到飽和區。

再者，可以發現當通道長度變小時，兩者的Vdsat都有下降的情況，這是因為在短通道下，載子遷移速度的上限變為電流飽和的主要原因，這才使得Vdsat提前，使得MOS更快進入飽和狀態。

(5) Intrinsic gain(gm\*ro)：

一張含有 文字, 行, 繪圖, 螢幕擷取畫面 的圖片

自動產生的描述

**gain vs. length nMOS: Red line / pMOS: Blue line**

gain與gm、ro皆有關聯，由前述(2)、(3)，可以知道MOS的gm在短通道下變化很大，所以造成上圖中nMOS、pMOS在短通道時有相近的gain。

而隨著通道增長，gm趨於穩定，gain與ro的關係影響較大，所以當通道長度變長時，ro變大就使gain也變大。pMOS有較大的ro，也就有較大的gain值。

(6) Power efficiency(gm/Id)：

一張含有 文字, 螢幕擷取畫面, 行, 繪圖 的圖片

自動產生的描述

**Power efficiency vs. length nMOS: Red line / pMOS: Blue line**

因Id在電路中由電流源所控制穩定，所以Power efficiency與gm的趨勢一樣，nMOS有較大的power efficiency，代表nMOS在功耗上的表現較佳。

(7) Speed(gm/Cg)：

一張含有 文字, 螢幕擷取畫面, 行, 繪圖 的圖片

自動產生的描述

**Speed vs. length nMOS: Red line / pMOS: Blue line**

當通道變小時，可以發現speed大量增加，若要使積體電路跑在越高頻的環境下，MOS的speed就要越快越好，意味著電容就需要越小越好，以降低RC電路的延遲。

而因為Cg = Cgs + Cgb + Cgd ~ 3WLCox/2，在相同的W/L下，隨著通道長度下降，gate的電容也會隨著通道長度成平方下降，進而使得speed在短通道時大量上升。

綜合上述，短通道的MOS有較快的速度，進而能應用於高頻的積體電路設計領域當中。

**Part II – Drain Current Id**

參數：

Temp = 25, VDD = 1.8V, W/L = 3, M = 1

分析：

.dc VG 0 1.8 0.01 sweep length 1.8u 10u 1.8u

Probe OV：

Channel current(Id): LX4

一張含有 文字, 行, 繪圖, 螢幕擷取畫面 的圖片

自動產生的描述

**nMOS Id vs. Vgs Length = 1.8u: Red line / … /length = 9u: Light blue line**

一張含有 文字, 螢幕擷取畫面, 繪圖, 行 的圖片

自動產生的描述

**pMOS Id vs. Vgs Length = 1.8u: Red line / … /length = 9u: Light blue line**

透過比較不同的通道長度，不管是在nMOS還是pMOS，都可以發現通道長度變長，會使得電流些微增加。由於Vds = 1.8V，整個過程都會維持飽和區的狀態，因此考慮飽和區的電流公式，再結合Part I結果，我推測是由於ro與Vth兩個會受通道長度改變的參數，綜合影響下的結果。

首先ro會隨著通道長度增加而上升，理當說電流要有所下降，但加入考慮Vth會隨著通道長度變長而些微下降，進而使得在相同Vgs下，電流有微微上升的情形。綜合上述推測與圖片結果，可以發現Vth的影響較ro還要來得大。

最後，由於電子遷移率較電洞遷移率大約四倍，加上由Part I得知pMOS的Vth較大，因此可以發現在相同 |Vgs| 下，nMOS的電流比pMOS大了約6倍。

**Part III – Body Effect**

(1) Find a pair of suitable W、L：

在此題中，為了找到合適的W、L長度，我首先採用了題目的建議，選擇較長的L(2um)以避免Channel length modulation的問題，再來使用.dc分析W/L的比例(ratio)。

參數：

Temp = 25, VDD = 1.8V, Vg = 0.7V, W = ratio x 2um, L = 2um, M = 1

分析：

.dc ratio 1 3 0.01

Probe OV：

Channel current(Id): LX4

一張含有 文字, 行, 螢幕擷取畫面, 繪圖 的圖片

自動產生的描述

**Id vs. ratio**

由此圖可知，若要滿足題目所要求的Id在29uA到31uA之間，我所選用的ratio應介於1.75到1.87之間，因此在後續的題目中我一律選擇ratio為1.8 (W = 3.6um、L = 2um) 作為測量。

(2) Measure with body effect：

參數： Probe OV：

|  |  |
| --- | --- |
| **變數** | **Alias表示** |
| Threshold voltage**(Vth)** | LV9 |
| Transconductance**(gm)** | LX7 |
| Channel current**(Id)** | LX4 |

Temp = 25, VDD = 1.8V,

Vg = Vs + 0.7V,

W = 3.6um, L = 2um, M = 1

分析：

.dc Vs 0 1 0.001

一張含有 行, 繪圖, 文字, 平行 的圖片

自動產生的描述

**Id vs. Vs**

一張含有 文字, 行, 繪圖, 平行 的圖片

自動產生的描述

**Vth vs. Vs**

一張含有 行, 繪圖, 文字, 平行 的圖片

自動產生的描述

**gm vs. Vs**

因Vds很大，可以認定MOS處於飽和狀態，Vds不影響電流。

隨著Vsb上升，在body effect的影響下，Vth會越來越大，此點符合上圖的結果。再者，隨著Vth上升，在相同的Vgs下，所產生的電流則會越來越小，使得Id、gm都大幅下降，此點也符合上圖的結果。

(3) Comparison between with/without body effect：

設定同(2)，差在需將body與source端相接。

一張含有 文字, 行, 繪圖, 平行 的圖片

自動產生的描述

**Id vs. Vs With body effect: Red line / Without body effect: Blue line**

一張含有 文字, 行, 繪圖, 螢幕擷取畫面 的圖片

自動產生的描述

**Vth vs. Vs With body effect: Red line / Without body effect: Blue line**

一張含有 文字, 行, 螢幕擷取畫面, 繪圖 的圖片

自動產生的描述

**gm vs. Vs With body effect: Red line / Without body effect: Blue line**

同(2)，因Vds很大，可以認定MOS處於飽和狀態，Vds不影響電流。

透過觀察藍線可以發現當body與source有相連時，此時無body effect(Vsb = 0)，不管是Id、Vth還是gm都呈現很穩定的情況。

對比紅線，在有body effect的情況下，Vth上升的幅度很大，進而使得Id、gm的變動也很劇烈。

透過這次Part III的實驗，我深深體會到了body effect會對MOS帶來的影響，在後續的電路設計中，若無特殊目的，我都會記得要將body和source端相接連，以避免body effect帶來預期外的變數。