**EE3235 Analog Integrated Circuit Analysis and Design I**

**Homework 2**

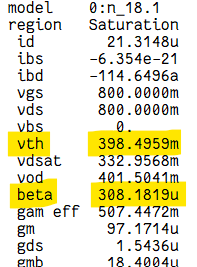
**Elementary Gain Stages**

姓名：朱豐蔚

學號：110060027

系級：電資院學士班25

**Part I – Common Source Amplifier**

**第一步：測量製程參數與**

因為不知道在c18製程中的各項參數為何，我決定採用實測的方式，真的另外建立.sp檔(檔案有上傳為Part1\_Parameter.sp)實際去跑Hspice，並從.lis檔讀取各項參數數值，在後續設計時可以代入使用。

如右圖，其中為0.4 V，而因為乘以W/L(測試用的設計為)就會為beta，因此可以得知。

最後由，可推得。

**第二步：選取流過nMOS的電流**

在SPEC中，要求電流不可以超過30。再來，目標，代表，又因需小於90000，至少要為11.1。

再來考慮SPEC中的gain值要求， (CS stage gain的公式在後續有推論，在這邊先拿來做使用)，代入，所以會約為-5左右，即的選擇不影響滿足SPEC。

考慮到SPEC並未說明仔細電流是不是在任何值下都需要滿足要求，因此在Part I中，我選用(在下)作為後續的設計目標。

**第三步：選取nMOS的W、L**

為盡量減少Channel length modulation所造成的影響，我選用與第一步中和測試相同尺度的設計(L = 1) (此時，在這邊可先忽略不計)。

在Part I中，由於，nMOS必定都會處於飽和區當中。將第一步中所選用的與偏壓代入nMOS的飽和區電流公式中：

可以得到，因此我選用(W = 0.75)作為後續的設計目標。

**第四步：選取負載電阻**

我先使用前兩步中所選用的參數，並選用先進行試跑，發現實際電流約為，與預期的有約15%的落差。觀察.lis中的測量結果，我發現比小，因此我推測電流實際較小的原因與Velocity saturation有關(但我選擇的L很長理當會比較不受影響才對)，由於載子被加速到上限，導致電流比預期的還要小而上不去，而且Velocity saturation的影響會比Channel length modulation還要來得嚴重(因電流最終比預期還低)。

為了最後滿足SPEC中的，需要額外加大電阻，我採用DC sweep的方式，對50000到70000來進行測量，最後電阻的選用為。



**Vout(V) vs. RD(Ω) (For SPEC: RD = 62900 ~ 64300)**

**第五步：將參數代入，檢驗是否滿足SPEC**

參數： Probe OV：

|  |  |
| --- | --- |
| **變數** | **Hspice表示** |
| Output voltage**(Vout)** | V(Vout) |
| Slope**(dVout/dVin)** | deriv("V(Vout)") |
| Channel current**(Id)** | I(RD) |

, ,

,

, ,

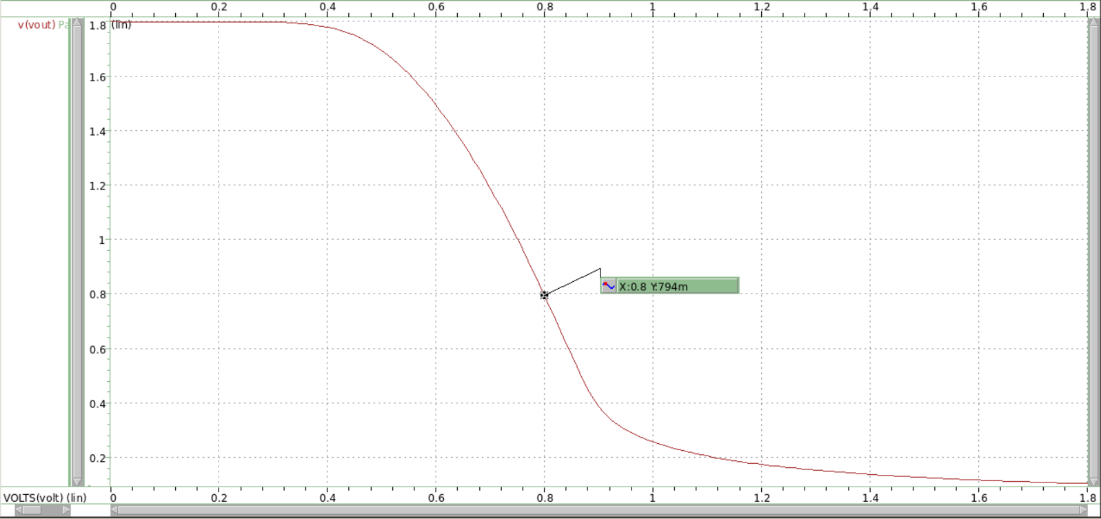
大訊號分析：

.dc Vin 0 1.8 0.01

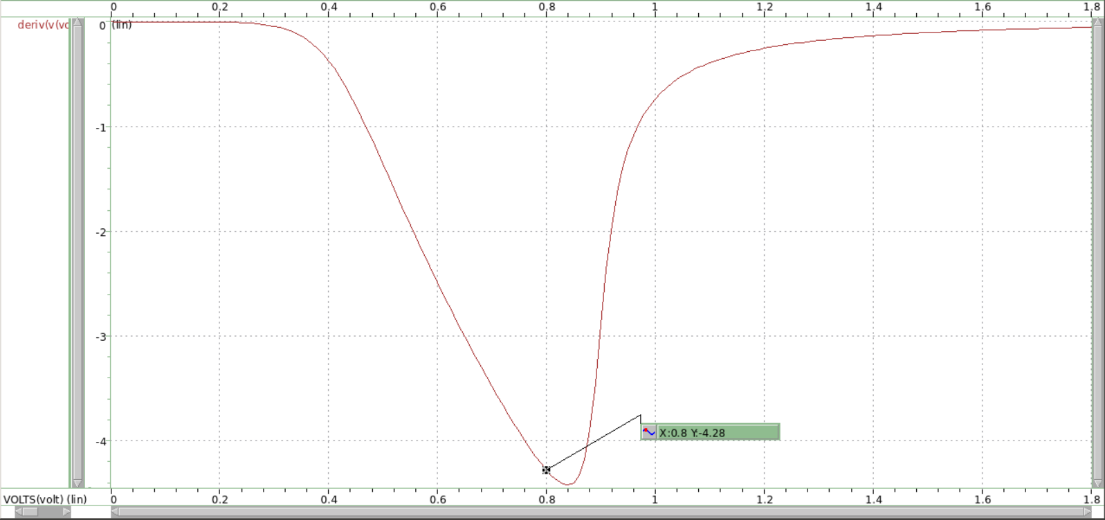
小訊號分析：

.tf V(Vout) Vin

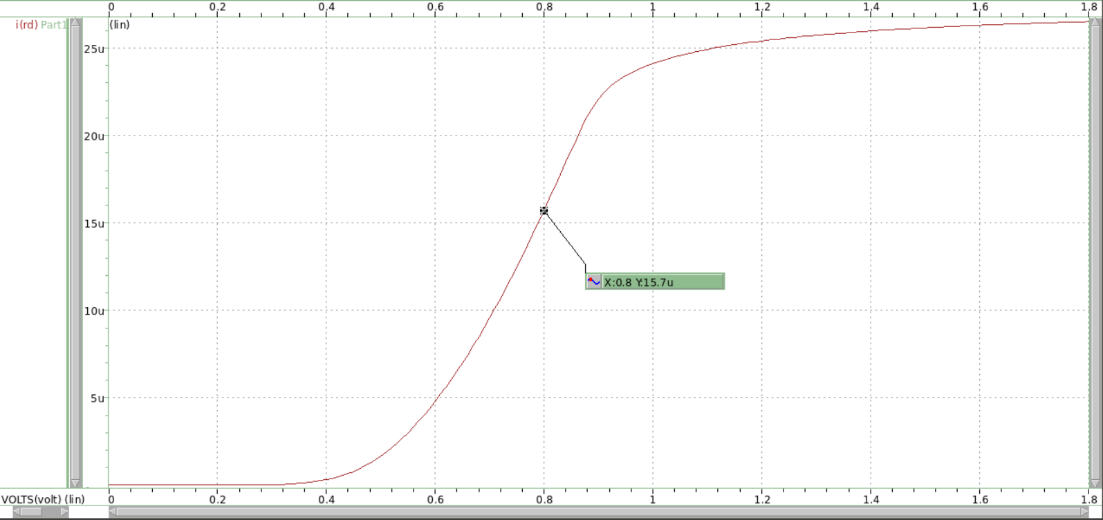
(1) DC Sweep：



**Vout(V) vs. Vin(V) (Vout = 0.794V at Vin = 0.8V)**



**dVout/dVin vs. Vin(V) (dVout/dVin = -4.28 at Vin = 0.8V)**

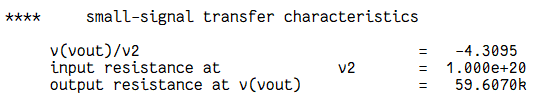


**Id(A) vs. Vin(V) (Id = 15.7uA at Vin = 0.8V)**

由上圖，可以看到當時，，兩者都有滿足SPEC的要求。再來，在整個DC Sweep的過程中，都小於，也滿足SPEC的要求。

綜合上述，我在Part I中的設計有符合SPEC的所有要求。

(2) TF Analysis：



TF Analysis的數據會被存放在.lis檔中，如上圖所示，其中第一項，符合在(1)中的結果。這邊數字差一點我猜測與兩者gain值的計算方式差異有關，在微分的計算上應該是採用微小差距算斜率的方式，而在TF Analysis中則應該是實際放入一個小訊號來測量的，所以兩者數值有微小的差異(不影響兩者相符合的結果)。

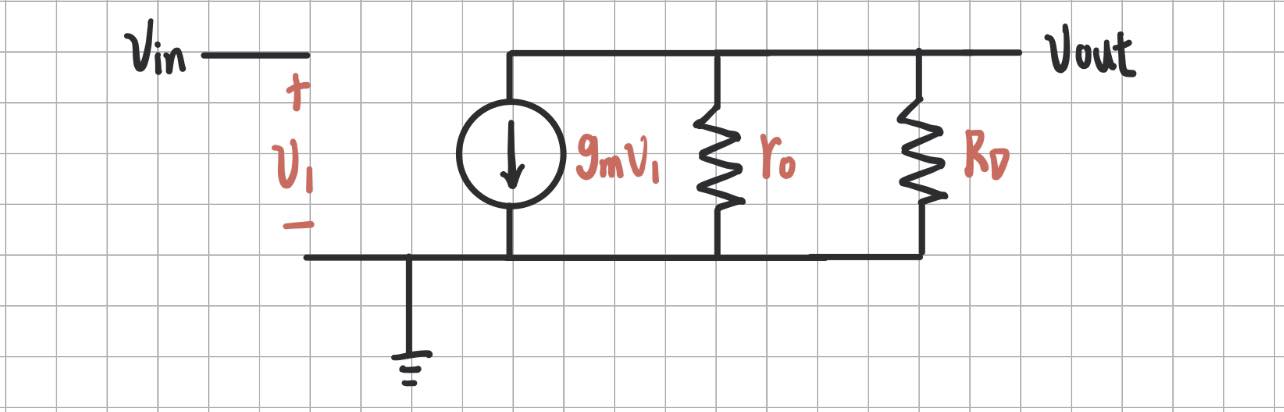
第二項的，符合在Common Source Amplifier小訊號模型中的預期。而最後一項的。

綜上來看，Common Source Amplifier能夠將小訊號給放大約4.3倍，加上其有的特點，能使外來訊號能夠百分百的傳遞進Common Source Amplifier，不受Input端外接電阻的影響。但Output端還是會受外接電阻的影響，因為不等於0。

(3) Hand Calculation and Discussion：

關於手算是否可以拿跑過Hspice後寫在.lis檔中的各項測量值來做計算，在SPEC中並沒有仔細說明，但就我的想法，這一部分比較的重點應該在於連結並驗證我們上課所學的小訊號模型，若使用前述設計的參數來做手算，由於實測的電流會比預期小很多，在設計時採用了比預期還要大的負載電阻來滿足SPEC，這就會導致手算與實測有較大的差異，進而模糊了要驗證小訊號模型的重點。

因此在這部份的手算，我會採用.lis檔中實際測得的電流、和來做小訊號模型各項參數的手算，並與(2)中結果做比較，來驗證小訊號模型的正確性。



**Small-signal model in CS stage**

* **計算：**

，其中，得到。

* **計算：**

由KCL，，整理為的形式：

會得到，與(2)中TF Analysis測量的相符合，但與在前述設計中的推論有差異，這是由於在實際測量時會變小(為Velocity saturation的影響)，加上會受Channel length modulation影響而下降，就會使得TF Analysis測量的gain值會比推論小。

* **計算：**

要計算Output impedance，只需要將代入Small-signal model當中，並計算與其產生電流的比值即可。

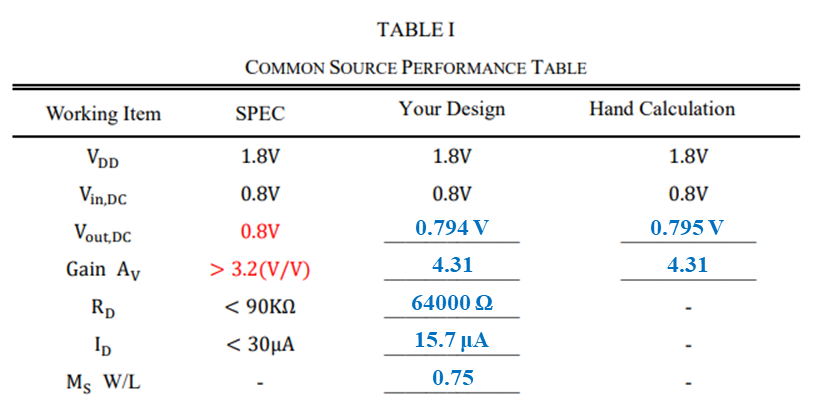
在CS stage中，，其中，計算出來的，與(2)中TF Analysis測量的相符合。

* **計算：**

為無限大，此點也與(2)中的結果相符合。

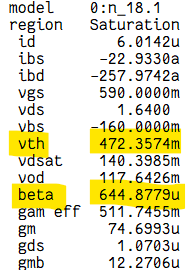
* **計算：**

，與(1)中Sweep的結果相符合，也滿足SPEC的要求。



如上表，使用實際跑過Hspice得到的參數去進行小訊號模型的手算，會與(1)、(2)中實測的結果相符合，代表CS stage中小訊號模型的建立與使用是正確的。

**Part II – Common Gate**

**第一步：測量製程參數與(有Body effect的影響)**

在Part II的設計中，我採用預設將Body接在GND上，由於在SPEC中有指定，代表必定會有Body effect的產生需要被考慮進去。

因為不知道在c18製程中Body effect的各項參數為何，我決定採用實測的方式，真的另外建立的.sp檔(檔案有上傳為Part2\_BodyEffect.sp)實際去跑Hspice，並從.lis檔讀取值。

如右圖，其中為0.47 V，而因為乘以W/L(測試用的設計為)就會為beta，因此可以得知。

在這邊可以發現，Part II中的與Part I中的不同，這是由於Mobility Degradation的影響，由於在Part I中的Gate端偏壓較大，就會導致垂直方向的電場上升，使得通道內的載子容易受影響而有垂直方向的速度與撞擊，進而降低Mobility，這才使得Part I中的Mobility較Part II低。

最後由，可推得。與Part I相比，可以發現當L變小時，會變得更大，也就代表Channel length modulation的現象更明顯，此點與所學相符合。

**第二步：選取gate端偏壓**

在SPEC中，要求：

再來，在SPEC中，有要求gain要比10還要大(CG stage gain的公式在後續有推論，在這邊先拿來做使用)：

將兩式相除(①/②)，即可得到：

結合上述，可以知道不可以選超過0.81 V，且至少要為0.62 V(要讓nMOS打開)，因此在Part II中，我選用作為後續的設計目標。

**第三步：選取流過nMOS的電流**

在SPEC中，要求電流不可以超過30。再來，目標，代表，又因需小於90000，至少要為10。

再來考慮SPEC中的gain值要求，，在下，代入，所以會約為15左右，即的選擇不影響滿足SPEC。

考慮實際電流會有落差的可能，在Part II中，我選用作為後續的設計目標。

**第四步：選取nMOS的W、L**

經過估算，若在L = 1下要滿足SPEC，W的尺寸會變得太大，因此我決定我選用與第一步中和測試相同尺度的設計(L = 0.5) (此時，需考慮進電流公式中)。

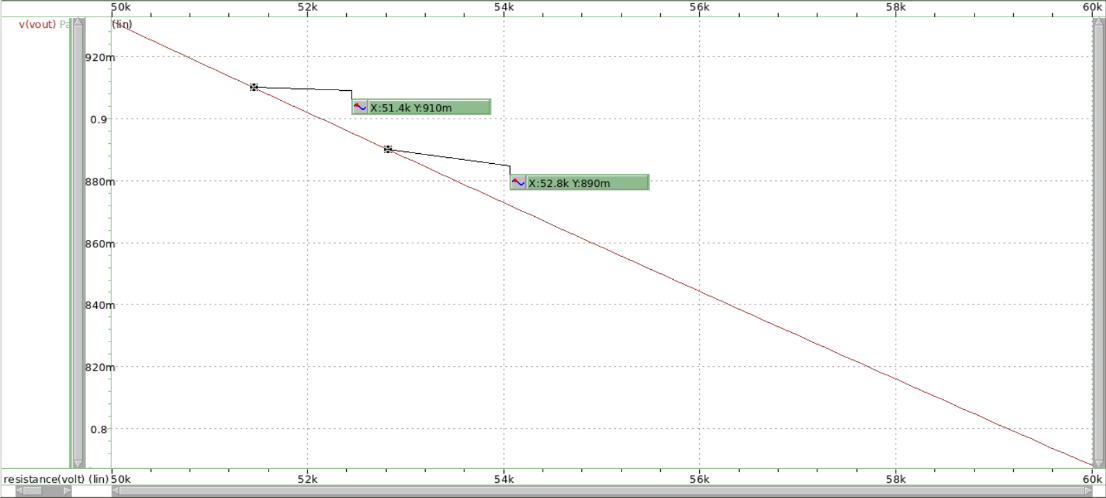
在Part II中，由於，nMOS必定都會處於飽和區當中。將上述步驟所選用的、偏壓與代入nMOS的飽和區電流公式中：

可以得到，因此我選用(W = 3)作為後續的設計目標。

**第五步：選取負載電阻**

同Part I，實際的電流會與預期有所差異，於是先使用上述步驟中所選用的參數，並選用先進行試跑，發現實際電流約為，與預期的有約8%的落差。觀察.lis中的測量結果，我發現比大(與Part I相反)，由於不符合所學，我只能推測這與選得很小(0.16 V)有關，因通道開啟不多，電流要達到飽和的現象被影響會比大。而較大，代表載子可以持續加速更久，進而使得電流超出了預期8%。

為了最後滿足SPEC中的，需要額外減小電阻，我採用DC sweep的方式，對50000到60000來進行測量，最後電阻的選用為。



**Vout(V) vs. RD(Ω) (For SPEC: RD = 51400 ~ 52800)**

**第六步：將參數代入，檢驗是否滿足SPEC**

參數： Probe OV：

|  |  |
| --- | --- |
| **變數** | **Hspice表示** |
| Output voltage**(Vout)** | V(Vout) |
| Slope**(dVout/dVin)** | deriv("V(Vout)") |
| Channel current**(Id)** | I(RD) |

, ,

,

, ,

大訊號分析：

.dc Vin 0 1.8 0.01

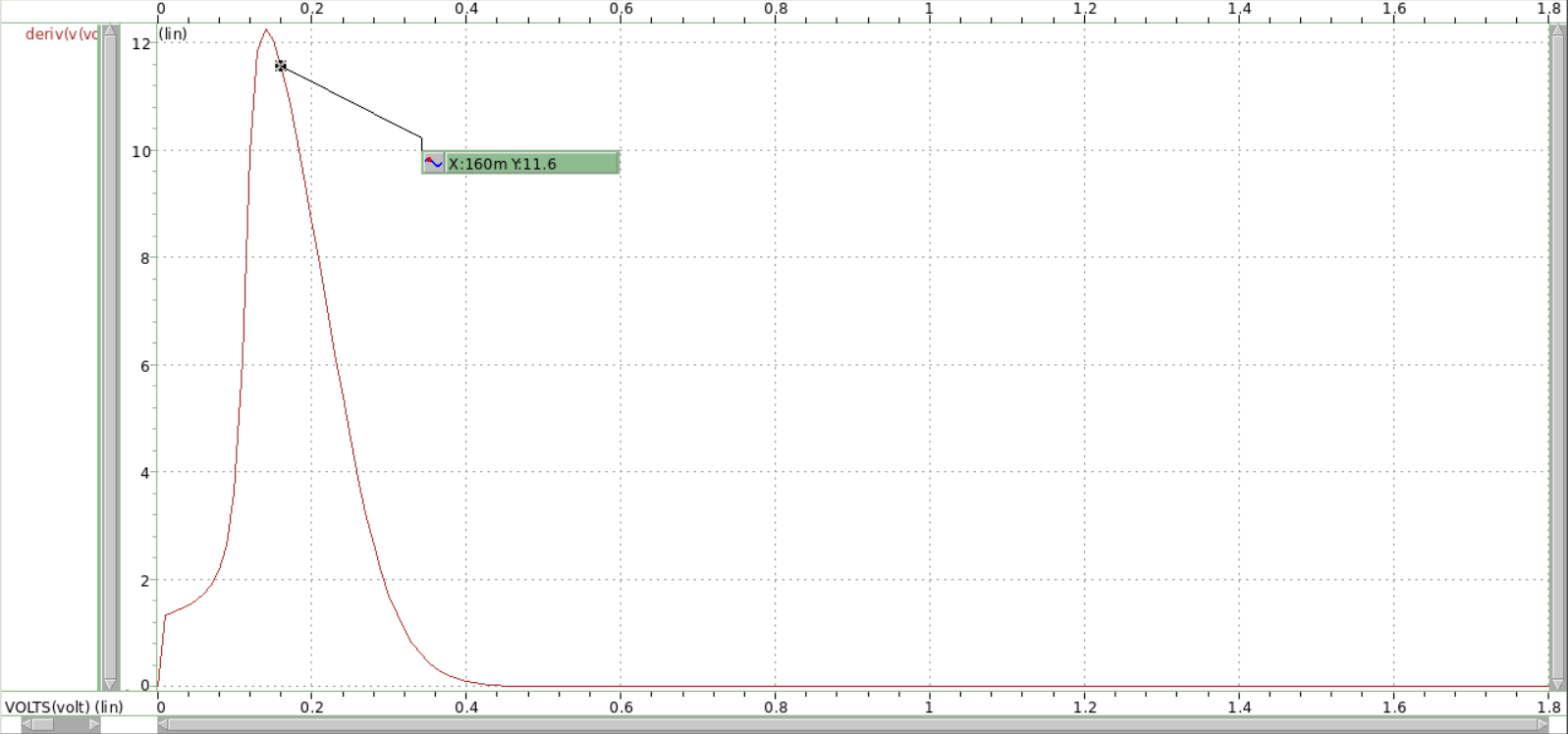
小訊號分析：

.tf V(Vout) Vin

(1) DC Sweep：



**Vout(V) vs. Vin(V) (Vout = 0.902V at Vin = 0.16V)**



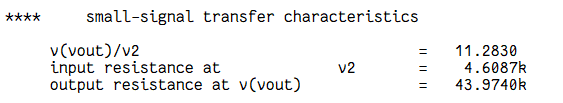
**dVout/dVin vs. Vin(V) (dVout/dVin = 11.6 at Vin = 0.16V)**



**Id(A) vs. Vin(V) (Id = 17.3uA at Vin = 0.16V)**

由上圖，可以看到當時，、，三者都有滿足SPEC的要求。

(2) TF Analysis：



TF Analysis的數據會被存放在.lis檔中，如上圖所示，其中第一項，符合在(1)中的結果。這邊數字差一點我猜測與兩者gain值的計算方式差異有關，在微分的計算上應該是採用微小差距算斜率的方式，而在TF Analysis中則應該是實際放入一個小訊號來測量的，所以兩者數值有微小的差異(不影響兩者相符合的結果)。

第二項的，而最後一項的。

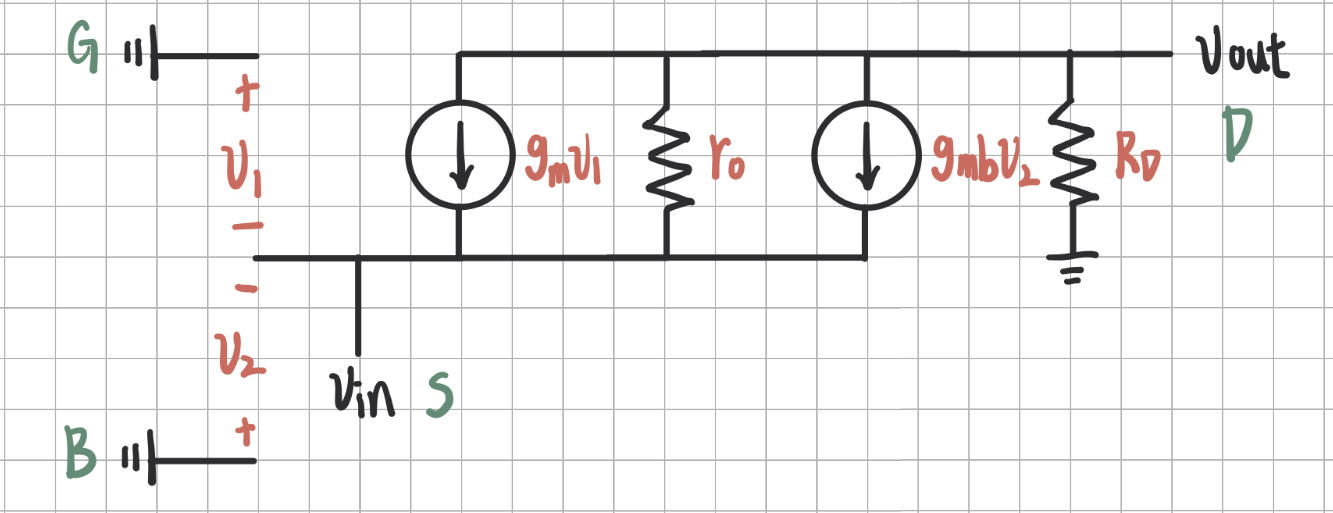
Common Gate Amplifier雖然能夠將小訊號給放大約11.3倍(gain值比Part I中的Common Source Amplifier還要來得大)，但是可以發現，由於其小加上大，很容易會受Common Gate Amplifier Input端和Output端各自外接電阻的影響。

換句話說，外來訊號傳入與傳出Common Gate Amplifier時都會被稀釋，導致實際放大倍率可能更低。

(3) Hand Calculation and Discussion：

同Part I，在(3)中，我會採用.lis檔中實際測得的電流、、和來做小訊號模型各項參數的手算，並與(2)中結果做比較，來驗證小訊號模型的正確性。

要注意的是在Part II中，要考慮Body effect的影響，也就是要對小訊號模型進行修正，加入考慮的影響，修正後的小訊號模型如下圖。



**Small-signal model in CG stage**

* **計算：**

，其中，得到。

* **計算：**

由KCL，，整理為的形式：

會得到，與(2)中TF Analysis測量的相符合，但與在前述設計中的推論有差異，這是由於在前述設計時還未考慮Channel length modulation的影響，在Part II中的Channel length modulation影響很大，讓變得比小上許多，就會使得TF Analysis測量的gain值會比推論小。

* **計算：**

要計算Output impedance，只需要將代入Small-signal model當中，並計算與其產生電流的比值即可。

在CG stage中，，其中，計算出來的，與(2)中TF Analysis測量的相符合。

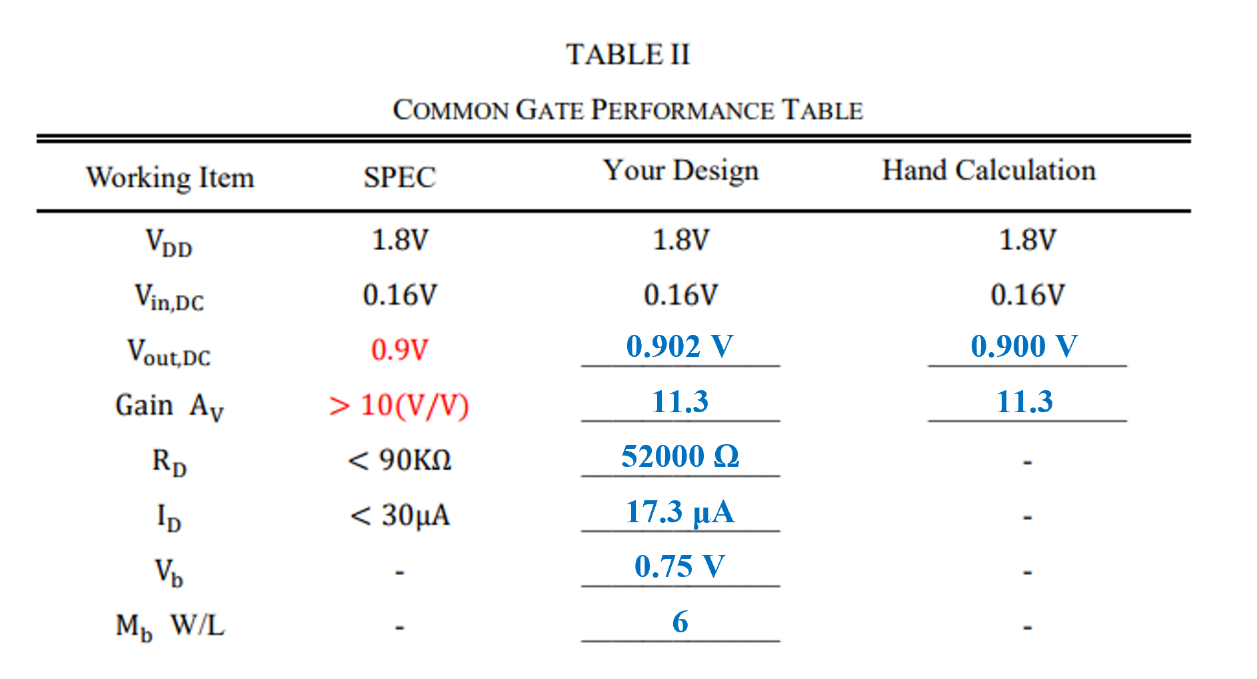
* **計算：**

要計算Input impedance，要將在Small-signal model當中與GND形成斷路，並計算與其產生電流的比值即可。

在CG stage中，，其中、，計算出來的，與(2)中TF Analysis測量的相符合。

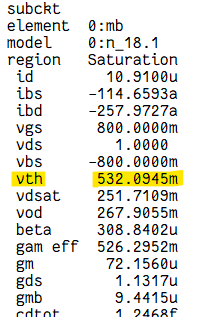
* **計算：**

，與(1)中Sweep的結果相符合，也滿足SPEC的要求。



如上表，使用實際跑過Hspice得到的參數去進行小訊號模型的手算，會與(1)、(2)中實測的結果相符合，代表CG stage中小訊號模型的建立與使用是正確的。

**Part III – Source Follower**



**第一步：測量製程參數與(有Body effect的影響)**

在Part III的設計中，我採用預設將Body接在GND上，由於在SPEC中有指定，代表必定會有Body effect的產生需要被考慮進去。

與Part II相同，另外建立的.sp檔(檔案有上傳為Part3\_BodyEffect.sp)實際去跑Hspice，並從.lis檔讀取值。

如右圖，其中為0.53 V，而因為乘以W/L(測試用的設計為)就會為beta，因此可以得知。

在這邊可以發現，Part III中的與Part I中的相同，再次驗證了Mobility Degradation會透過Gate端偏壓影響Mobility的現象。

最後由，可推得。與Part I相比，同樣都是L = 1，但可以發現在這邊有較大的值，這是由於在Part III中，而在Part I中，當電位越高，代表在Drain端會形成更寬的Depletion region，使得在Channel length modulation中一開始就有較大的，造成對電流有較大的影響，進而使公式中的參數變大。

**第二步：選取流過nMOS的電流**

在SPEC中，要求電流不可以超過30。再來，目標，又因需小於90000，至少要為8.9。

再來考慮SPEC中的gain值要求，(CD stage gain的公式在後續有推論，在這邊先拿來做使用)，又，在下，代入，所以會約為0.856左右，即的選擇不影響滿足SPEC。

考慮實際電流會有落差的可能，在Part II中，我選用作為後續的設計目標。

**第三步：選取nMOS的W、L**

為盡量減少Channel length modulation所造成的影響，我選用與第一步中和測試相同尺度的設計(L = 1) (此時，在這邊可先忽略不計)。

在Part III中，由於，nMOS必定都會處於飽和區當中。將上述步驟所選用的、偏壓與代入nMOS的飽和區電流公式中：

可以得到，因此我選用(W = 1)作為後續的設計目標。

**第四步：選取負載電阻**

同前兩Part，實際的電流會與預期有所差異，於是先使用上述步驟中所選用的參數，並選用先進行試跑，發現實際電流約為，與預期的有約9%的落差。觀察.lis中的測量結果，我發現比小，因此我推測電流實際較小的原因與Velocity saturation有關(但我選擇的L很長理當會比較不受影響才對)，由於載子被加速到上限，導致電流比預期的還要小而上不去，而且Velocity saturation的影響會比Channel length modulation還要來得嚴重(因電流最終比預期還低)。

由於試跑所選用的電阻即滿足SPEC中的，最後電阻的選用就直接為。

**第五步：將參數代入，檢驗是否滿足SPEC**

參數： Probe OV：

|  |  |
| --- | --- |
| **變數** | **Hspice表示** |
| Output voltage**(Vout)** | V(Vout) |
| Slope**(dVout/dVin)** | deriv("V(Vout)") |
| Channel current**(Id)** | I(RD) |

, ,

,

, ,

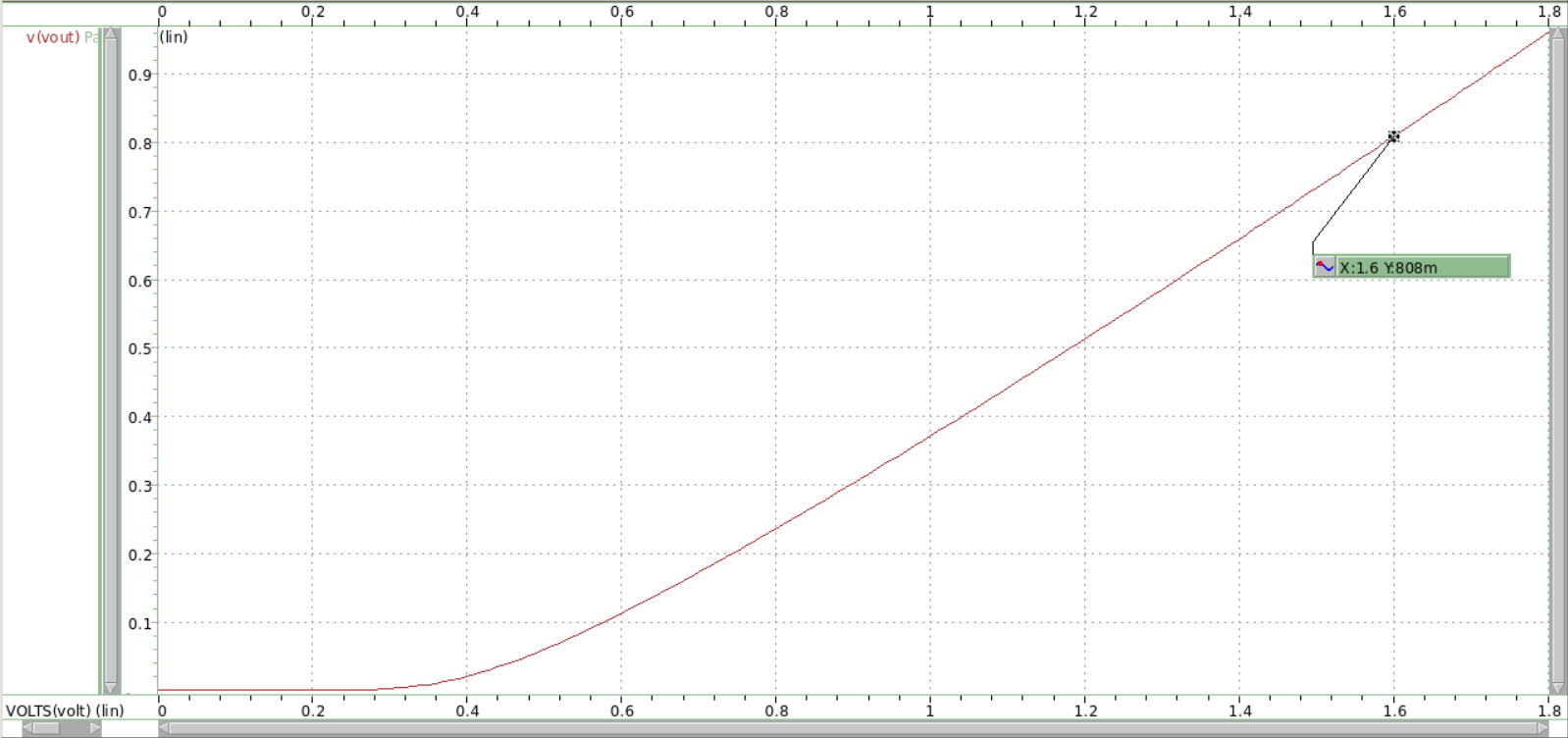
大訊號分析：

.dc Vin 0 1.8 0.01

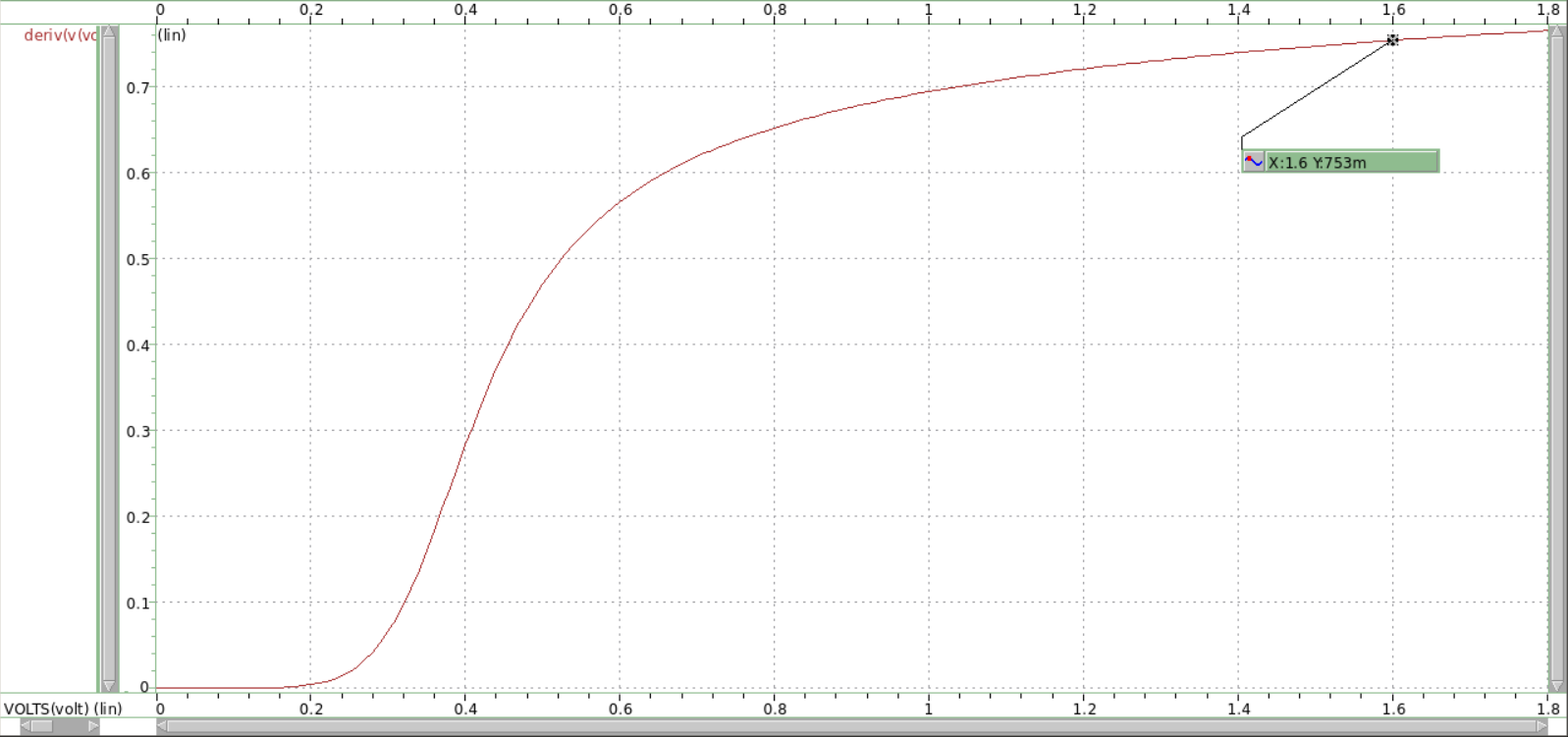
小訊號分析：

.tf V(Vout) Vin

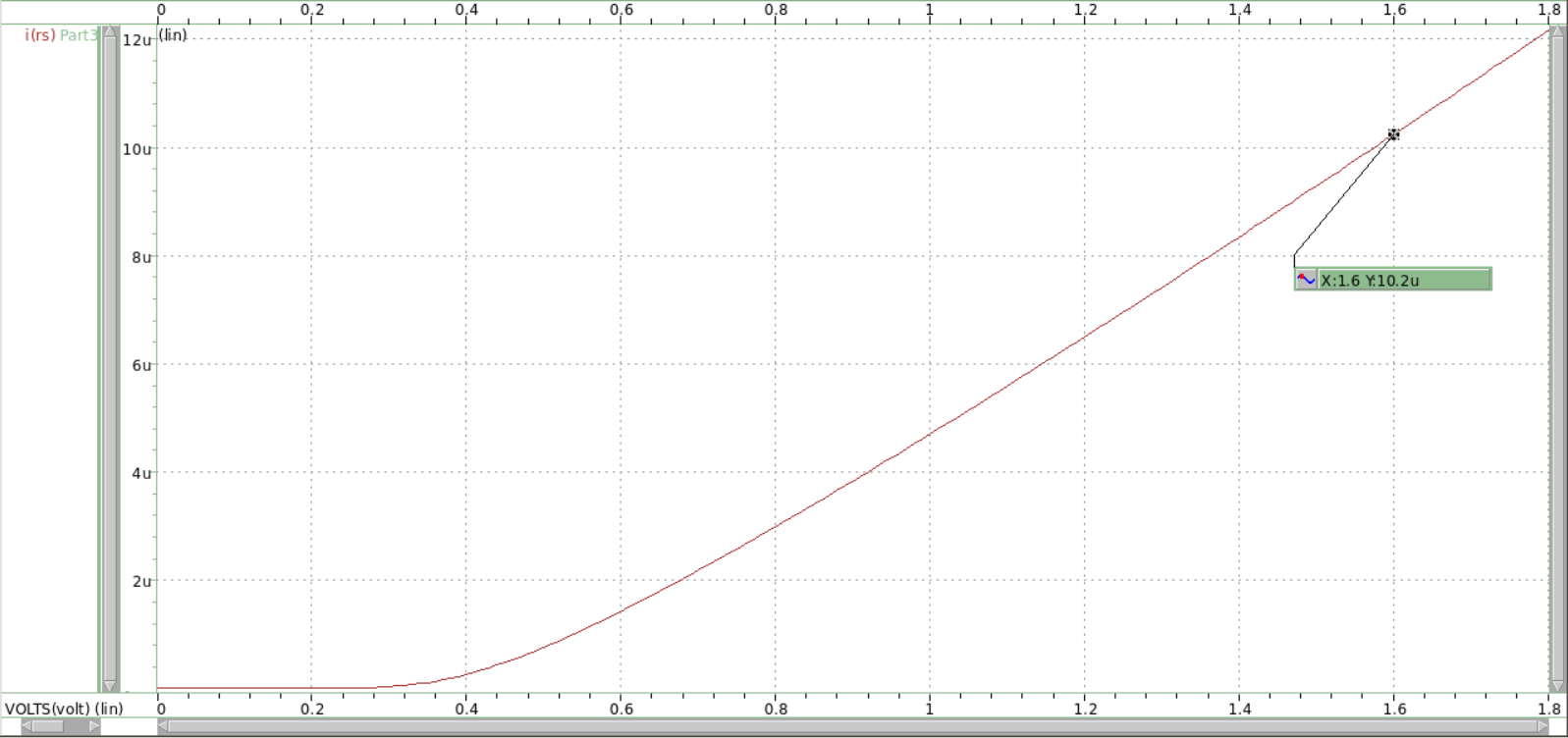
(1) DC Sweep：



**Vout(V) vs. Vin(V) (Vout = 0.808V at Vin = 1.6V)**



**dVout/dVin vs. Vin(V) (dVout/dVin = 0.753 at Vin = 1.6V)**

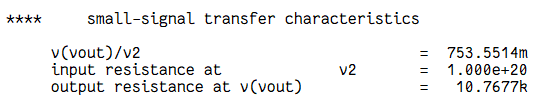


**Id(A) vs. Vin(V) (Id = 10.2uA at Vin = 1.6V)**

由上圖，可以看到當時，，兩者都有滿足SPEC的要求。再來，在整個DC Sweep的過程中，都小於，也滿足SPEC的要求。

綜合上述，我在Part III中的設計有符合SPEC的所有要求。

(2) TF Analysis：



TF Analysis的數據會被存放在.lis檔中，如上圖所示，其中第一項，符合在(1)中的結果。

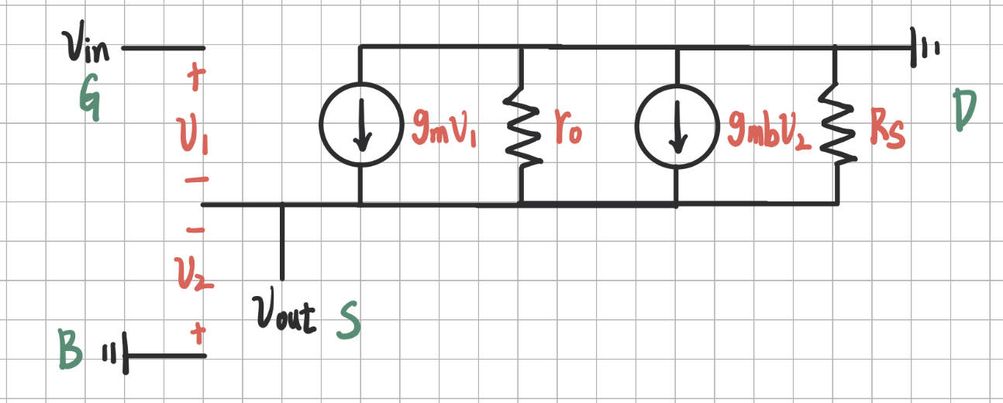
第二項的，符合在Source Follower小訊號模型中的預期。而最後一項的。

可以觀察到Source Follower有略小於1、大、小的特點，很適合作為Buffer的角色，不容易受Input端或Output端外接的電阻大小去影響到訊號傳遞的效果。換句話說，代表不管Source Follower接到哪些元件上，都可以穩定的將訊號縮小成0.753倍後傳遞出去。

(3) Hand Calculation and Discussion：

同前兩Part，在(3)中，我會採用.lis檔中實際測得的電流、、和來做小訊號模型各項參數的手算，並與(2)中結果做比較，來驗證小訊號模型的正確性。

要注意的是在Part III中，要考慮Body effect的影響，也就是要對小訊號模型進行修正，加入考慮的影響，修正後的小訊號模型如下圖。



**Small-signal model in CS stage**

* **計算：**

，其中，得到。

* **計算：**

由KCL，，整理為的形式：

會得到，與(2)中TF Analysis測量的相符合。但與在前述設計中的推論有差異，這是由於在前述設計時還未考慮的影響，在Part III中的Body effect影響很大，讓分母變得更大，就會使得TF Analysis測量的gain值會比推論小。

* **計算：**

要計算Output impedance，只需要將代入Small-signal model當中，並計算與其產生電流的比值即可。

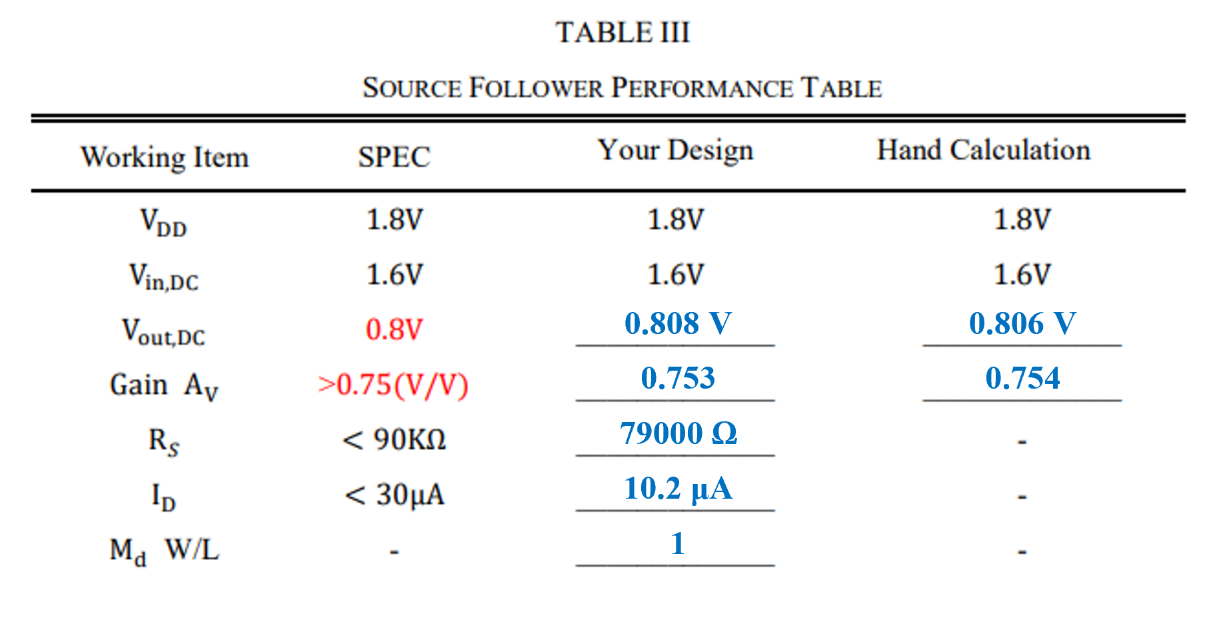
在CD stage中，，其中，計算出來的，與(2)中TF Analysis測量的相符合。

* **計算：**

為無限大，此點也與(2)中的結果相符合。

* **計算：**

，與(1)中Sweep的結果相符合，也滿足SPEC的要求。



如上表，使用實際跑過Hspice得到的參數去進行小訊號模型的手算，會與(1)、(2)中實測的結果相符合，代表CD stage中小訊號模型的建立與使用是正確的。