**EE3235 Analog Integrated Circuit Analysis and Design I**

**Homework 3**

**Cascade Amplifier**

姓名：朱豐蔚

學號：110060027

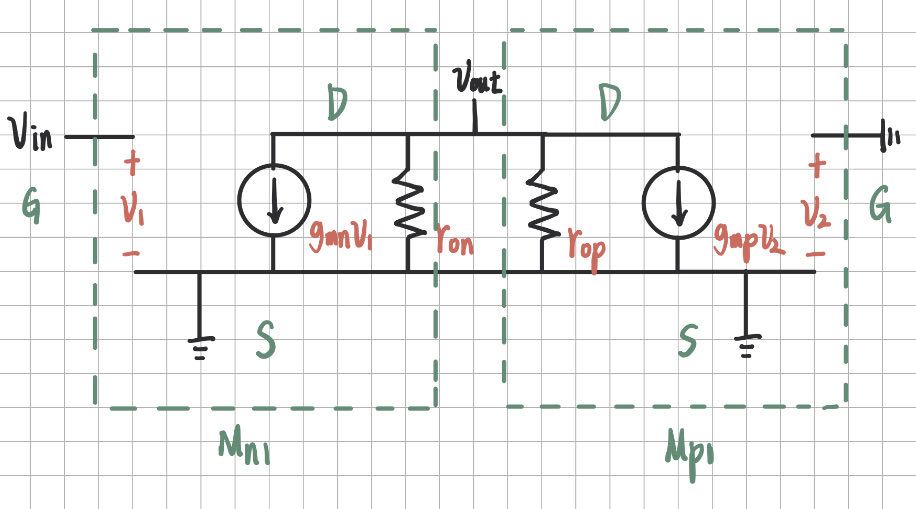
系級：電資院學士班25

**Part I – Cascade Amplifier**

(a) 設計Common Source Amplifier：

**第一步：觀察要滿足SPEC的條件**

由此題nMOS、pMOS所構成的Common Source Amplifier小訊號模型如下圖：

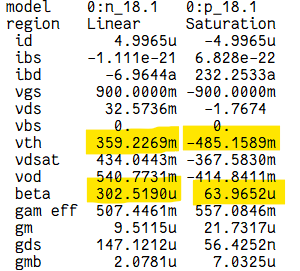


由KCL，因為，，整理為的形式：

注意上述的前提是nMOS與pMOS都要在saturation的狀況下，若任一個不處於saturation的話，就代表電流會隨著變化而有明顯的變動，即表現成會大降，代表gain會無法滿足SPEC所求，因此設計的首要目標就是確保與的設計能夠讓兩個MOS都在saturation的狀態下表現。

此外，由於此題的設計後續要再接上Common Gate Amplifier來去做放大，考慮訊號的傳遞會受Common Source Amplifier的，也就是影響，若設計得太大，會使得後續給入Common Gate Amplifier的太小，導致合在一起的gain不夠大，因此L的選用要適中，加上避免Channel length modulation對公式的影響，因此我在後續的設計都選用。

**第二步：測量製程參數與**

****因為不知道在c18製程中的各項參數為何，我決定採用實測的方式，真的另外建立.sp檔(檔案有上傳為Part1\_a\_Parameter.sp)實際去跑Hspice，並從.lis檔讀取各項參數數值，在後續設計時可以代入使用。

在這邊採用預設的body端接法，將nMOS的body接到GND，pMOS的body接到。

如右圖，其中為0.36 V、為0.49 V，而因為乘以W/L(測試用的設計為)就會為beta，因此可以得知，。

**第三步：選取MOS偏壓與**

如第一步中所說，設計的重點放在要使兩個MOS都能在saturation狀況下運作**，**各自去看nMOS與pMOS要進saturation的條件：

nMOS：

pMOS：

由上可知，要選在0.36 V到0.86V之間，要選在0.01 V到1.31V之間，考慮要滿足gain的要求：

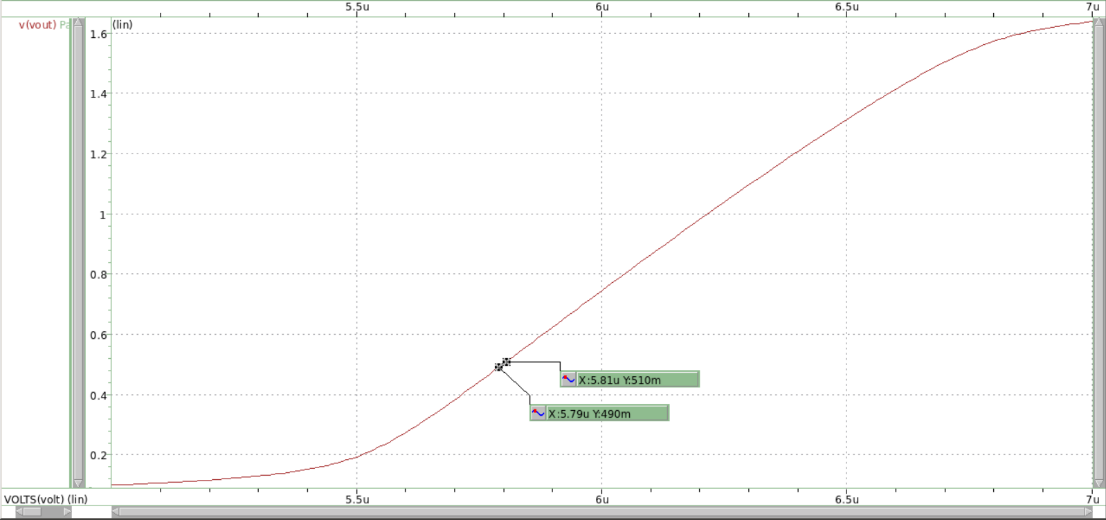
由於在下，不會超過0.1，因此選用可以足夠達成SPEC的要求。加上我想要讓設計中兩個MOS的W不要相差太大，因為流過兩個MOS的電流相同，且兩個MOS的L一樣，因此設計讓兩個MOS的驅動電壓差不多即可達成W不要相差太大的目的，最後選用做為後續的偏壓設計。

**第四步：選取MOS的寬度W**

前述有提到，nMOS與pMOS的W比例與選用的偏壓有關，因此我先定nMOS的W為第二步測試中所選用的，再由電流相同的等式，代入第三步所選用的偏壓，來得到pMOS的W：

可以得到，因此我選用pMOS的W為進行試跑，試跑的結果發現落在1.14 V，即W選用的差異會讓產生改變，這是由於Channel length modulation的影響，drain與source兩端的電壓差也會影響整個電流的平衡。

SPEC的要求要在0.5 V，因此我推測要將pMOS的W調小，打破平衡的傾向，讓pMOS的電流因為小過nMOS的，讓再次平衡的pMOS的跨壓變大、nMOS的跨壓變小，就能使因此變小。由於不知道確切的數值，因此我只能使用DC sweep來找到讓的準確值，對從到來進行測量。

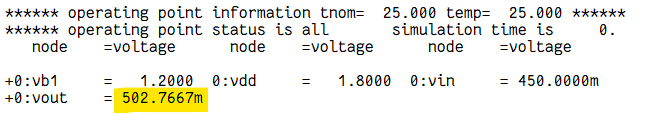


**Vout(V) vs. Wp(m) (For SPEC: Wp = 5.79 um ~ 5.81 um)**

DC sweep的結果符合我的預期，要將pMOS的W調小到才能滿足SPEC的要求。

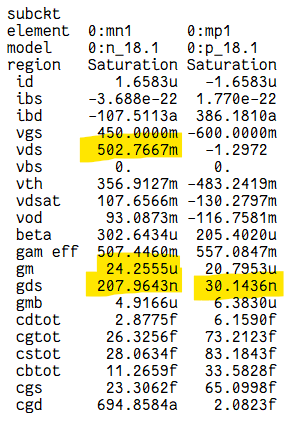
(b) 驗證Common Source Amplifier：

* **Operating point analysis(.op)：**



**.op analysis result**

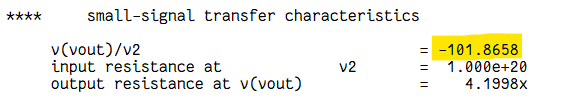
Operating point analysis的數據會被存放在.lis檔中，如上圖所示，當、時，，滿足SPEC的要求。

****

**MOSFET parameter**

另外整理出兩個MOS的參數，以供後續TF analysis的計算：

* **TF analysis(.tf)：**



**.tf analysis result**

TF Analysis的數據會被存放在.lis檔中，如上圖所示，其中第一項，有滿足SPEC所求，採用.lis檔中實際測得的、和來做小訊號模型gain的手算：

計算出來的，與測量結果相符合。

再來看TF analysis中第二項的，符合在Common Source Amplifier小訊號模型中的預期。

而最後一項的，若要計算CS stage的Output impedance，只要將代入Small-signal model當中，並計算與其產生電流的比值即可。在CS stage中，，計算出來的，與測量結果相符合。

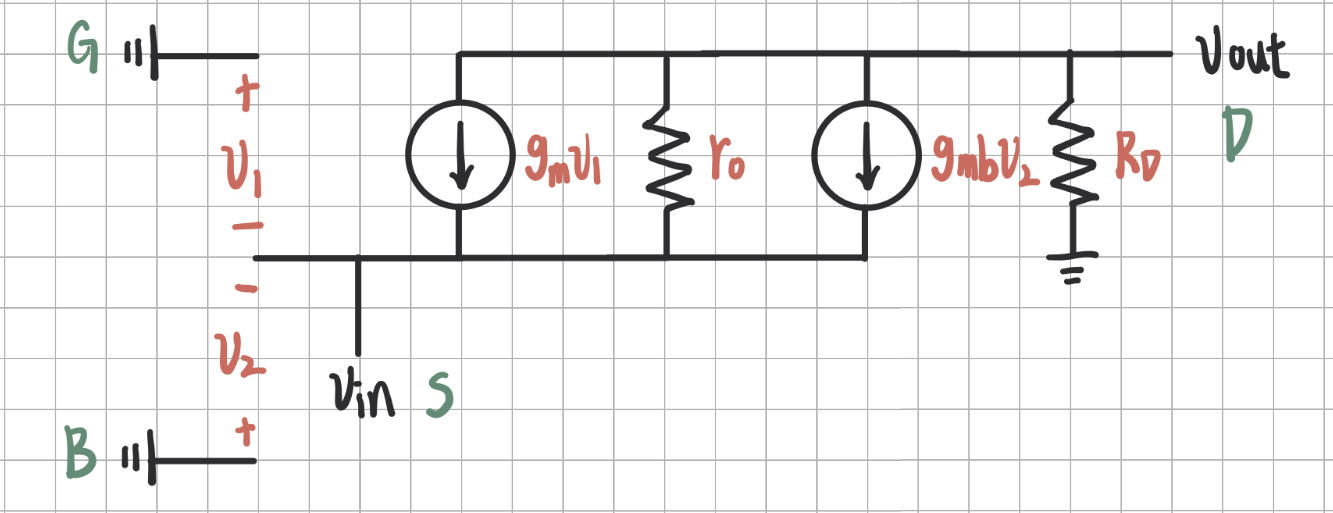
由上述可以知道，測量結果都與手算結果相符合，代表CS stage中小訊號模型的建立與使用是正確的。

綜上來看，此題所設計的Common Source Amplifier能夠將小訊號給放大約102倍，加上其有的特點，能使外來訊號能夠百分百的傳遞進Common Source Amplifier，不受Input端外接電阻的影響。但Output端還是會受外接電阻的影響，因為為百萬歐姆等級，若外接的裝置電阻值很小，就會使訊號傳遞的效果因為分壓的關係大打折扣，這點也是後續在設計Common Gate Amplifier的重點問題。

(c) 設計Common Gate Amplifier：

**第一步：觀察要滿足SPEC的條件**

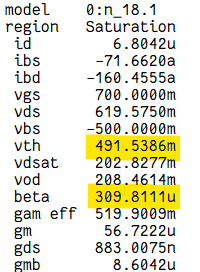
此題的Common Gate Amplifier小訊號模型如下圖(考慮有body effect的情況)：



由KCL，，整理為的形式：

注意上述的前提是nMOS要在saturation的狀況下，才可以表示為，若不處於saturation的話，會大降，代表gain會無法滿足SPEC所求，因此設計的首要目標就是確保的設計能夠讓nMOS在saturation的狀態下表現，再來就是要夠小才能滿足gain的要求。

**第二步：測量製程參數與**

同前述Common Source Amplifier採用實測的方式，真的另外建立.sp檔(檔案有上傳為Part1\_c\_Parameter.sp)實際去跑Hspice，並從.lis檔讀取各項參數數值，在後續設計時可以代入使用。

在這邊採用預設的body端接法，將nMOS的body接到GND。

如右圖，其中為0.49 V，而因為乘以W/L(測試用的設計為)就會為beta，因此可以得知。

與Common Source Amplifier的設計相比，可以發現確實會受的影響而大幅上升，此即body effect所造成的影響。

**第三步：選取nMOS偏壓**

如第一步中所說，設計的重點放在要使nMOS能在saturation狀況下運作**，**首先看nMOS要進saturation的條件：

由上可知，要選在0.99 V到1.29V之間，考慮要滿足gain的要求：

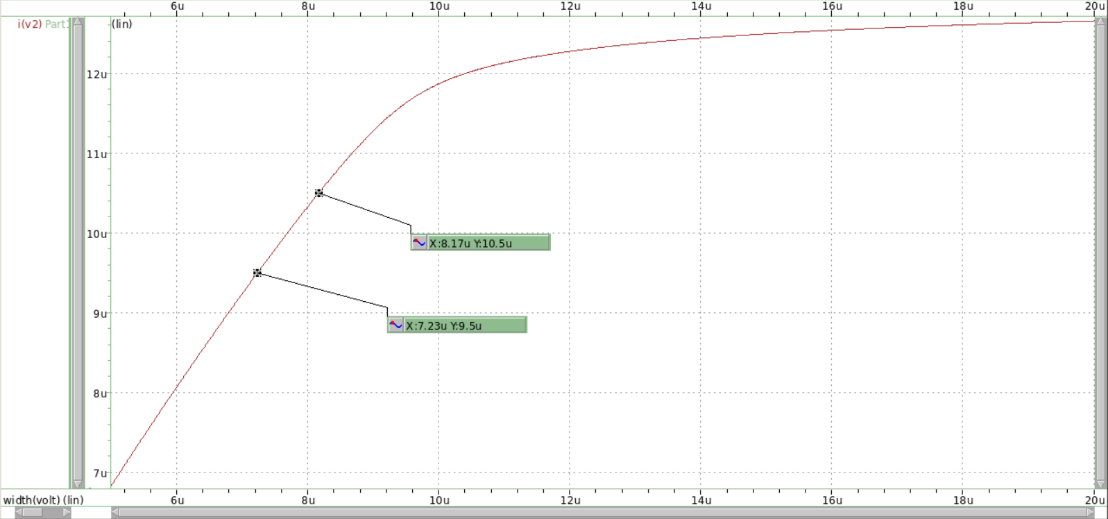
可以得到，因此選擇做為後續的偏壓設計。

**第四步：選取nMOS的寬度W**

將前述所選用的、、代入飽和區電流公式中：

可以得到，因此我選用W為進行試跑，試跑的結果發現比預期大，導致變小而讓nMOS進入linear region，我推測這是由於因為選用的很小(0.06 V左右)，因此任何一點的變動都會導致電流產生很大的變化，加上課程上所學的電流公式與實際Hspice的測量有所差異。

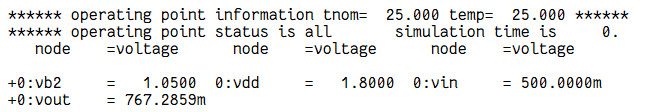
因此我只能使用DC sweep來找到讓的W準確值，對W從到來進行測量，最後選擇做為寬度的設計。



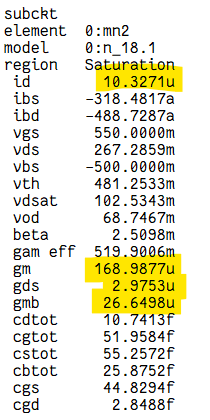
**Vout(V) vs. W(m) (For SPEC: W = 7.23 um ~ 8.17 um)**

(d) 驗證Common Gate Amplifier：

* **Operating point analysis(.op)：**



**.op analysis result**

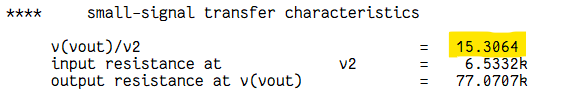


**MOSFET parameter**

Operating point analysis的數據會被存放在.lis檔中，如上圖所示，當、時，，滿足SPEC的要求。

另外整理出nMOS的參數，以供後續TF analysis的計算：

* **TF analysis(.tf)：**



**.tf analysis result**

TF Analysis的數據會被存放在.lis檔中，如上圖所示，其中第一項，有滿足SPEC所求，採用.lis檔中實際測得的、和來做小訊號模型gain的手算：

計算出來的，與測量結果相符合。

再來看TF analysis中第二項的，若要計算CG stage的Input impedance，只要將在Small-signal model當中與GND形成斷路，並計算與其產生電流的比值即可。在CG stage中，，計算出來的，與測量結果相符合。

而最後一項的，若要計算CG stage的Output impedance，只要將代入Small-signal model當中，並計算與其產生電流的比值即可。在CG stage中，，計算出來的，與測量結果相符合。

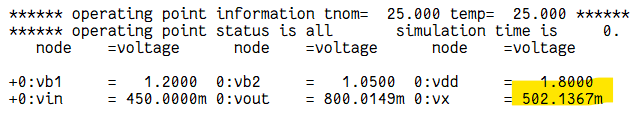
由上述可以知道，測量結果都與手算結果相符合，代表CG stage中小訊號模型的建立與使用是正確的。

綜上來看，此題所設計Common Gate Amplifier雖然能夠將小訊號給放大約15.3倍，但是可以發現，由於其小加上大，很容易會受Common Gate Amplifier Input端和Output端各自外接電阻的影響。

換句話說，外來訊號傳入與傳出Common Gate Amplifier時都會被稀釋，導致實際放大倍率可能更低。

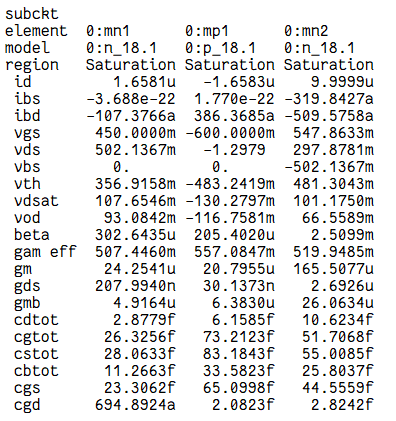
(e) 連接並驗證Cascade Amplifier：

**i. Operating point analysis(.op)：**



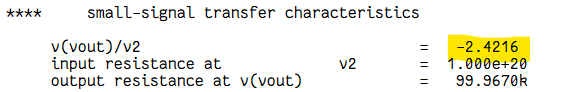
**.op analysis result**

Operating point analysis的數據會被存放在.lis檔中，如上圖所示，，與預期相同，由於各偏壓與各MOS的size設定都與前述題目相同，加上連接後加入的電流源，引流掉並避免了Common Gate Amplifier的電流由Common Source Amplifier的output端流入，讓Common Source Amplifier的電流、Common Gate Amplifier的電流都能操作在理想的位置，因此會與預期的相同。

****

**MOSFET parameter**

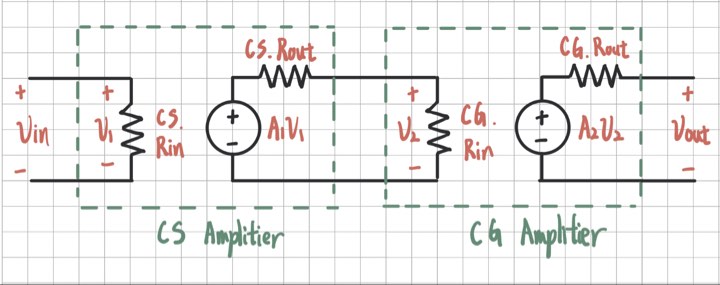
**ii. TF analysis(.tf)：**



**.tf analysis result**

TF Analysis的數據會被存放在.lis檔中，如上圖所示，其中第一項，有滿足SPEC所求，但並不等於前述設計中所測得的gain相乘()。

這是由於前述一直有提到的Amplifier會受分壓影響，導致放大倍率不如預期，Cascade Amplifier小訊號模型如下圖：

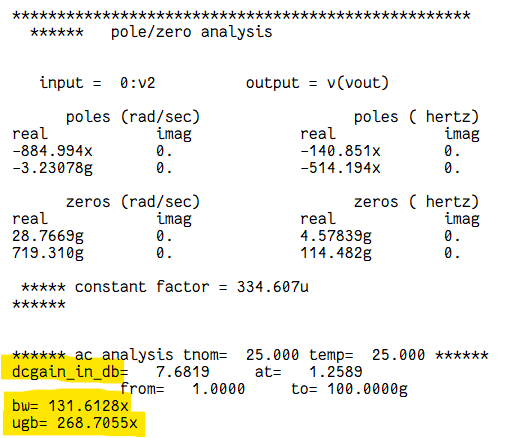


採用在(b)、(d)小題中實際測得的、、和來做gain的手算：

計算出來的，與測量結果相符合，代表Cascade Amplifier中小訊號模型的建立與使用是正確的。

(f) 測量Cascade Amplifier的Frequency Response：

* **Pole and zero analysis(.pz)：**



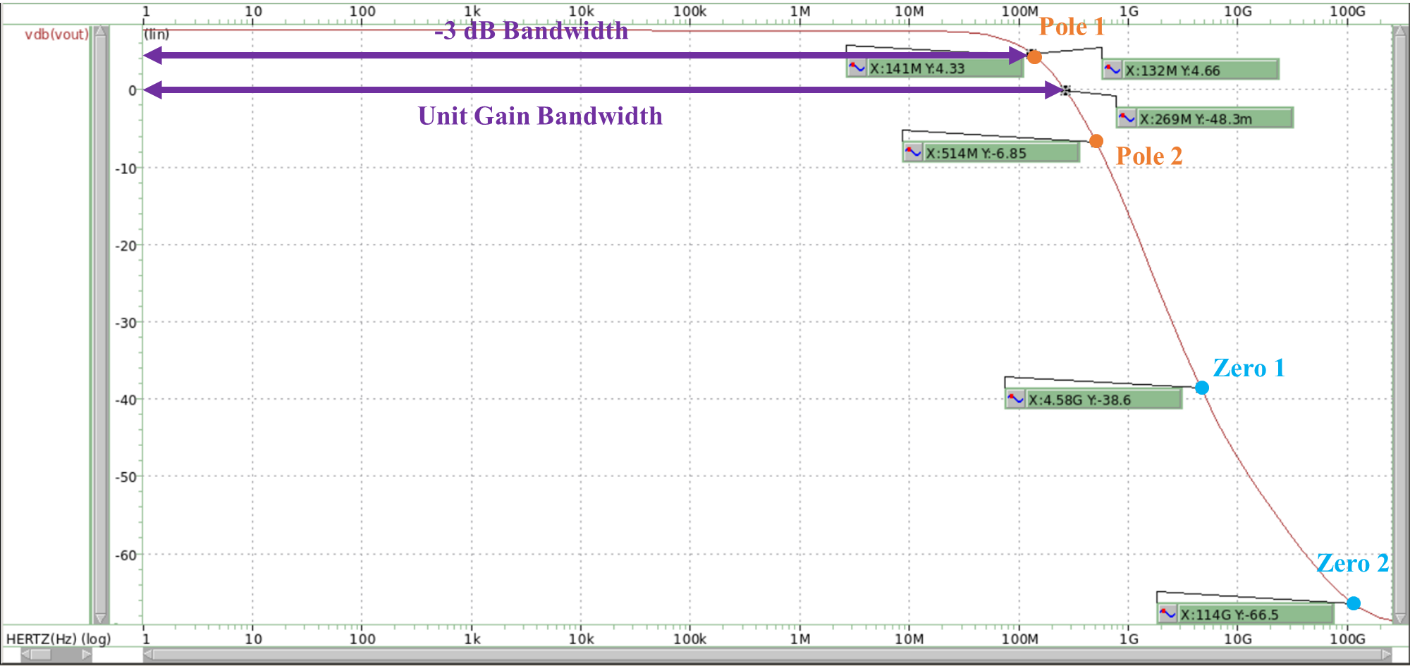
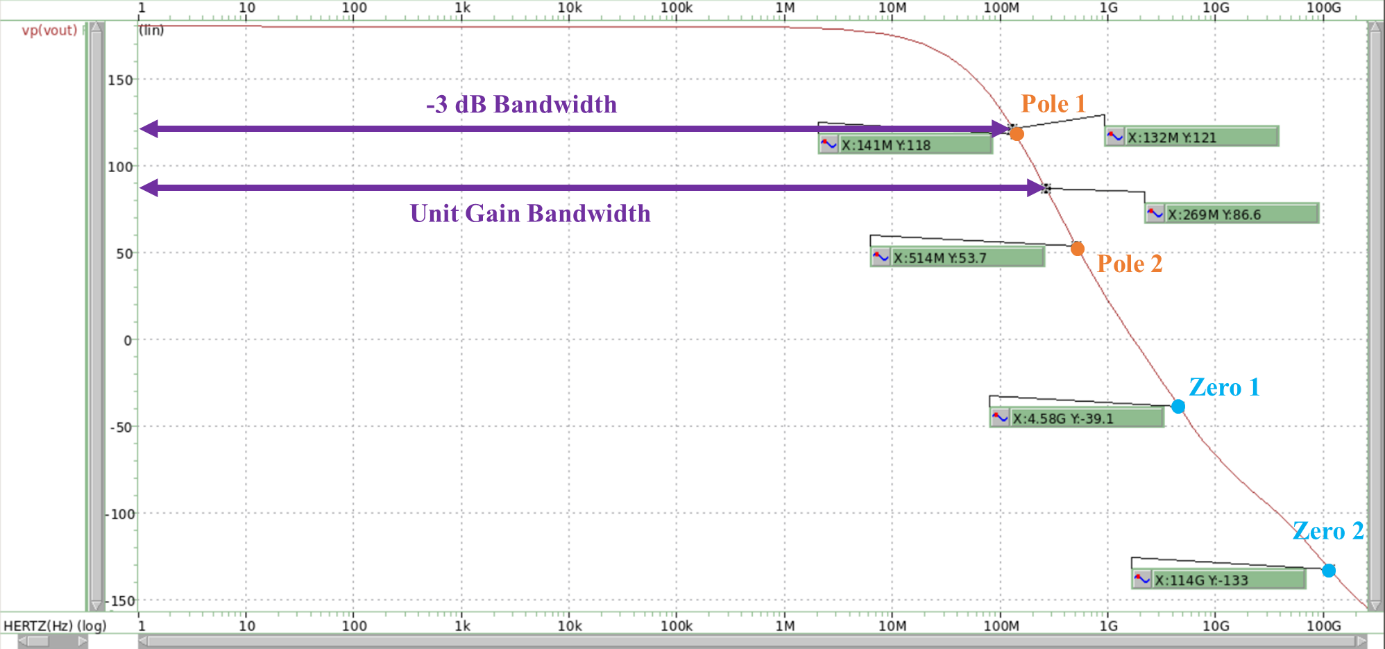
**.pz analysis result**

使用講義提供的參考指令，對1 Hz到200 GHz(改為200 GHz是為了讓所有點都能在圖上標示出)進行pole和zero的量測，由上圖可以測得，整個Cascade Amplifier共有2個pole分別在140.85 MHz和514.19 MHz(dominate pole為頻率較小的pole，為140.85 MHz，有滿足SPEC上要大於40 MHz的要求)，與2個zero分別在4.58 GHz與114.48 GHz。

其中dcgain\_in\_db是透過量測最大gain值，來代表在bandwidth的dc gain，在pz analysis中結果得到為7.68 dB(即2.42倍)，與在tf analysis中的結果相符合。

再來bw是透過測量比dc gain小3 db的頻率，來指示出-3 dB bandwidth，結果為131.61 MHz。

而最後的ugb是透過測量gain為1時的頻率，來指示出unit gain bandwidth，結果為268.71 MHz，也有滿足SPEC上要大於70 MHz的要求。

**gain(dB) vs. Frequency(Hz)**

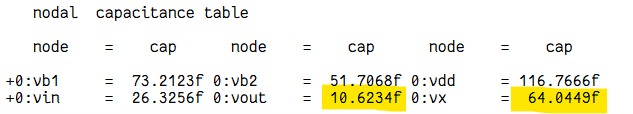
**Phase(degree) vs. Frequency(Hz)**

將pz analysis的結果(pole、zero、-3 dB bandwidth、unit gain bandwidth)繪製於上圖中，可以發現如課堂所學，隨著頻率上升，每過一個pole就會讓圖中的斜率-20 dB/dec，每過一個zero就會讓圖中的斜率+20 dB/dec。

此外可以看到所設計的Cascade Amplifier在頻率在dominate pole以下，也就是-3 dB bandwidth的區段都有不錯的放大效果。而當頻率超出unit gain bandwidth的區段後，gain就小於1，代表此時放大器不再有放大的效果，反而會讓傳入的訊號變小，導致傳遞效果變差，因此在高頻的環境下無法運作。

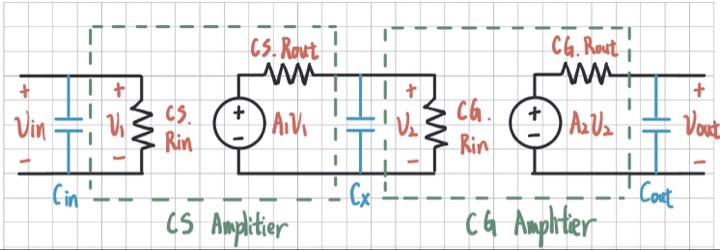
(g) 計算並比較Dominate Pole：

各點電容的數值會被存放在.lis檔中，結果如下圖。



**Capacitance table**

其中、、由於在小訊號模型中都視作ac ground，因此電容值對frequency response沒有影響，考慮剩下節點電容後，將Cascade Amplifier小訊號模型改畫如下圖：



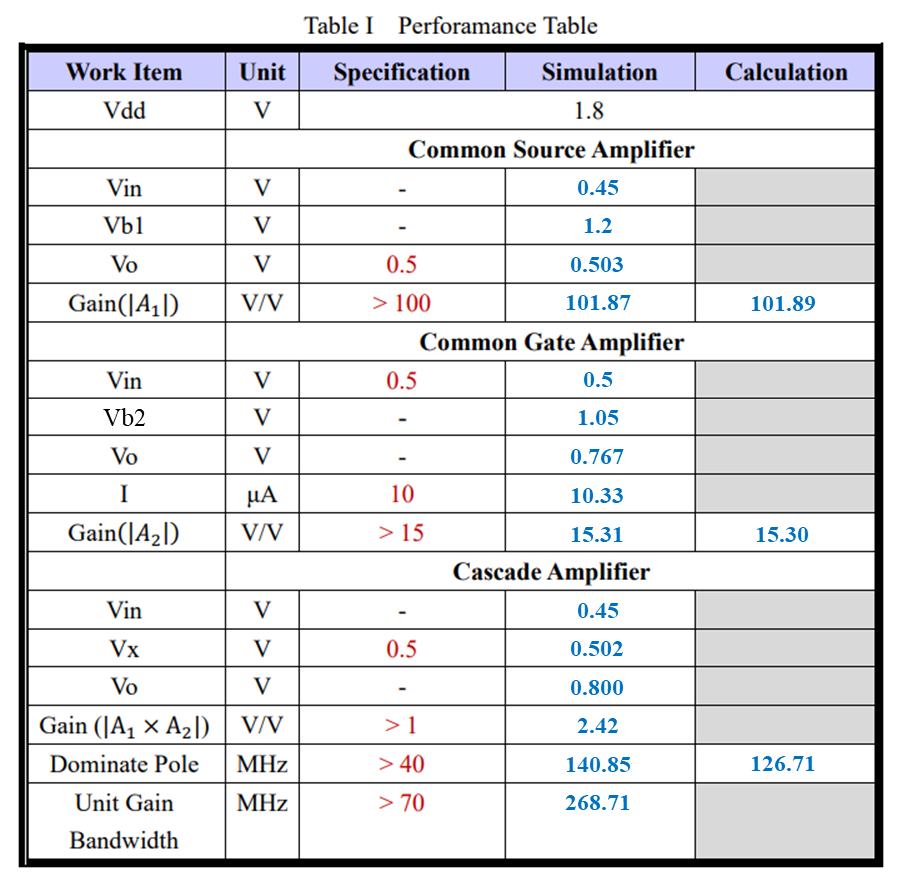
第一個pole為端點的影響，有，將(e)小題中.lis檔中測得的參數、，代入在(b)、(d)小題所推論的、公式，可以得到，與pz analysis中的pole在514.19 MHz有蠻大的差異。

第二個pole則為端點的影響，有，將(e)小題中.lis檔中測得的參數、，代入在(d)小題所推論的公式，可以得到，與pz analysis中的pole在140.85 MHz有蠻大的差異。

而dominate pole的算法可以利用課堂上有提到的簡易估計方式，即，將上述結果代入，可以得到，此點就有與pz analysis中結果中頻率較小的dominate pole在140.85 MHz相近，是個算準確的估計方式。

考慮兩個pole手算與測量有所差異的原因，我推測是由於確切的電容、電阻值計算，要在考慮MOS寄生電容的情況下，去對小訊號模型做加入考慮miller effect的轉換與電路分析，而在Hspice的模擬中，由於無法從.lis檔中得知各部分細節的寄生電容數值，因此無法更進一步的去做frequency response的分析。

(h) Performance Table填表：



**備註：原先表格中沒有的欄位，為讓設計的資訊更為詳細，所以我有加上此欄位於表格中**