**EE3235 Analog Integrated Circuit Analysis and Design I**

**Homework 5**

**Operational Amplifier with Resistive Feedback**

姓名：朱豐蔚

學號：110060027

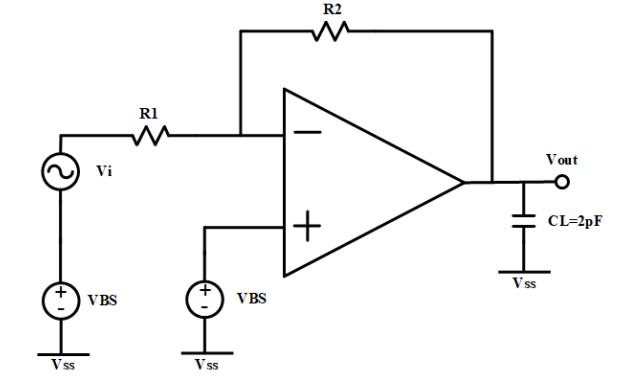
系級：電資院學士班25

**Part I – Design the amplifier**

1. Ideal operational amplifier simulation

在這一部分中，我使用手算加上實際去跑Hspice，雙重驗證最少所需的OP amp gain。

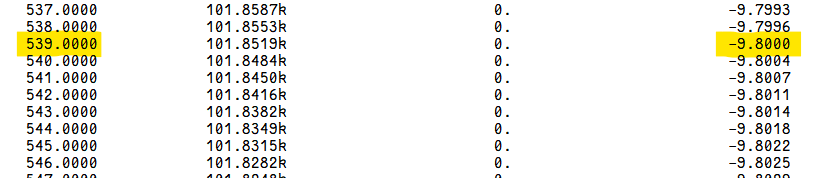
首先是手算的部分，在使用理想的OP amp下，Fig.1的架構為Inverting Amplifier(IA)，以此架構分析電壓的關係如下：



由於在小訊號模型下，可以視作接地，因此放大效果不會受與電容的影響，加上因為使用理想OP amp下，OP amp的為0、為無限大，因此、的選值也不會影響訊號傳入傳出理想OP amp的比例。

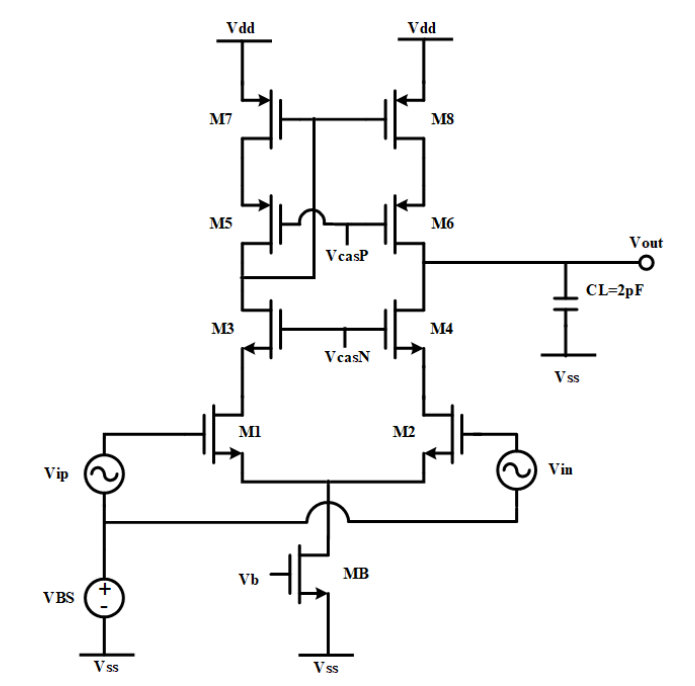
可以得到，SPEC中的要求為要介在-9.8到-10.2之間，因此可以推算出，代表後續要設計出gain至少要為539的OP amp電路。

接著實際去跑Hspice進行模擬，使用理想OP amp去構建出Fig.1的電路(.sp檔紀錄為Part1\_ideal\_op.sp)，並使用DC sweep指令對去做從100到1000的測量，.tf analysis的結果如下(欄位由左至右依序是、、、Closed-loop gain)：



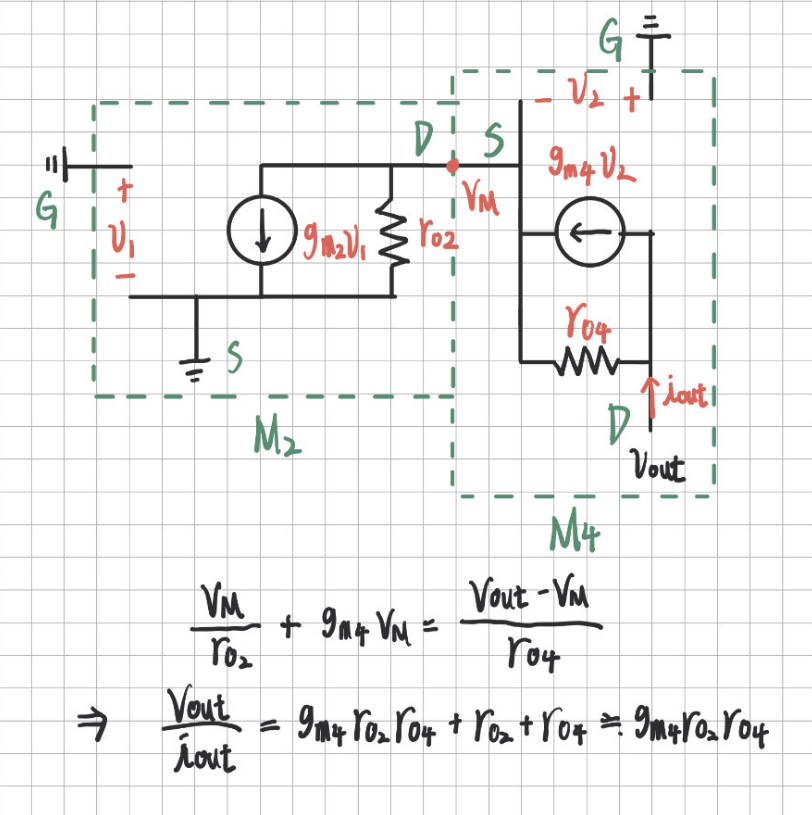
由於DC sweep的範圍很大，我只擷取了在539附近的.tf analysis結果，可以看到當為539時，有Closed-loop gain正好等於-9.8，此點與前述的手算結果相符合，並且我有特別將設為1 V(不為接地)，這也驗證了在小訊號下不會影響放大效果。

結合手算與模擬，代表後續要設計出gain至少要為539的OP amp電路，才至少有機會能夠滿足SPEC的所求(由於後續的OP amp不理想，、的選值也需要考慮進去，這會導致若設計剛好為539不一定能滿足SPEC)。

2. Circuit Design

首先先從gain下手，此設計架構為一differential pair，代表左右兩側是需要完全對稱的才能享有differential pair的各項性質，因此有M7=M8、M5=M6、M3=M4、M1=M2，其中differential pair的gain可以直接使用考堂上講述過的公式，為。

接著分析此differential pair的，這邊可以將看成往上、往下的兩個部分，兩部分的設計都使用了Cascade的架構，因此使用小訊號模型來分別計算(記得使用小訊號模型的前提是所有MOS都要處於saturation下，這也是SPEC之一)：



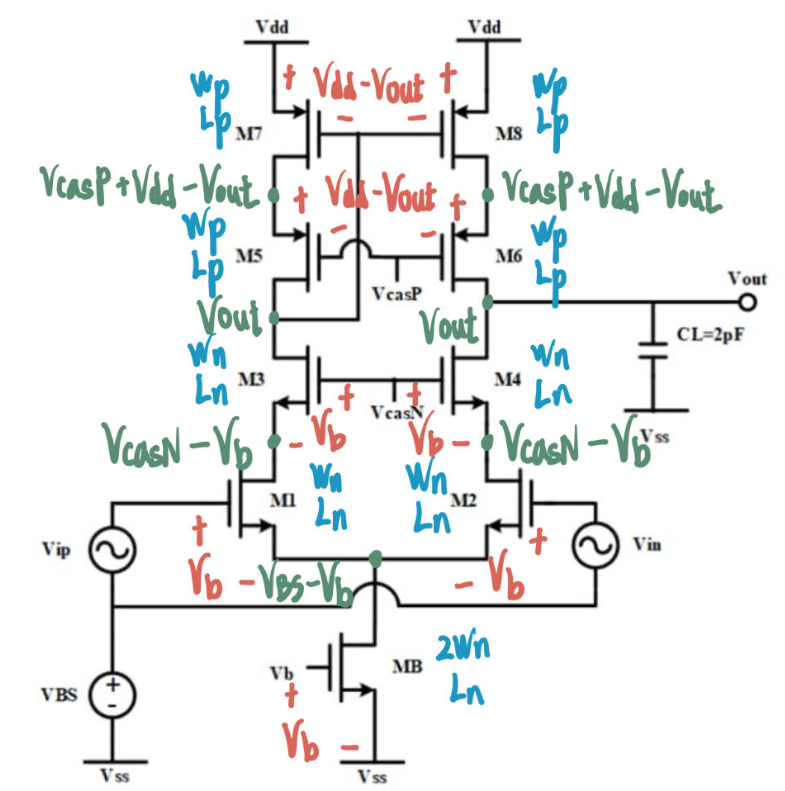
由上圖可知，下面的部分(包含M2、M4)，總共的R約為，以此類推，上面的部分(包含M6、M8)，總共的R約為，並聯後的總電阻即為，最後結合differential pair的gain值公式，最終可以推得：

由此可知，若想要提升gain值，有許多方式可以達成，第一是提升，可以透過使用比較大的L(因為Channel length modulation的影響，L越大越大，電流越穩定)，但提升要多考慮到SPEC中bandwidth需大於7000 Hz的限制，由於在output端有外接電容，加上 、都遠大過電路其他位置的電阻與寄生電容，因此dominate pole的位置由、主導：

可以算出需要小於11368210 Ω，也就是說由於bandwidth需大於7000 Hz，這變相限制了不能超過11.3 MΩ，因此透過提升來提升gain值是有極限的。

第二種提升gain值的方式是透過提升，結合上述推論的gain最小至少要539，與有最大值的限制，可以推論出至少要為47.4 μA/V，因此在後續的設計思路為，先設計讓超過47.4 μA/V，並透過調整盡量讓越靠近上限越好，即可滿足gain值的要求。

接下來要正式開始設計偏壓與size前，首先將架構中各點之間的電位關係理清楚，由於整條路徑上的電流相同，只要令所有nMOS(M1-M4) size為Wn、Ln，所有pMOS(M5-M8) size為 Wp、Lp，MB負責作為電流源的角色，需要產生兩倍的電流，因此MB的size我選用2Wn、Ln，這樣後續即可知道所有nMOS有相同的驅動電壓(相同)、所有pMOS有相同的驅動電壓，即可大大簡化設計上需要考慮的參數數量，統整如下：



加入考慮最重要的條件，即所有MOS都需要處於saturation的狀態，因此可以寫下下述的條件式(所有nMOS body都接地，所有pMOS body都接，但先不考慮body effect)：

因此在設計時，可以令、、三者呈等差來簡化參數數量，令公差為，只要這個公差有大過於，就能保證所有nMOS在saturation下運作，但要注意若公差設定太大，會壓縮到output swing。

另外看pMOS的條件，若令為，由於pMOS整條路徑電流相同，因此會為約左右(因M5、M7偏壓相同，又因回頭接給M7、M8的gate端，分析彼此、關係後可得)，因此的值也不可以設定的太小，會壓縮到output swing。

綜上所述，由於此次設計並未要求output swing的幅度，因此偏壓的設定其實非常寬鬆，很容易設定讓所有MOS都處在saturation下，但要注意不管是還是，若太大超過一定的量就會導致output swing被壓縮到小於0，也就是不可能讓所有nMOS saturation，此即為失敗的設計。

透過上述的架構參數簡化後，所需要設計的參數從原本每個MOS尺寸、每個偏壓，變成只剩下偏壓公差、，size參數Wn、Ln、Wp、Lp，以及電流源偏壓，這大大簡化了設計上的難度，可以開始進行各項參數的訂定。

回過頭看設計思路第一步，首先著重在的設計上，考慮公式：

可以得到至少要為0.16 V，回想MB的電流公式，若考慮要有最大的FoM，即不只gain值要夠大，power也要越低越好，也就是說至少要為0.16 V的情況下，設計越小，power的表現也就越佳，由前幾次Lab的經驗可以推知約為0.36 - 0.4 V左右，因此理論上選擇有最好的power表現，於是我選擇0.4 V作為的設計。

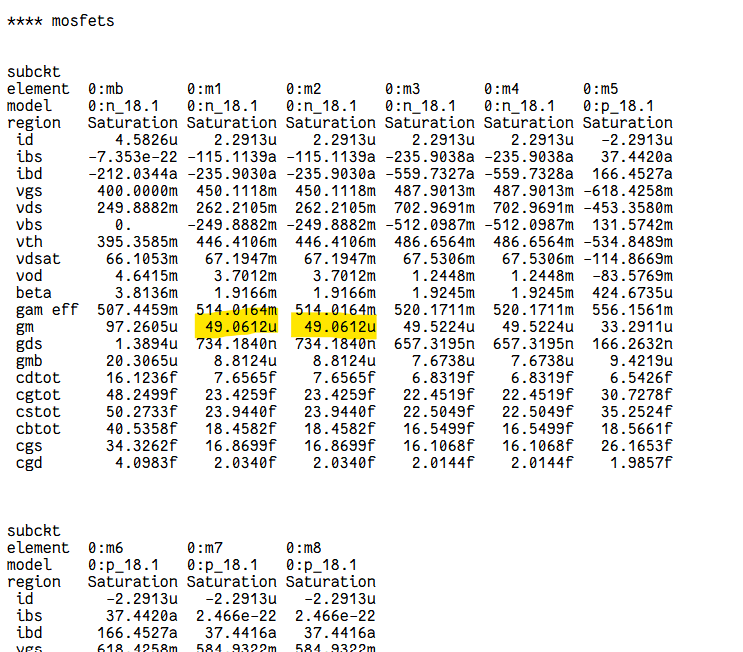
當，代表就要選得很大，這會導致寄生電容變得非常大(因電容與面積成正相關)，而在我私下的幾次測試、討論區關於pole的討論、下課與助教的詢問可以得知，當寄生電容太大，在後續接成close loop後，會與電阻值很大的、形成頻率很小的pole，因此會去逼近到前面所設想的dominate pole，因此會出現open loop、close loop圖形尾端不貼合的情況，此點也會再後續連接feedback network時討論到。

因為至少要為0.16 V，先將當作0.37 V代入，可以算出要取比5.5還要來得大，回憶Lab 1中在TT corner對Vth的測量，可以發現由於reverse short channel effect的影響，若選擇太小的L (0.6 μm以下)，會導致上升到超過0.4 V，進而導致MB cutoff，因此在OP amp的設計中，我選擇令Wn為5.5 μm、Ln為0.9 μm (size為6.1)，取較大的size是為了避免根據Wn、Ln變化而有所浮動。

設定好後，就可以設計電壓公差，為了讓nMOS saturation，因此需大於，此值約為0.02-0.05 V左右，由於此次設計沒有要求output swing，偏壓可以選得比較保守來讓各個nMOS確定有飽和，因此我選擇，也就代表設定、。

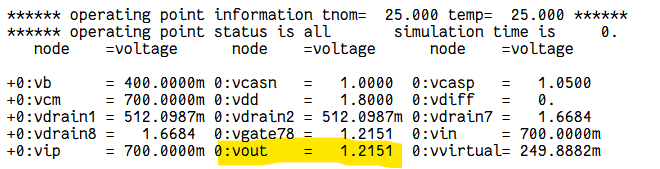
接著設定電壓公差的值，由前述有提到，由於pMOS size都相同，又因電流路徑相同，因此透過分析偏壓(與)，會為約左右，但由於有channel length modulation的影響，因此會使有一定的偏差，但在設計時還是先當作去做計算，由於nMOS所受驅動電壓為，約為0.03 V左右，若令 ，即可得到要為0.05 V左右(因電洞遷移率較電子遷移率慢2.5倍)，由前幾次Lab中的經驗可以得知會略小於0.5 V，因此我選擇，也就代表設定。

設計至此僅剩Wp、Lp的數值還未確定(但已經設計)，而數值的確定則與有關，這要等到確定有超過47.4 μA/V後，才會進行細算，因此先令Wp為5.5 μm、Lp為0.9 μm (尺寸與nMOS相同)，使用Hspice去進行試跑，檢查的數值是否有滿足所求，試跑結果如下：



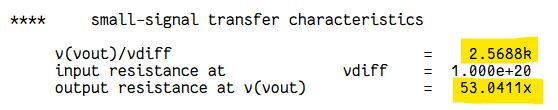
**MOSFET parameter**

可以發現所有MOS都有處於saturation的情況下，與預期相符合，檢查為49 μA/V，有大過於47.4 μA/V，代表nMOS尺寸與各偏壓的設計可以滿足gain要大於539的要求。



**.op analysis result**

另外觀察的operating point，可以發現為1.22 V，與前述會約等於的推論相符合，代表pMOS的偏壓設計是合理的。

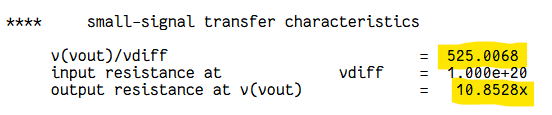


**.tf analysis result**

最後看試跑下的.tf analysis結果，可以看到在Wp為5.5 μm、Lp為0.9 μm的設計下，會使得太大，這是由於channel length modulation的影響，L越大越大，電流就越穩定，因此使得不管是上半部電阻(M6、M8的pMOS部分)還是下半部電阻(M2、M4的nMOS部分)都因為較大的L設計而使得並聯起來的太大。

前述有提到過由於reverse short channel effect的影響，若選擇太小的L (0.6 μm以下)，會導致上升到超過0.4 V，進而導致MB cutoff，因此不能透過降低Ln去降低，因此想要降低就必須從降低Lp下手(由於是由nMOS部分電阻與pMOS部分電阻並聯而成，降低其中一方就會使整體下降)。

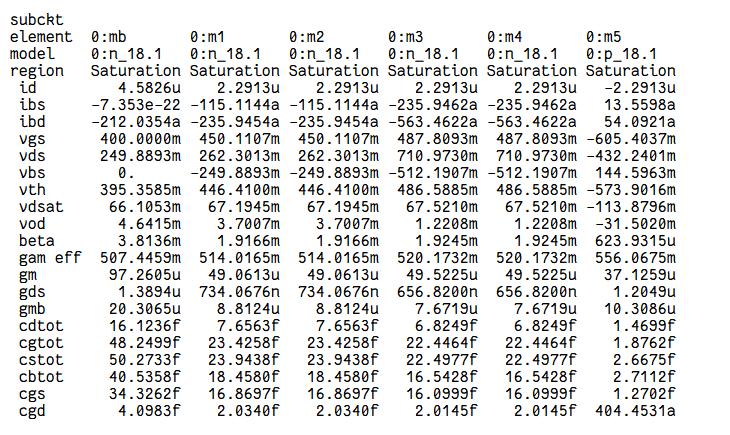
於是我將pMOS尺寸縮小成原本的1/5，即Wp為1.1 μm、Lp為0.18 μm再進行一次試跑，試跑結果如下：

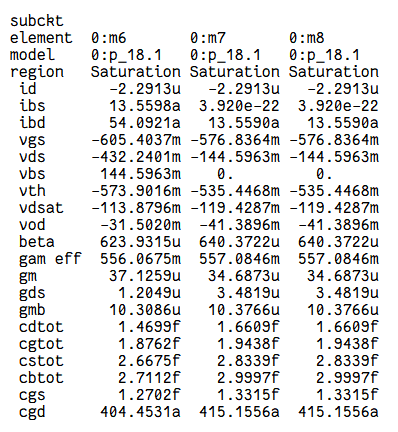


**.tf analysis result**

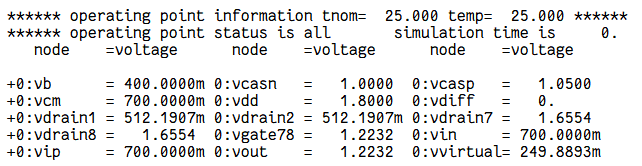
可以看到gain快要到539，且離上限也還有一些空間，因此剩下透過微調Wp來滿足需求，在電流不變下(因MB電流源沒有變)，增加Wp代表增加(因為)，以此來增加，讓gain達成所求，最後於Wp為1.14 μm時恰滿足所求，完成OP amp所有參數的設計。

最後的OP amp結果如下表：





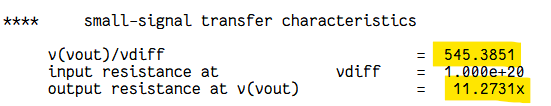
**MOSFET parameter**



**.op analysis result**

另外由表中MB電流可以計算power consumption，為。

3. Differential Mode



**.tf analysis result**

TF Analysis的數據會被存放在.lis檔中，如上圖所示，其中第一項，有滿足在第一小題中所模擬出來的最小要求539，接著採用.lis檔中實際測得的各項參數來做小訊號模型gain的手算。

首先利用前述推導的公式來計算(在這邊將body effect給考慮進來，因此需要多考慮的數值)：

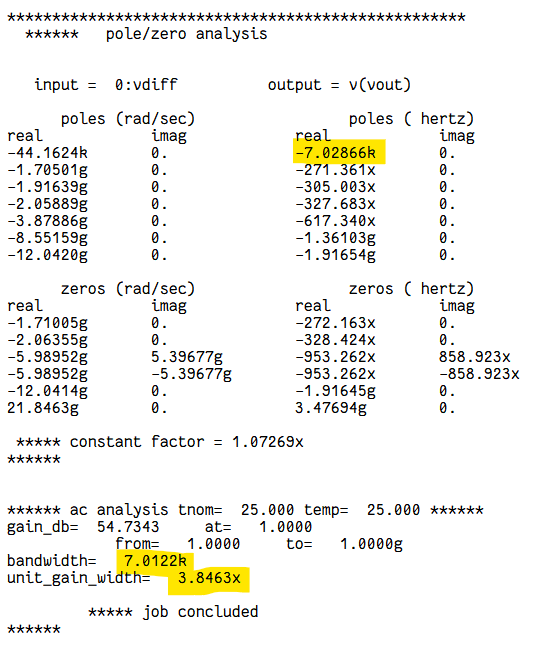
此結果與.tf analysis中的結果11.27 MΩ相符合，有的數值後再透過differential pair的gain值公式來計算gain：

此結果與.tf analysis中的結果545.4僅有約1%的誤差。

最後的部分由於input直接接往M1、M2的gate端，因此會為無限大，此點也與實測結果相符合。

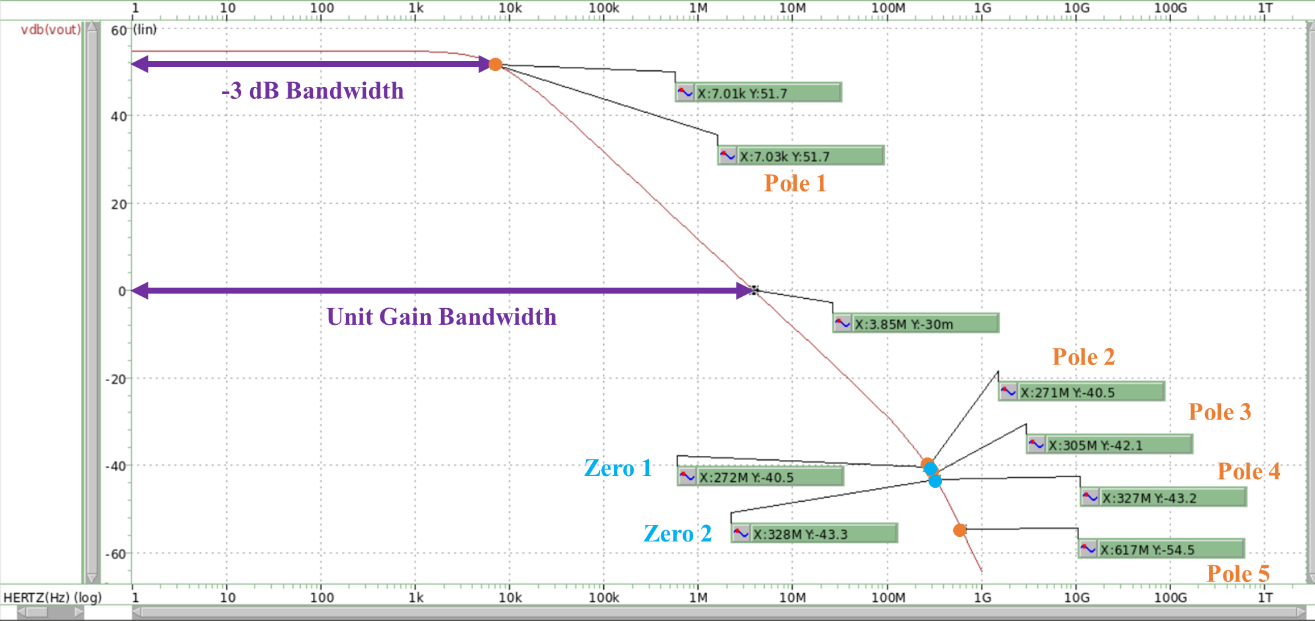
由上述可以知道，測量結果都與手算結果相符合，代表differential pair中小訊號模型的建立與使用是正確的。

4. Frequency Response/Pole and zero



**.pz analysis result**

使用講義提供的參考指令，對1 Hz到1 GHz進行pole和zero的量測(因此有些pole、zero無法標示在圖上)，由上圖可以測得，整個OP amp共有7個pole分和6個zero，其中最重要的為dominate pole，也就是前述推論中的為7029 Hz，因此bandwidth也受dominate pole影響為7012 Hz，有滿足SPEC要求的大於7000 Hz。



**gain(dB) vs. Frequency(Hz)**

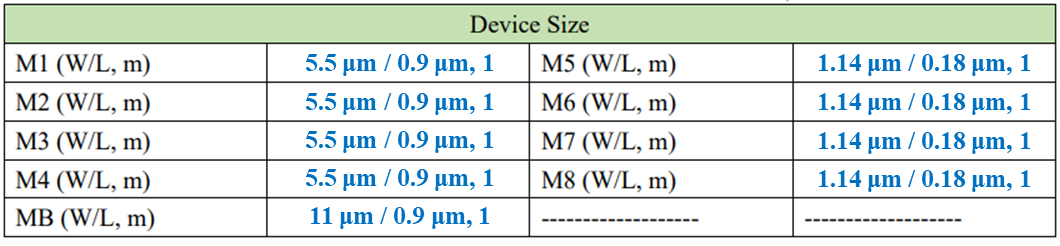
使用第三小題算得的代入dominate pole的計算當中(由於電路中有寄生電容的存在，因此須加上考慮寄生電容，在.lis檔中測得為2.0083 pF)：

此結果與.pz analysis中的結果7029 Hz相符合，代表differential pair中dominate pole的設計與計算是正確的。

另外可以注意到bandwidth略小於dominate pole頻率，我猜測這是因為後面還有其他pole的影響，因此使得-3 dB頻率來得較早，這才使得bandwidth略小於dominate pole頻率。

5. Specification

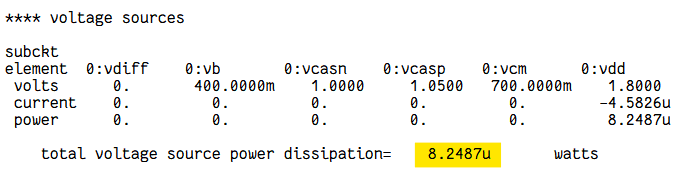
最後統整各MOS使用的參數如下表：



**Table 1**

各偏壓設計如下：

Power表現會被紀錄在.lis當中，如下圖所示：



**power result**

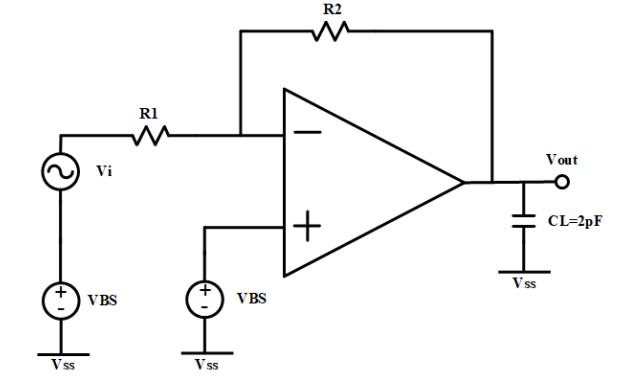
Power消耗為8.2 μW，與前述計算結果相符合，結合gain為545.4(54.7 dB)，最終計算得到的FoM為6.7。

**Part II – Add resistive feedback as Fig. 1**

1. Please discuss how you determine the value of 𝑅1 and 𝑅2

在原先Part I中第一小題的測試中，由於使用理想OP amp，代表OP amp的為無限大、為0，此時和的值不會影響最終close loop的結果。

但由於現在接上自己設計的OP amp，僅有為無限大是理想的，並非為0，甚至為了達成gain最小的要求539，還需要設計較大的，因此和的選用就會大大影響最終close loop的放大效果，此為課堂上有提到過的I/O effect。



再次分析Fig.1中的電路架構，可以將整個放大看成兩個部分，第一是與之間的關係，此部分並未與OP amp、feedback network形成close loop，為獨立的一部分，而且回想給入forward network(OP amp)的訊號應該要轉換成正的形式，而將訊號給入，可以轉個角度成看將負的訊號給入，因此在小訊號下，有的關係。

第二部分是由經過OP amp放大給，再由和構建出的feedback network迴授給，換句話說，當上升，會因OP amp放大一個負的訊號而下降，而再由和的分壓讓上升，即第二部分構成了一個負迴授的close loop。

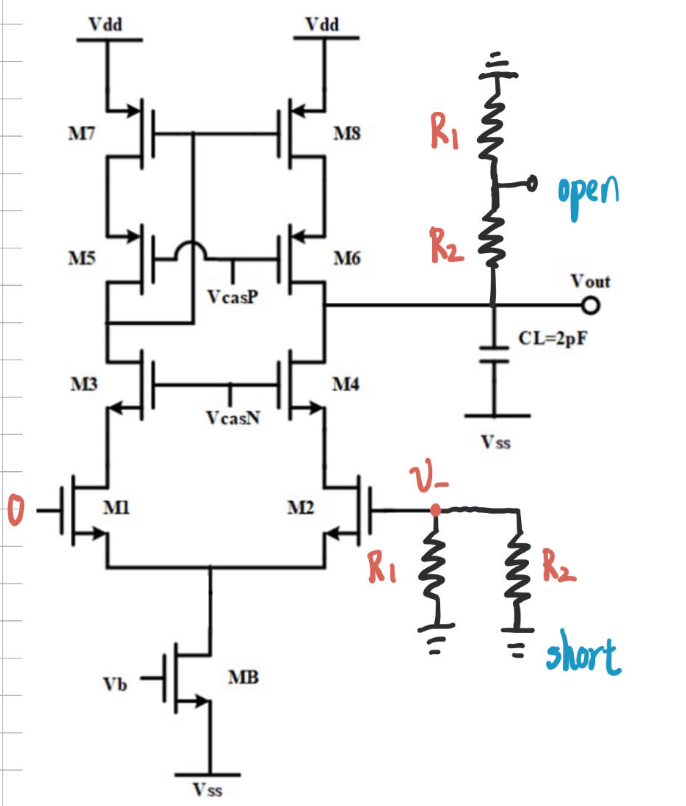
因此，在使用理想OP amp的情況下，總共的gain值可以寫成兩部分的放大值相乘：

其中前面的乘數代表與之間的關係，後面的乘數代表close loop gain(為OP amp gain、K為feedback network gain)，其中由分壓的概念去描述與之間的關係，可以得到。

最後將代入其中，可以得到與Part I中第一小題手算相同的結果：

但由於自己設計的OP amp為非理想，因此需將和考慮進去，重新計算為。

要重新計算，首先需要將feedback network打斷，分析如下圖：



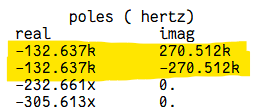
實際上是與之間的關係，但為了呈現出Fig.1的電壓關係，因此圖上我畫上，考慮和後的OP amp gain為：

由此可知，若和取得太小，會導致比還要小上許多，這會導致最後total gain不滿足SPEC所要求的9.8，因此理想上和要選得越大越好。

回憶前述設計中有提到，OP amp中寄生電容的存在，會與和形成pole，反過來影響最終的frequency response，代表寄生電容反向限制了和不能無上限的選擇。因此為求得最佳的和大小，我由下手先去計算的最小值應為539，再由Part I中OP amp的.lis檔參數，可以得到至少要為440 MΩ才能讓total gain滿足SPEC所要求的9.8。

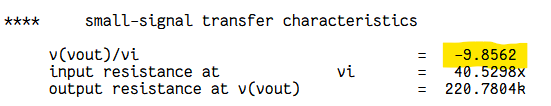
因此我選擇、進行試跑。

試跑結果如下：



**.pz analysis result**

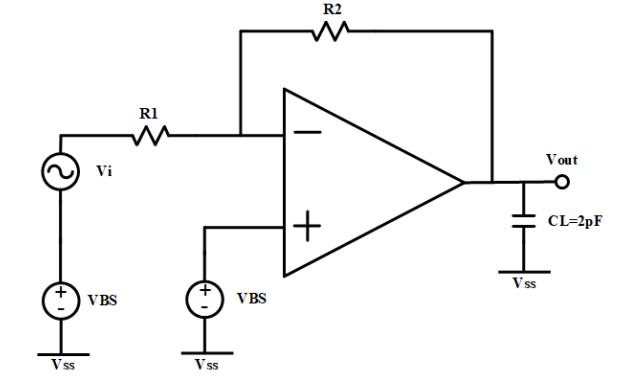
可以發現最終出現了複數的pole為dominate pole，在frequency response的圖形上會呈現出overshoot的情形，這代表寄生電容與過大的和形成的pole已經壓縮到原本的dominate pole，因而出現複數pole的情況，雖然有達成SPEC，但於之後對pole的計算與分析上會是很大的阻力。



**.tf analysis result**

此時回過頭看TF analysis的結果，可以發現total gain並不是預期中的剛好-9.8，甚至比9.8還大了一些，代表和還可以再取得更小，去解決上述提到複數pole的問題。

但為什麼會有total gain值微微上升的情況呢，這要回過頭去看Fig.1的電路架構：

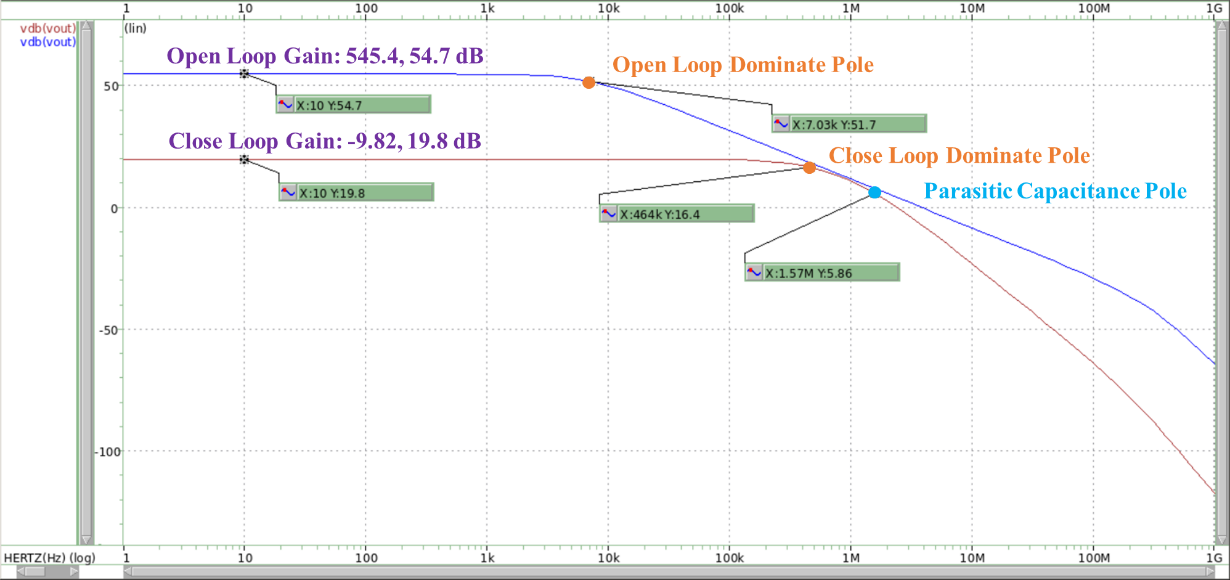


可以發現和的DC bias並不相同，因為並不一定等於，這會使得的DC bias因為在前述設計OP amp中的比高，透過分壓的影響有比還要高一點的偏壓(，因此只會高一點點)，這會使得原先設計很對稱的differential pair，因為偏壓的些微差異，導致兩條對稱路徑的電流不相同，有M2、M4、M6、M8路徑電流較大的情形。

這會使得在電流略大下，M2、M4、M6、M8有更小的，即合併為更小的，更小的則更不受和的影響，這就使得能夠透過選擇更小的和，在滿足SPEC條件下去解決出現複數pole的問題。

權衡複數pole與gain，最終我選擇、，作為最折衷的選擇方案。

2. Frequency response



**gain(dB) vs. Frequency(Hz)**

**Red line: Close loop gain**

**Blue line: Open loop gain**

可以看到因為選擇了較小的和，寄生電容所造成的pole就遠離了dominate pole，避免了複數pole的出現，圖形中也就沒有overshoot的情形，但還是可以看到，由於寄生電容所造成的影響，會導致在1.5 MHz後，Open loop與Close Loop的曲線有漸漸不貼合的情形，這個情況可以藉由選擇較小的MOS size解決，但如前述推論，會造成power的上升。

接著計算gain change(假設和不影響gain)：

可以得到gain change為55.64倍，與實測的結果55.54相符合。

接著計算close loop gain與gain error(假設和不影響gain)：

其中gain error會為，因此close loop gain會約等於-10的98%，也就是-0.98，與實測的結果-9.82相符合。

由上述可以知道，測量結果都與手算結果相符合，代表close loop小訊號模型的建立與使用是正確的，剩下一點的誤差則是來自於前述有提到過的兩個原因，和不是無限大，會造成實際上的forward network gain變小，以及並不一定等於，會導致和的DC bias並不相同，導致differential pair表現與預期有些落差。

3. Why we need the feedback loop

從上述結果可以統整出一些由Open loop接上feedback network後的性質變化：

一、gain值變小：

由545.4變為-9.82(小55.5倍)，雖然gain值變小，但是變得更加可控，原因是因為只要透過調控和的比例，就能穩定得得到想要的gain值，比起原先OP amp容易受到製程差異、溫度、偏壓差異而變化即大的gain值有更佳的穩定性與可控性。

二、變小：

由11.27 MΩ變為220 kΩ(小51.2倍)，代表訊號從系統中傳出更不受外接電阻的影響，避免了傳出的訊號被分壓掉而使放大效果大打折扣。

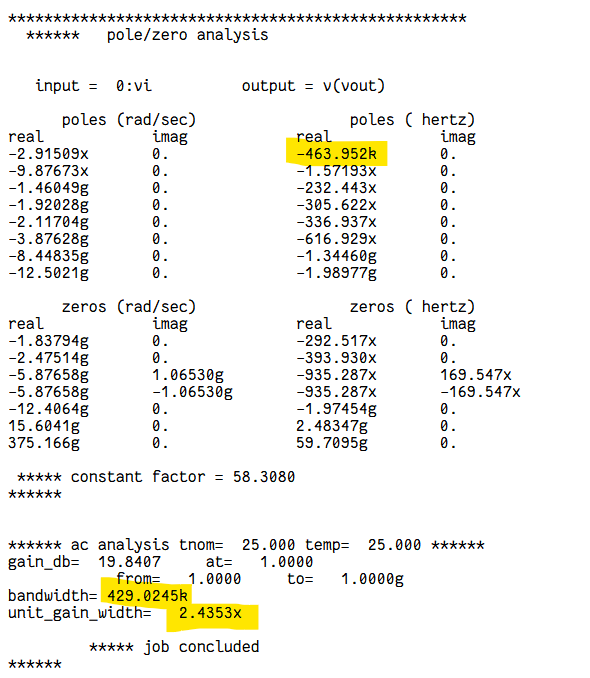
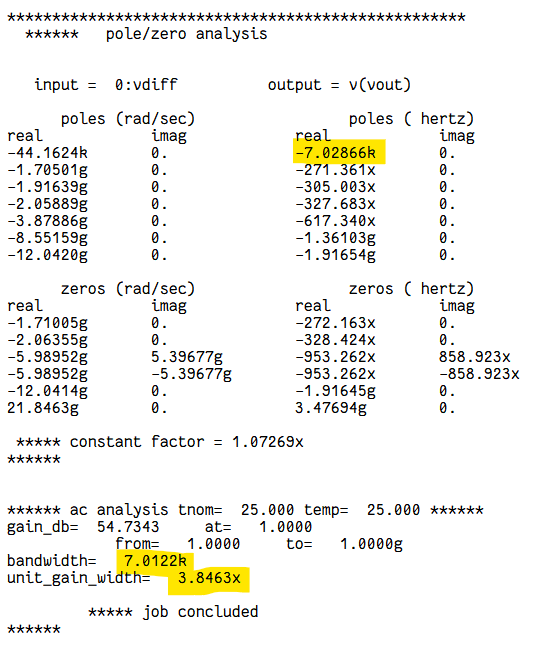
**備註：課堂上有學到對於voltage to voltage的OP amp，在接上feedback network後大部分會變得更大，代表訊號傳入系統更不受外接電阻的影響，避免了傳入的訊號被分壓掉而使放大效果大打折扣。但在此次設計中由於並非直接給入整個close loop系統，代表會吃到和而變小，因此並未有這項優勢。**

三、Bandwidth變大：

由7012 Hz變為429025 Hz(大61.2倍)，代表整個系統的放大器能對更大頻寬的訊號進行放大，增加放大器運作的範圍。

綜上所述，雖然接上feedback network後降低了gain值，但因此得到了更加可控的放大表現、更大的頻寬、更理想，大大增加了穩定性與設計上的簡易性(只需要保證OP amp gain大於539即可)。

4. Dominant pole change

 先列出Part I、Part II兩部分.lis檔中的.pz analysis結果如下：

**.pz analysis result (Left: Part I、Right: Part II)**

要計算dominate pole之前，首先要計算接上feedback network後的，因為有接上feedback network，因此並不是單純只看。

由課堂上講述過的迴授性質，在接上feedback network後：

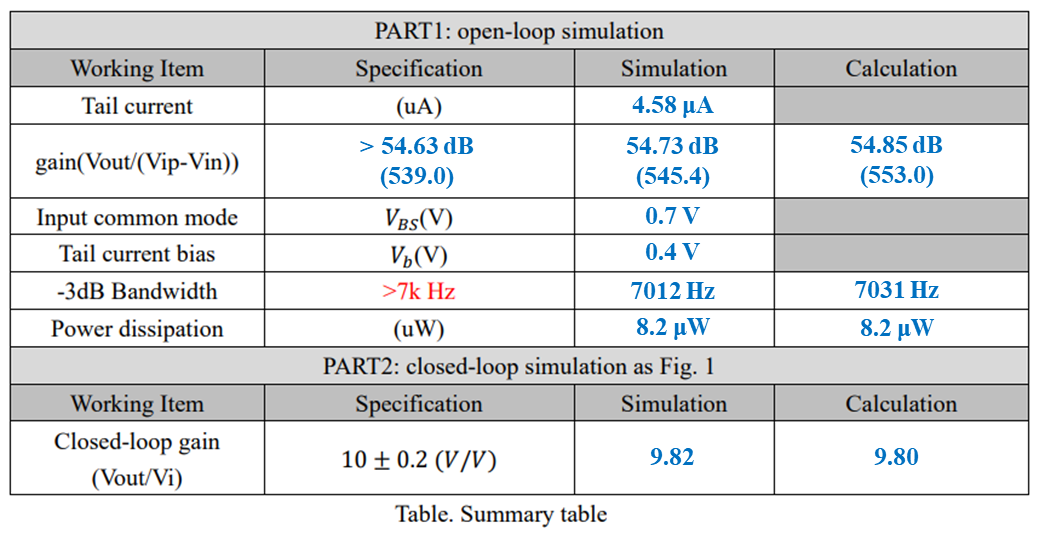
再加上考慮I/O effect，也就是考慮和後：

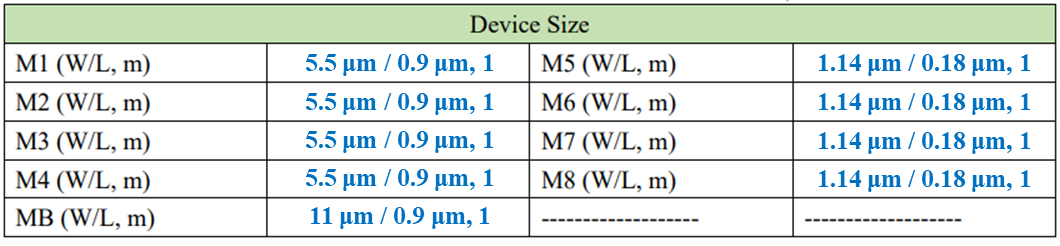
將Part I中.lis檔得到的、代入計算，可以得到，與實測的結果220 kΩ相符合。

接著計算dominate pole(由於電路中有寄生電容的存在，因此須加上考慮寄生電容，在.lis檔中測得為2.0088 pF)：

可以得到dominate pole為348053 Hz，與實測的結果463952 Hz有約25%的差異，推測誤差的來源與有其他鄰近pole存在的相互影響有關，使得RC乘積的估計方式變得比較不準確。

但還是可以看出在接成close loop後，dominate pole的頻率有大幅增加的現象，這代表整個電路的放大器可以作用於更寬的頻寬範圍，對於更高的頻率能依然維持住放大表現，此點也是前述有提到過的迴授優勢。





**Table 1**