**EE3235 Analog Integrated Circuit Analysis and Design I**

**Homework 6**

**2-Stage Opamp with CMFB**

姓名：朱豐蔚

學號：110060027

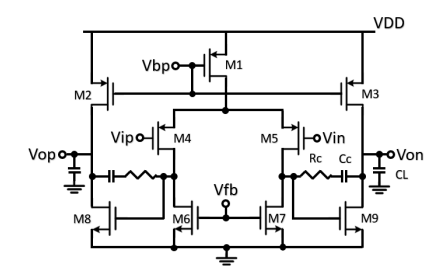
系級：電資院學士班25

**Part I – Design the amplifier**

1. 設計過程

在這次Lab的電路設計中，我想要先將設計的過程分為三大部份，透過一次一個部份的設計去慢慢的滿足所求，三個部分依次為2-stage Opamp的設計、CMFB Opamp的設計、最後是compensation電阻電容的設計。

在第一部分2-stage Opamp的設計過程中，會將重點擺在要過gain要求、功耗要求、ICMR要求三者上，而且可以先無視與(只跟phase margin的調控有關)的設計。



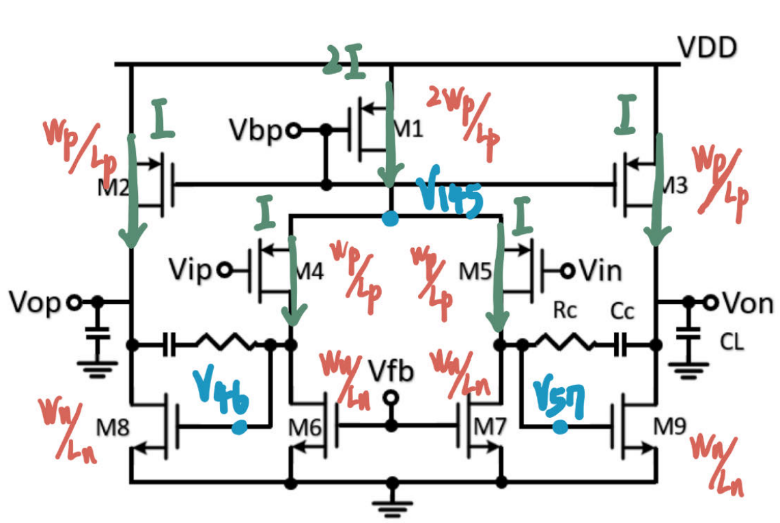
由於此電路為2-stage Opamp，可以看到由中間M1、M4、M5、M6、M7所組成的1st stage先進行第一階的放大，再由兩旁M2、M3、M8、M9所組成的2nd stage進行第二階的放大，兩階段都為differential pair的放大特性，因此需採用完全對稱的設計，總共的放大倍率如下：

可以看到gain總共被六個變數給決定，為了簡化設計上的複雜度，我想先令所有nMOS有相同長度Ln、所有pMOS有相同長度Lp，已知、皆與電流有關，可以設計流過M2、M3、M4、M5的電流都一模一樣，因此可以知道M1、M2、M3的寬度關係為2Wp:1Wp:1Wp。

再來觀察中間M1、M4、M5、M6、M7所組成的1st stage，其電路關係應為M1作為電流源，去提供左右兩邊的電流，為求方便，可以令M1、M4、M5的寬度關係為2Wp:1Wp:1Wp，這樣就能夠使得三者相同，在後續設計偏壓上就方便許多。

再來由於四條路徑的電流都相同，若令所有nMOS有相同Wn、Ln，那麼對於M6、M7、M8、M9也會有相同的，表現在電路中就是，這也能大大減少所需設計的參數。

自此簡化後的電路參數如下：



可以看到原本要設計所有MOS的size與偏壓，經過簡單的簡化後只剩下Wn、Wp、Ln、Lp、、期望值這六個變數需要做設計，其中期望值可以先設計，後續再由CMFB傳回想要的數值即可。

在真正進入gain的設計之前，最後還需要再進行偏壓的條件判定，在整個放大系統中，最重要的一點就是保證所有MOS在saturation的情況下運作，課堂上所使用的公式與放大效果才能夠受到控制，因此需要進行偏壓的檢查。

在前述已經將所有nMOS的驅動電壓、所有pMOS的驅動電壓透過訂定MOS尺寸給統一了，所以可以知道：

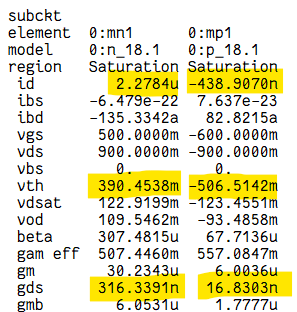
SPEC中有提到ICMR需要為1 V以上，由於M1為pMOS，因此可以推知若太高，有可能會導致變得太高，而導致M1進入linear region而壞掉，因此雖然SPEC給定在0.8 V去看各條件，但在設計時要考慮進也要能在1 V運作的情況。

因此先將為1 V、約為0.5 V (Lp約等於1.1 μm)代入：

可以統整得到，這變相限制了的範圍，因此我選擇為1.2 V作為我後續的設計。

接著回到gain值的設計，由於power有限制，這代表若想增加gain值，調高會是比較好的方向，因此L選超過1 μm會較佳，但是一味的增加會使得變得太大，與外接的電容會形成較小的pole，反而有可能會壓到unit gain bandwidth的位置，因此L不要選超過2 μm會較佳。回想前述在計算也是使用約為0.5 V (Lp約等於1.1 μm)來做設計，因此我選用Ln、Lp都為1.1 μm來做後續的設計。

由於計算gain值需要知道nMOS、pMOS在長為1.1 μm下的、，因此我採用實測的方式，真的建立.sp檔去做Hsipce的模擬(.sp檔上傳為Part1\_parameter.sp)，結果如下：



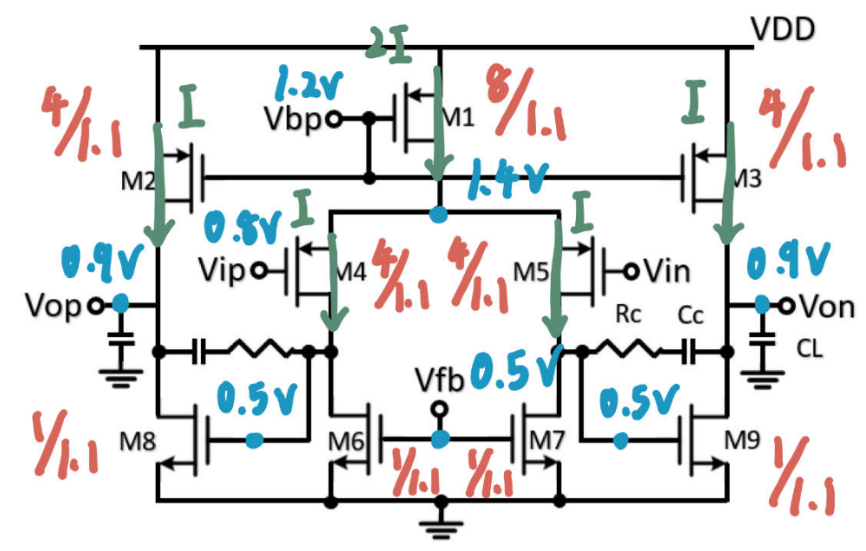
**MOSFET parameter**

可以得到在nMOS、pMOS在長為1.1 μm下，有、，除此之外也可以觀察到為0.39 V、為0.51 V。

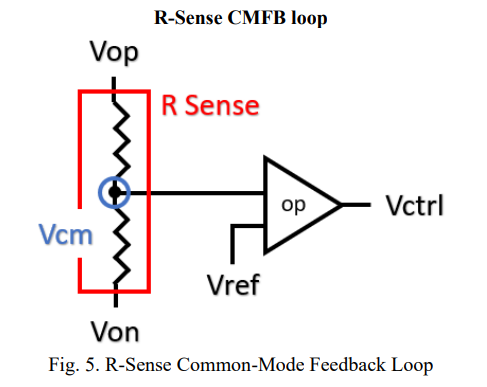
重新列出gain值公式並整理如下：

因此若想要gain值超過70 dB (約3162)，需要介在0.39 V到0.82 V之間，為了使得nMOS與pMOS size相當，不要有一邊特別大的情況發生，因此我選擇約為0.5 V來進行設計，此時Wp與Wn的比值可以藉由電流相同去代入：

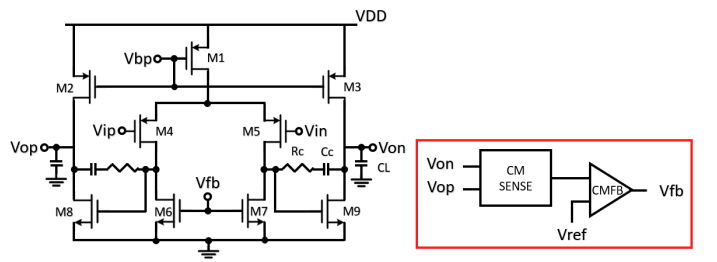
可以得到要約為4左右，取Wp為4 μm、Wn為1 μm。至此將所有2-stage Opamp尺寸關係與偏壓設定完畢，如下圖所示，待後續設計完CMFB電路後便可以進行參數的測量。



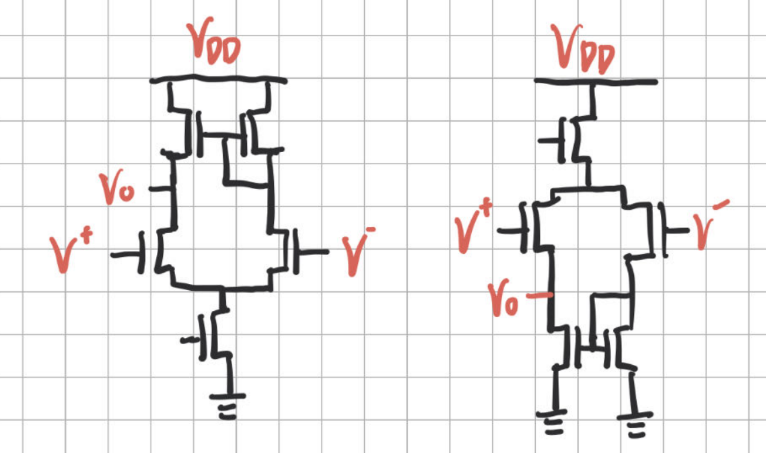
CMFB的架構有許多種，我採用了講義提供較為簡單設計的R sense架構，在這個架構中需要設計R電阻的大小以及Opamp。首先R電阻不能取得太小，因為與2-stage Opamp的有所相連，會使得傳出2-stage Opamp的放大訊號因為分壓的關係，使得放大效果不如原先的預期，因此至少要為的10倍以上才比較足夠，最後選擇100 GΩ。



接著是Opamp的設計，前述2-stage Opamp的設計中，希望CMFB傳入的能為0.5 V，因此在這邊要設計一個在0.5 V左右的Opamp，再來觀察此Opamp為單獨的輸出，因此我選擇採用differential pair的方式來設計，最後是正負迴授的判斷：

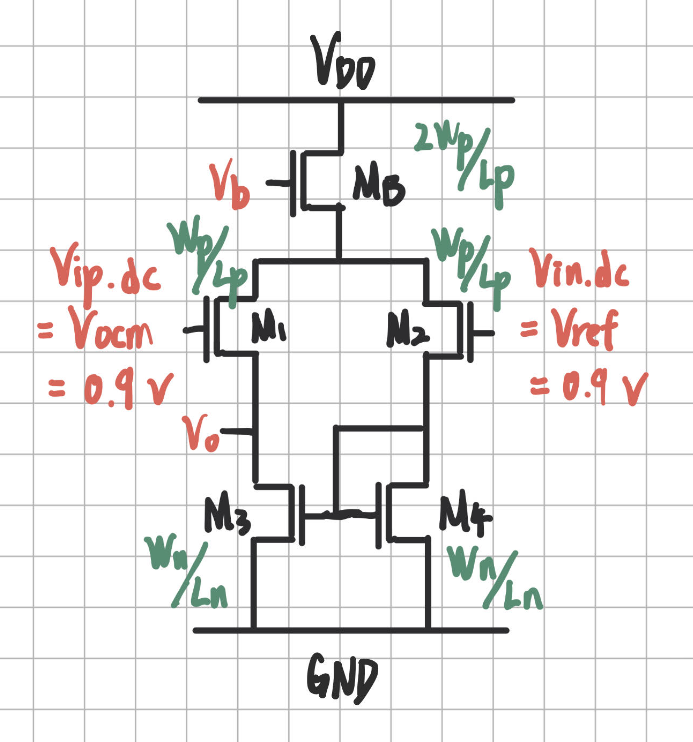


假設現在略大，會導致M6、M7驅動電壓略大，此時、就會為了讓整條路徑的電流是相同的，透過channel length modulation的調控而略為下降。再繼續推論，因為、略小，會導致M8、M9驅動電壓略小，此時、就會為了讓整條路徑的電流是相同的，透過channel length modulation的調控而略為上升，傳入Opamp系統中，因此若接入Opamp的正端，想要讓變小一點以達成系統的穩定的話，就要使用一個放大倍率為負值的differential pair作為Opamp的設計，以達成負迴授穩定的特性。



採用最簡單differential pair設計，可以用nMOS或pMOS作為電流源，我選擇以右圖，也就是pMOS來做電流源，原因是因為若採用nMOS，就需要大過兩份的才能保證所有MOS saturation，這樣會使得希望在0.5 V的output swing變得很小很不穩定。

因為採用了pMOS電流源版本的Opamp，接下來要設計偏壓與各MOS尺寸，去達到在0.5 V的效果，設計如下圖：



設計過程與設計2-stage Opamp類似，一樣先定下所有MOS的尺寸關係如上圖，且已知為0.9 V，因此要讓pMOS都進saturation的條件就比較寬鬆，加上Opamp的gain值不用很高，甚至若gain太高會在後續的.tran分析中容易不好穩定，因此Opamp沒有太多設計上的限制，可以以降低功耗為主去做設計。

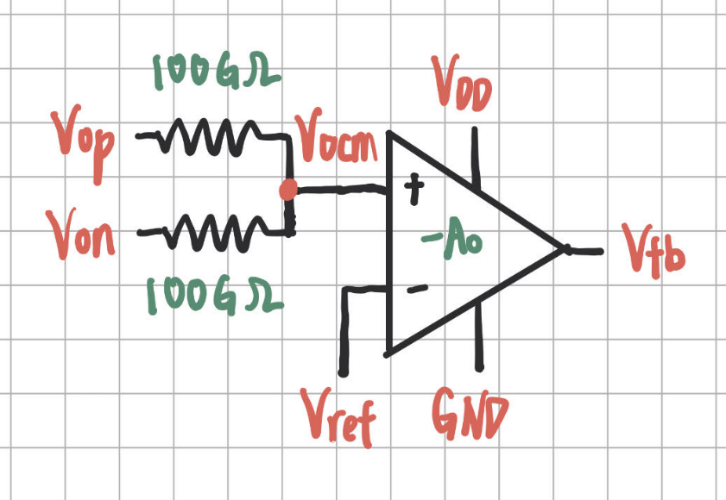
唯一要注意的一點，是在設計中，對於nMOS我採用self-biasing的架構，既能保證nMOS必處於saturation，又能透過後續尺寸比例的設計，去強制為0.5 V。

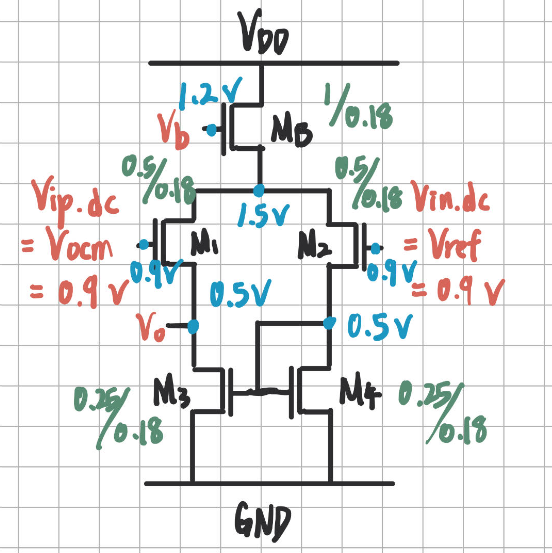
由於不希望gain值太高而導致damping不穩定，我選用Ln、Lp都為0.18 μm的設計，透過降低讓gain值不要太大，加上功耗的考量，不能讓W/L太大，因此Wn、Wp也應該選擇較小的尺寸，也選擇1.2 V，讓MB的驅動電壓小一點省電流消耗。

將、、、(L為0.18 μm下)都代入電流相同的等式中：

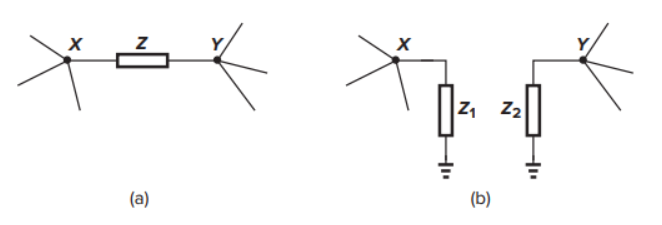
可以得到Wp、Wn尺寸比例約為2:1，取Wp為0.5 μm、Wn為0.25 μm。

結合R sense與Opamp，即可完成CMFB整體電路的設計，MOS尺寸、各點偏壓、元件選擇如下圖所示：

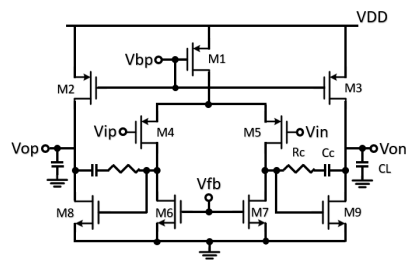




在最後一部分compensation電阻電容的設計中，首先要先知道補償電阻與補償電容在電路中扮演了什麼樣的角色，將兩者合併一起看成一個阻抗，由於跨過了M8、M9，因此根據Miller effect，會在M8、M9的gate、drain端等效成兩個阻抗，如下圖所示：

****

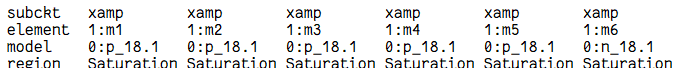
有、，其中為2nd stage放大倍率絕對值。

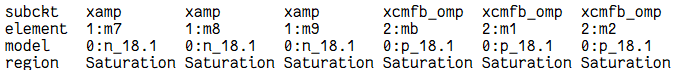


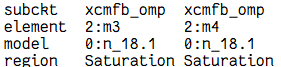
因此多了補償電路，會在M8、M9的gate端產生一個pole，為，而且會在M8、M9的drain端產生一個zero，為，運用此特性，就能夠將原本phase margin不夠的部分，透過此zero去增加phase margin，想法是透過補償電路，去靠近、稍微小於原本存在的第二個pole，使zero與pole稍微相抵消，表現在Waveview圖形中就可以將phase在-90度的範圍往後推移，進而讓phase margin大幅上升。

在沒加補償電路前所試跑的第二個pole約為MHz量級，加上考量不要讓補償電路產生的第一個pole太小(放大器bandwidth太小)，即希望pole大、zero小，因此先選擇適中的值為1 pF，接著代入希望約在1 MHz左右，即可得到約莫為200 kΩ左右，最後由於phase margin是要滿足3 corner的要求的，因此透過嘗試與微調，調到取250 kΩ能夠滿足phase margin的SPEC，自此完成補償電路的元件設計。

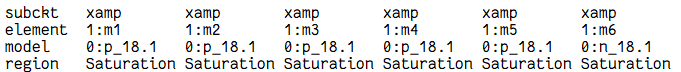
將所有放大器連接後，結果如下圖，為了呈現出ICMR，因此我都會附上由0 V到1.1 V (step為0.1 V)的各項SPEC結果(除了saturation為了不過度放圖，因此只放頭尾的0 V、1V)，首先先確認在三個corner下的MOS是否都有saturation：

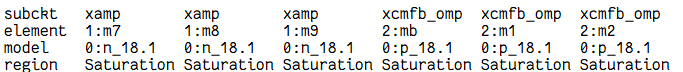


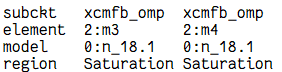




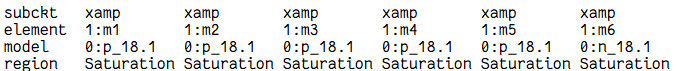
**SS corner MOSFET parameter Vi.dc = 0 V**

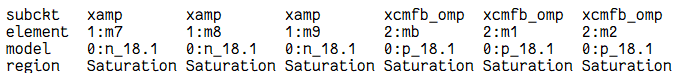


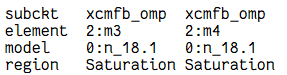




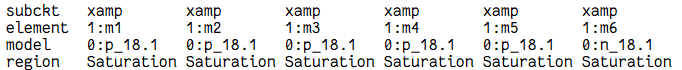
**SS corner MOSFET parameter Vi.dc = 1 V**

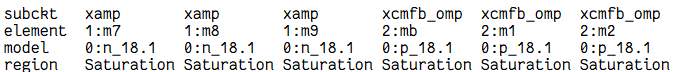


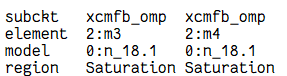




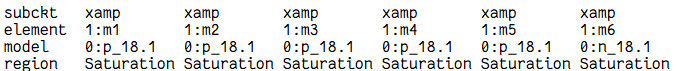
**TT corner MOSFET parameter Vi.dc = 0 V**

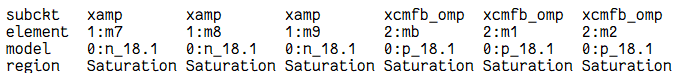


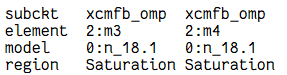




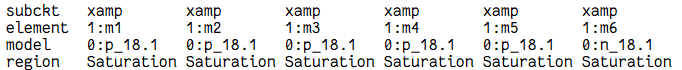
**TT corner MOSFET parameter Vi.dc = 1 V**

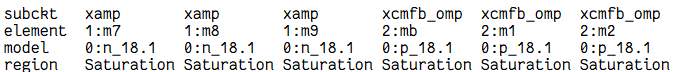


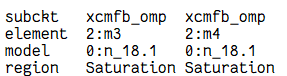




**FF corner MOSFET parameter Vi.dc = 0 V**



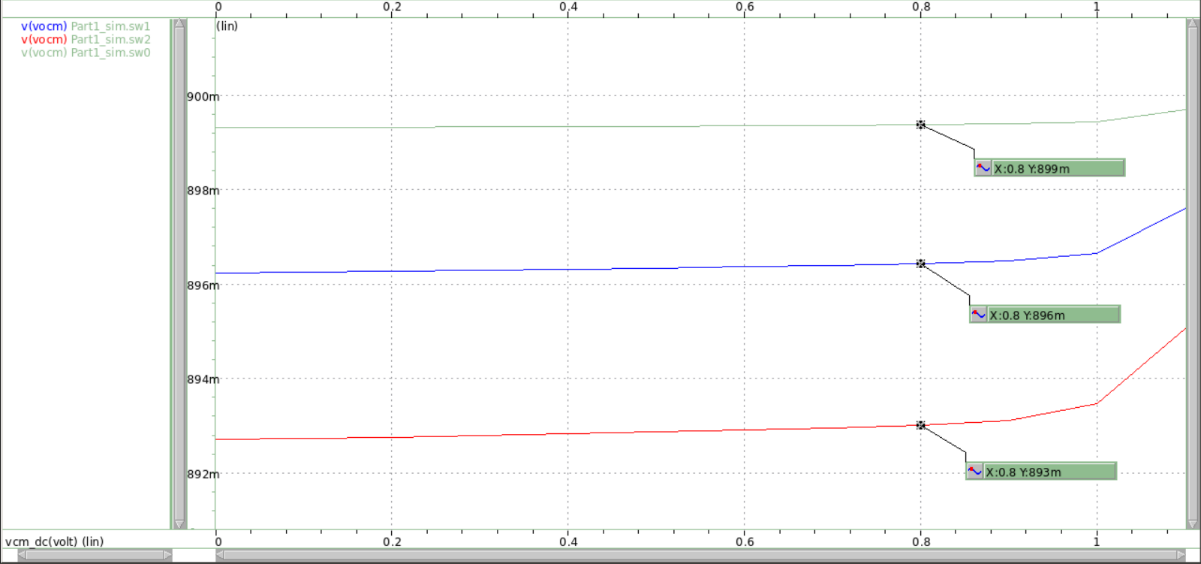




**FF corner MOSFET parameter Vi.dc = 1 V**

可以看到，在0 V到1 V，都能夠進入saturation的狀態，代表放大器能夠正常運作，此外，三個corner都在為1.1 V時有M1進入linear region的情形，這與前述設計時的推論與預期相符合。

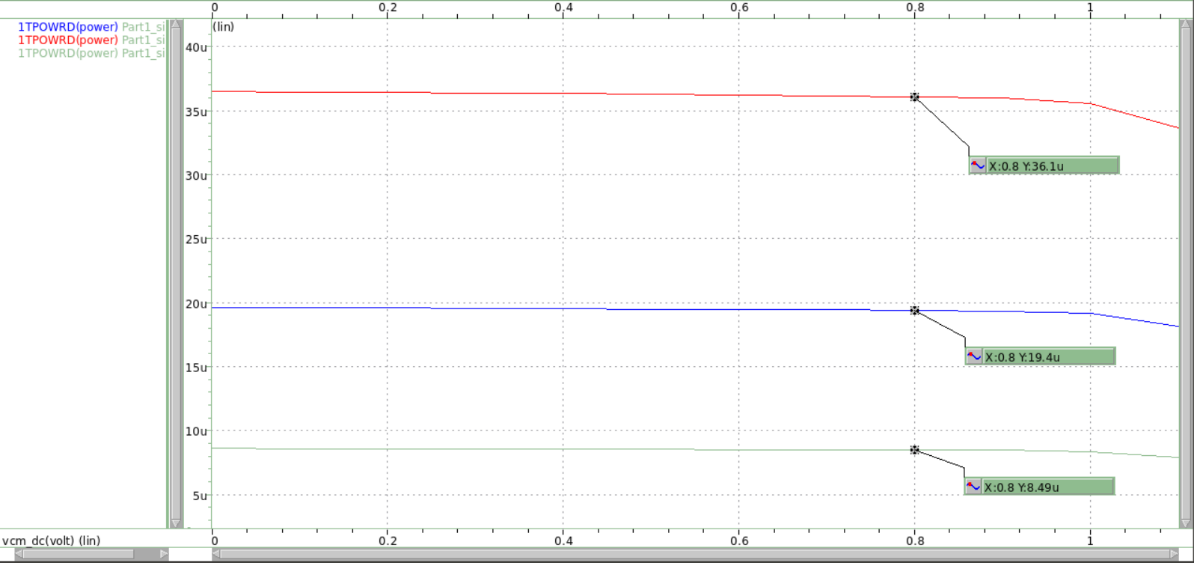
接著使用DC sweep去看三個corner下的電位變化：



**Vo.cm(V) vs. Vi.cm(V) SS corner: Green line / TT corner: Blue line / FF corner: Red line**

可以看到，在三個corner下分別為SS: 899 mV、TT: 896 mV、FF: 893 mV左右，皆有滿足SPEC所求，表示CMFB有成功透過迴授將電位鎖住，保證系統的穩定性，此外也可以注意到為1.1 V後，有突然上升的趨勢，這也是M1進入linear region的影響。

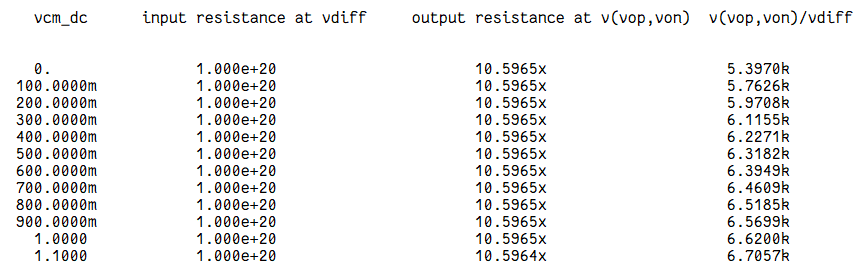
接著使用DC sweep去看三個corner下power的變化：



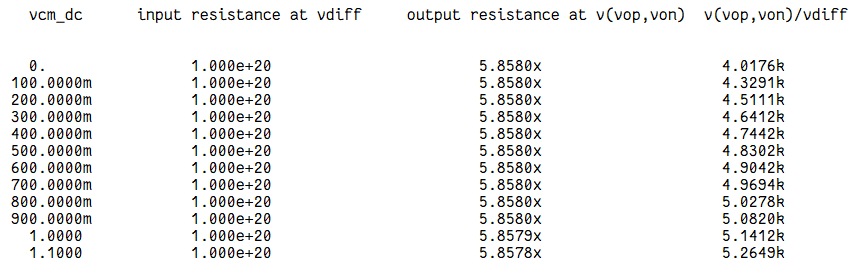
**Vo.cm(V) vs. Vi.cm(V) SS corner: Green line / TT corner: Blue line / FF corner: Red line**

可以看到，在三個corner下的power表現分別為SS: 8.5 μW、TT: 19.4 μW、FF: 36.1 μW左右，皆有滿足SPEC所求，其中FF corner由於有較大的載子遷移率，因此電流較大是符合預期的表現，此外也可以注意到為1.1 V後，power有突然下降的趨勢，這也是M1進入linear region導致電流下降的影響表現。

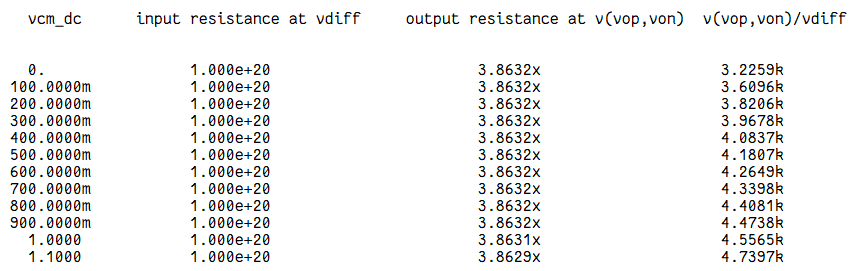
接著使用到.lis檔中去看三個corner下gain值的變化：



**SS corner .tf analysis result**



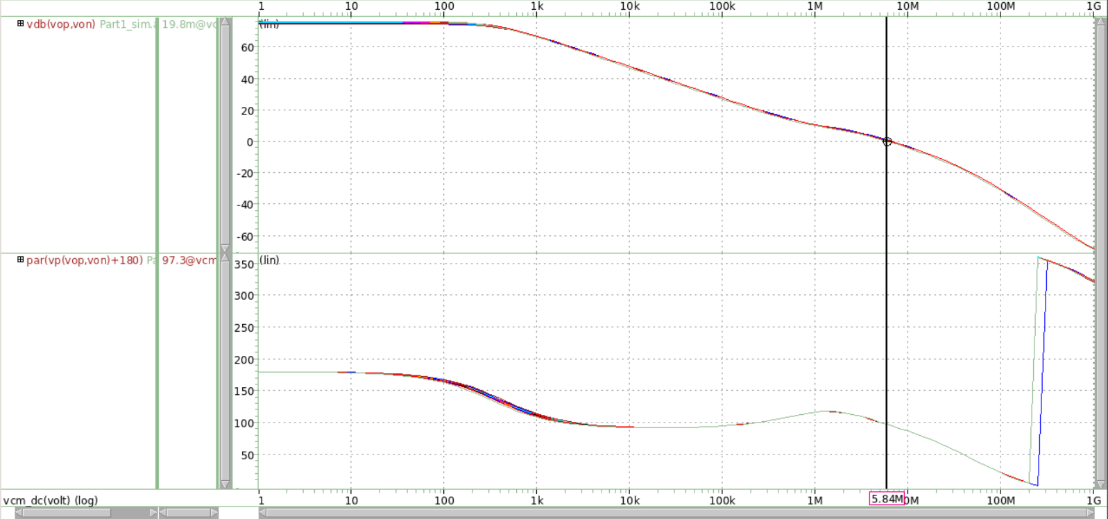
**TT corner .tf analysis result**



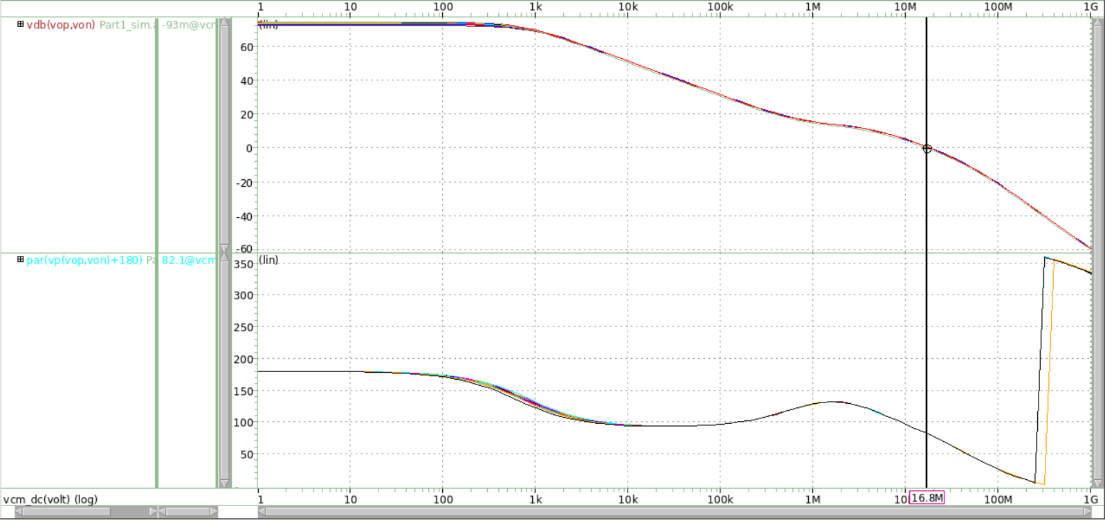
**FF corner .tf analysis result**

可以看到，在三個corner下的gain值表現分別為SS: 6519 (76.3 dB)、TT: 5023 (74.0 dB)、FF: 4408 (72.9 dB)左右，皆有滿足SPEC所求，其中FF corner由於有較大的載子遷移率、電流也就較大，因此就會因此下降，進而導致gain值比其他兩個corner還要來得低，結果是符合預期的。

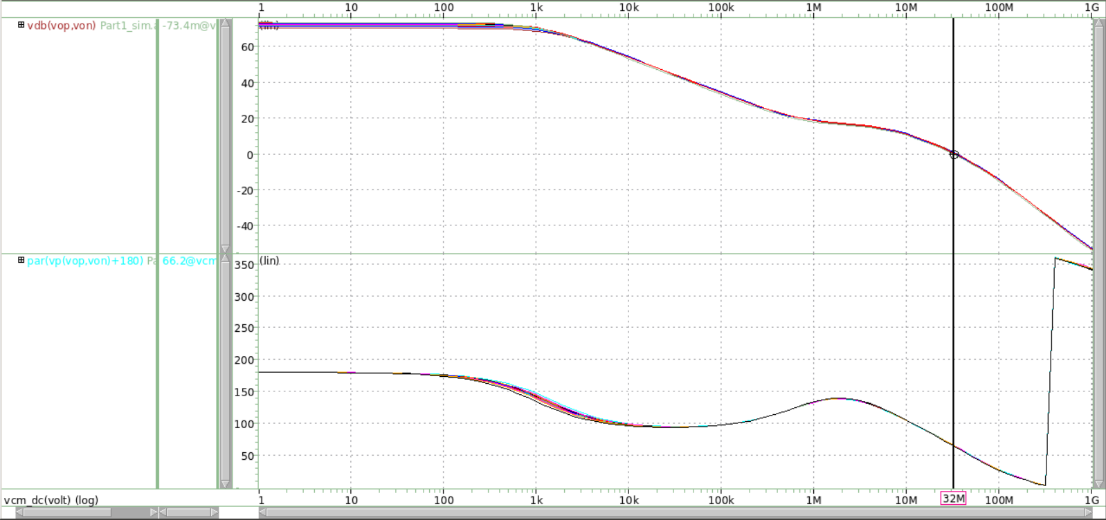
最後是UGB與phase margin的量測，使用AC sweep搭配measure指令去做量測，量測結果如下：



**SS corner Frequency response gain(dB): Upper graph / phase margin(degree): Lower graph**

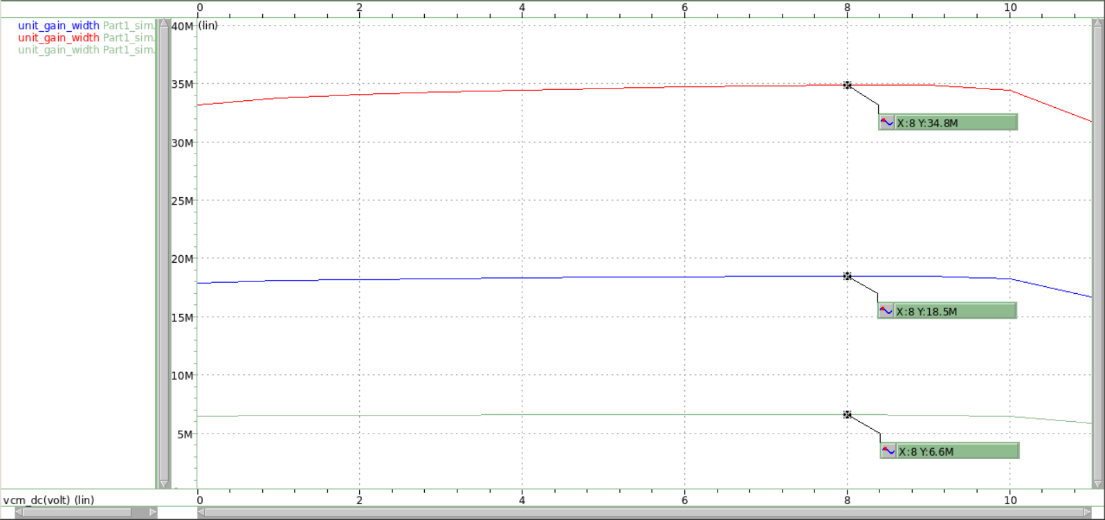


**TT corner Frequency response gain(dB): Upper graph / phase margin(degree): Lower graph**



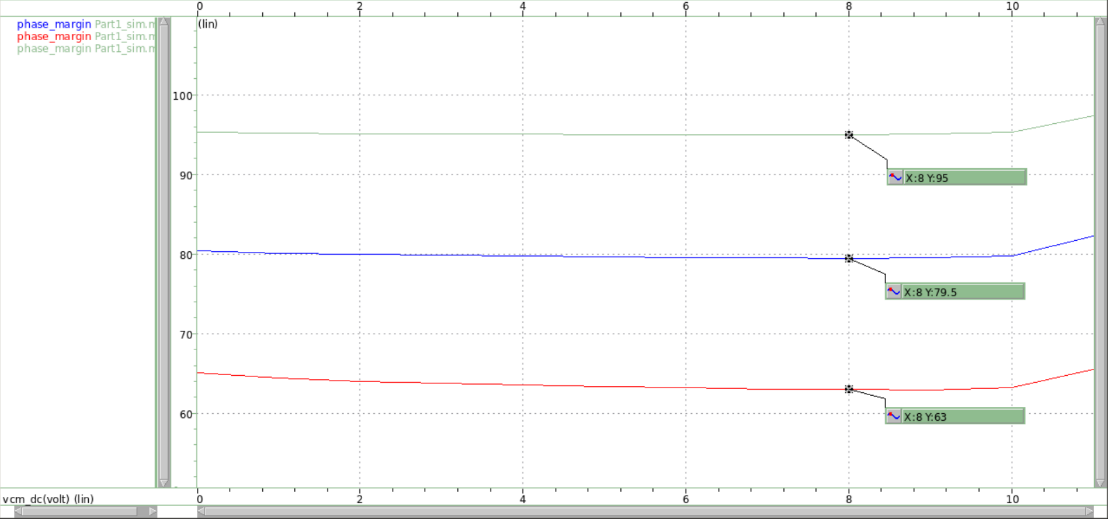
**FF corner Frequency response gain(dB): Upper graph / phase margin(degree): Lower graph**

初步可以看出UGB與、phase margin都有滿足SPEC所求，準確的結果要以measure指令來呈現，measure結果會放入.ma檔中，結果如下：



**UGB(Hz) vs. Vi.cm(node, 1 node means 0.1 V)**

**SS corner: Green line / TT corner: Blue line / FF corner: Red line**

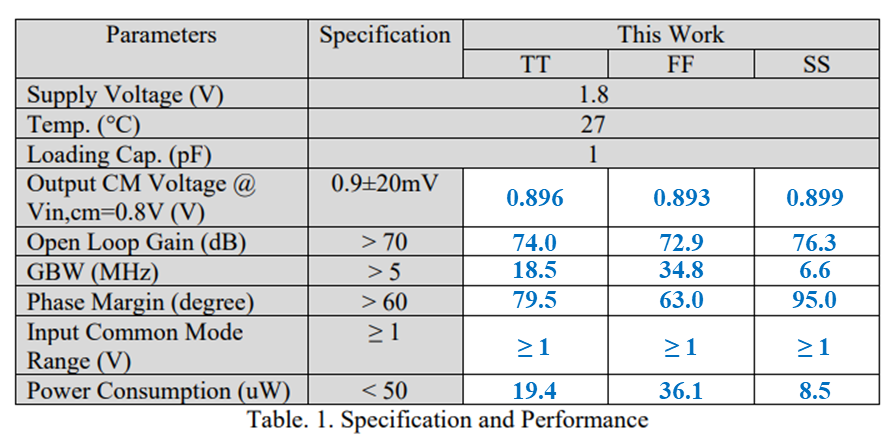


**Phase margin(degree) vs. Vi.cm(node, 1 node means 0.1 V)**

**SS corner: Green line / TT corner: Blue line / FF corner: Red line**

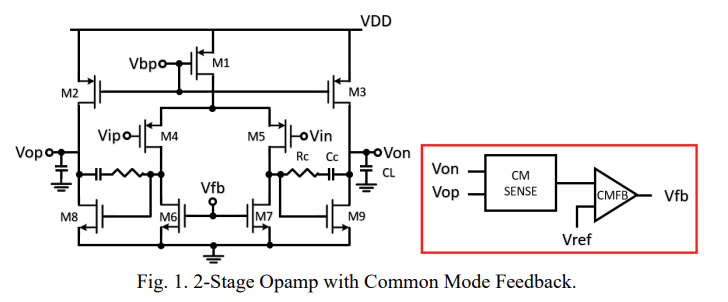
可以看到，在三個corner下的UGB分別為SS: 6.6 MHz、TT: 18.5 MHz、FF: 34.8 MHz左右，而phase margin分別為SS: 95.0度、TT: 79.5度、FF: 63.0度左右，不管是UGB還是phase margin皆有滿足SPEC所求。

最後將所有量測結果整理為下表：



可以看到所有結果都有滿足SPEC，代表放大器的設計是穩定且能夠正常運作的。

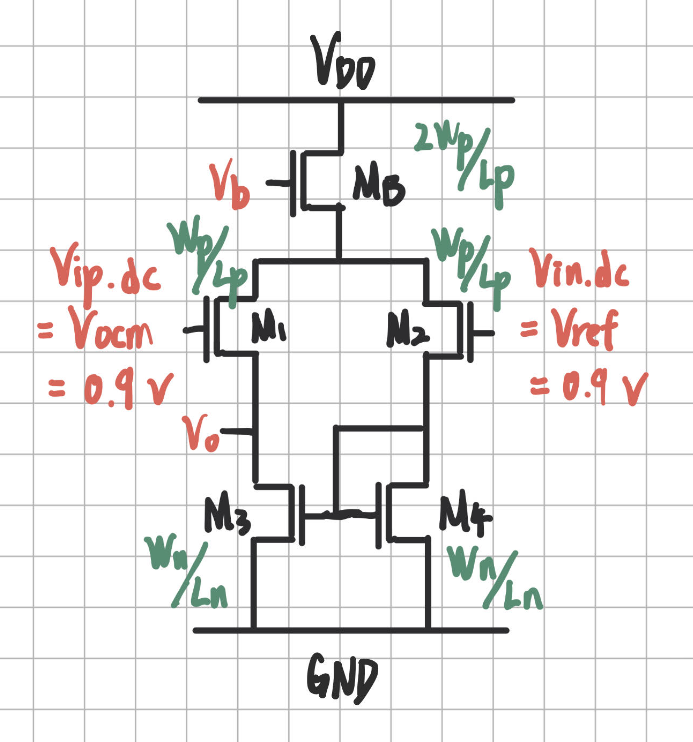
2. CMFB close loop的分析



思考CMFB close loop，可以先將common mode訊號的放大過程分為兩部分，第一部分是2-stage Opamp的放大(forwarding circuit)、第二部分是CMFB Opamp的放大(feedback circuit)。

換個角度去思考所設計的2-stage Opamp，原先是將input聚焦在與上，來達到放大的效果，但其實input也可以是給入的位置，此時沒有differential pair的效果了，可以純粹將2-stage Opamp只看一半(左半)，此時2-stage Opamp扮演的是連續兩個common source amplifier相接的角色，且由於兩層的common source amplifier都為無限大，沒有放大效果倍分壓掉的問題，因此gain可以寫成：

也就是說會放大的AC訊號倍，接著看CMFB的feedback部分：



採用differential pair的gain值公式，可以得到：

注意負號，因為給入輸入的一端在那一側，將forwarding circuit與feedback circuit連起來也可以發現總共的gain為負的，再次驗證了前述1.中設計CMFB負迴授的推論。

最後分析整個系統的close loop gain，並試著將.lis檔中的參數也代入計算：

可以得到為0.082，有小於1，代表CMFB close loop的負迴授系統是穩定的。

接著分析breakdown的部分，我對的位置進行close loop的breakdown，去計算繞完整個CMFB close loop後的訊號放大倍率：

代表訊號在低頻下有phase 180度、gain 96 dB的結果，此點可以於後續4.的結果中看到與應證。

最後計算breakdown後的bandwidth表現，結合1.中對補償電路的pole推論與.lis檔中所測得的結果代入dominate pole的計算當中：

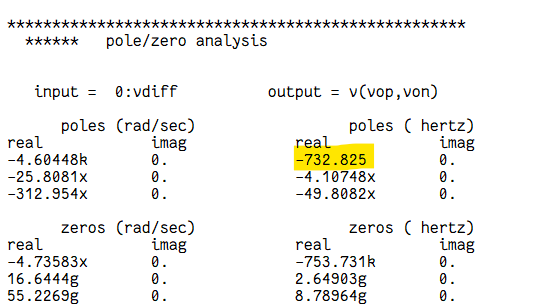
可以看到bandwidth受補償電路的影響，下降到763 Hz，此點可以於後續4.的結果中看到與應證。

3. 誤差計算與分析

在這部分中，會聚焦在TT corner的計算與分析上，首先先來計算open loop gain(2-stage Opamp gain)部分，由前述設計時使用的公式：

由於R sense中的電阻選得很大，因此gain值不太受其影響，將.lis檔中，TT corner在為0.8 V下的結果代入上式，可以得到gain等於66.7乘以75.4為5029，與實測結果5028相符合，代表放大公式的使用是正確的。

接下來計算GBW(UGB)，首先需要先由補償電路公式去求出bandwidth(dominate pole)：



可以得到bandwidth為763 Hz，與.lis檔pole/zero analysis的結果相符合。

接著計算GBW：

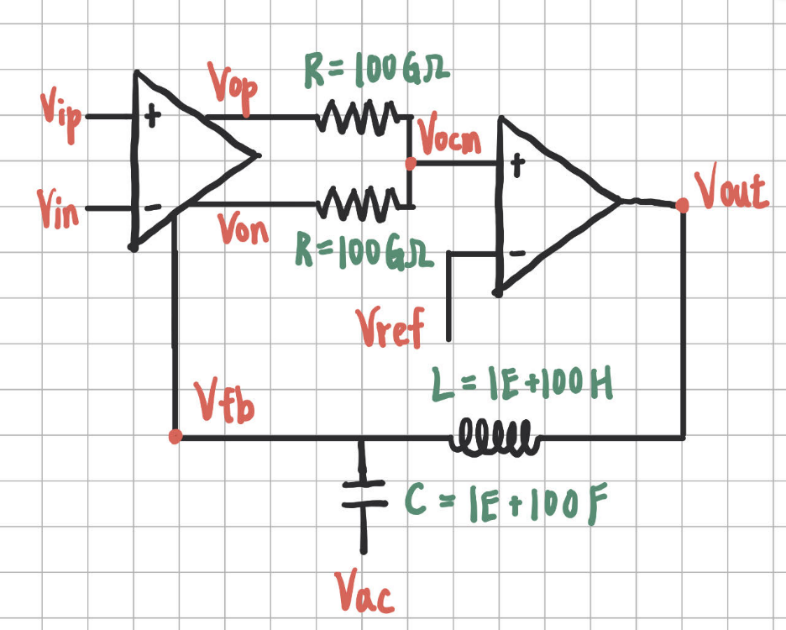
**.pz analysis result**

可以得到GBW結果為3.8 MHz，但實際的UGB為18.5 MHz，這是由於在unit gain之前有補償電阻、電容的存在，導致多了pole與zero，使得frequency response中gain降到1的過程中並非全程都同等斜率-20 dB/dec的下降，使得UGB被延後而達成SPEC。

最後是power的計算，總共的電流分別有2-stage Opamp的三條路徑與CMFB Opamp的一條路徑組成，先使用1.中設計的偏壓、尺寸去計算出各路徑電流，並將電流數值代入power的計算，計算如下：

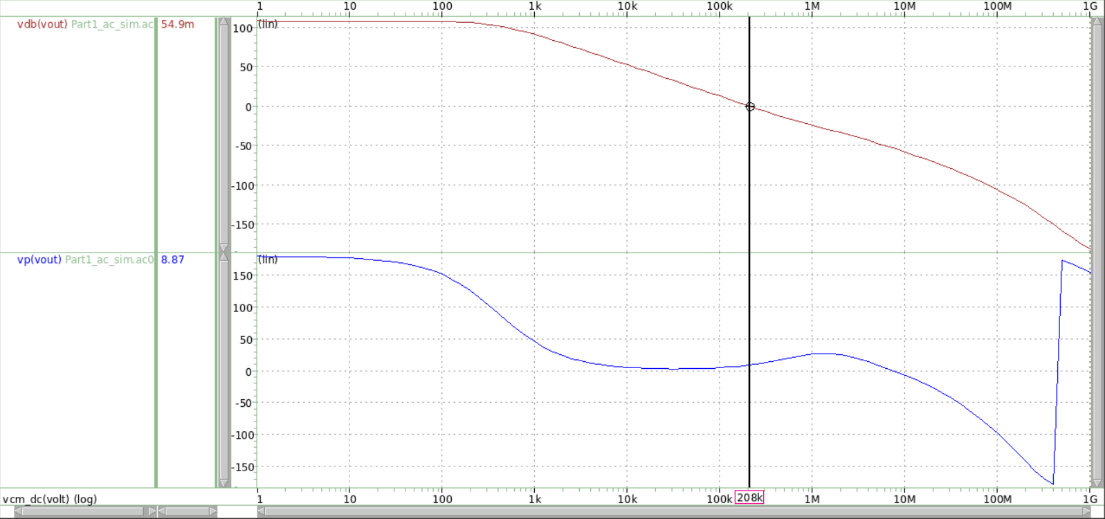
可以得到結果為17.2 μW，與測量結果19.4 W小約10%，此點也有在前幾次Lab中發現，推測是因為Hspice的電流公式會與預期的有所落差，導致實際電流比較大，power也就因此比手算結果來得大。

4. CMFB close loop的穩定性量測

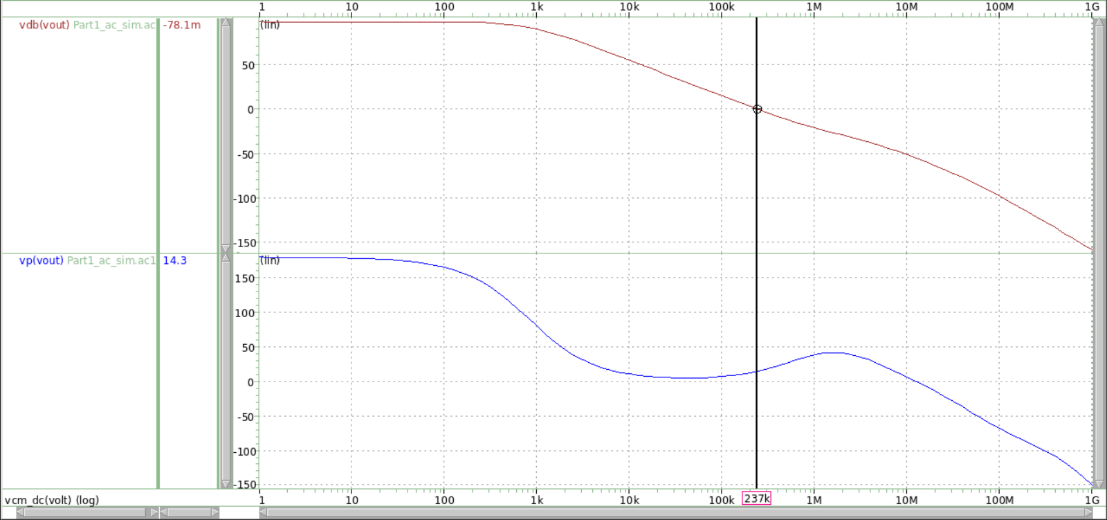


Close loop的連接方式如上，Hspice檔上傳為Part1\_ac.sp，可以看到在隔著一個大電容給入作為close loop檢測的input，並且與output端隔了一個大電感，大電容的目的只是為了讓給入的不用設定DC偏壓，而大電感的目的是為了讓AC訊號沒辦法通過，同時依然能維持電路運作下的DC偏壓設定，這樣就可以在電路上達到breakdown的效果。

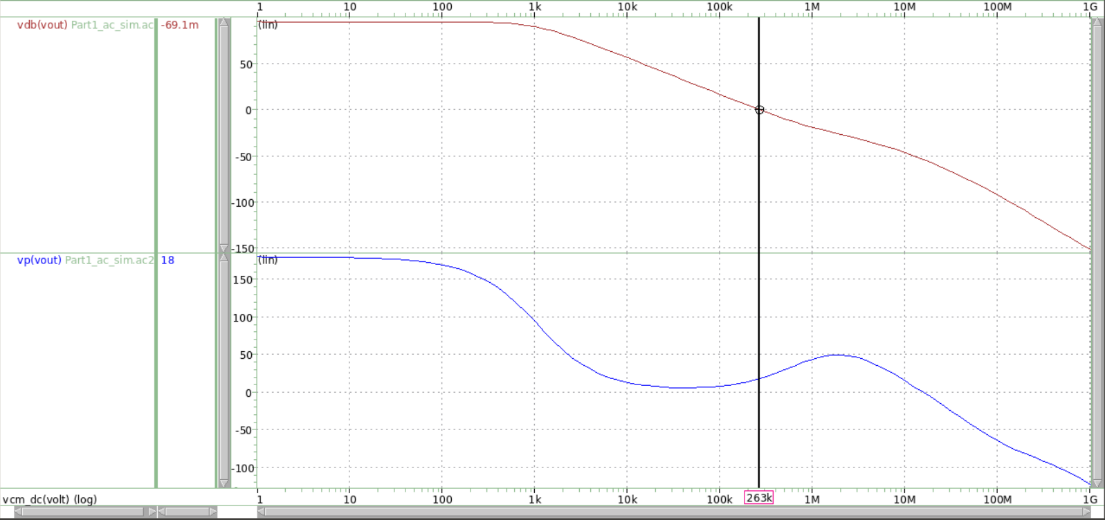
AC analysis的結果如下圖：



**SS corner Frequency response gain(dB): Upper graph / phase(degree): Lower graph**



**TT corner Frequency response gain(dB): Upper graph / phase(degree): Lower graph**



**FF corner Frequency response gain(dB): Upper graph / phase(degree): Lower graph**

可以看到，在三個corner下的phase margin分別為SS: 8.9度、TT: 14.3度、FF: 18.0度左右，代表在整個CMFB close loop中，由於phase 0度時的gain比1還小，因此迴授的過程是穩定的，不會在某些頻率下出現起振的問題，這才不會有CMFB鎖電位結果反而讓電位來回起伏，這就沒有CMFB定住電位的功能了。

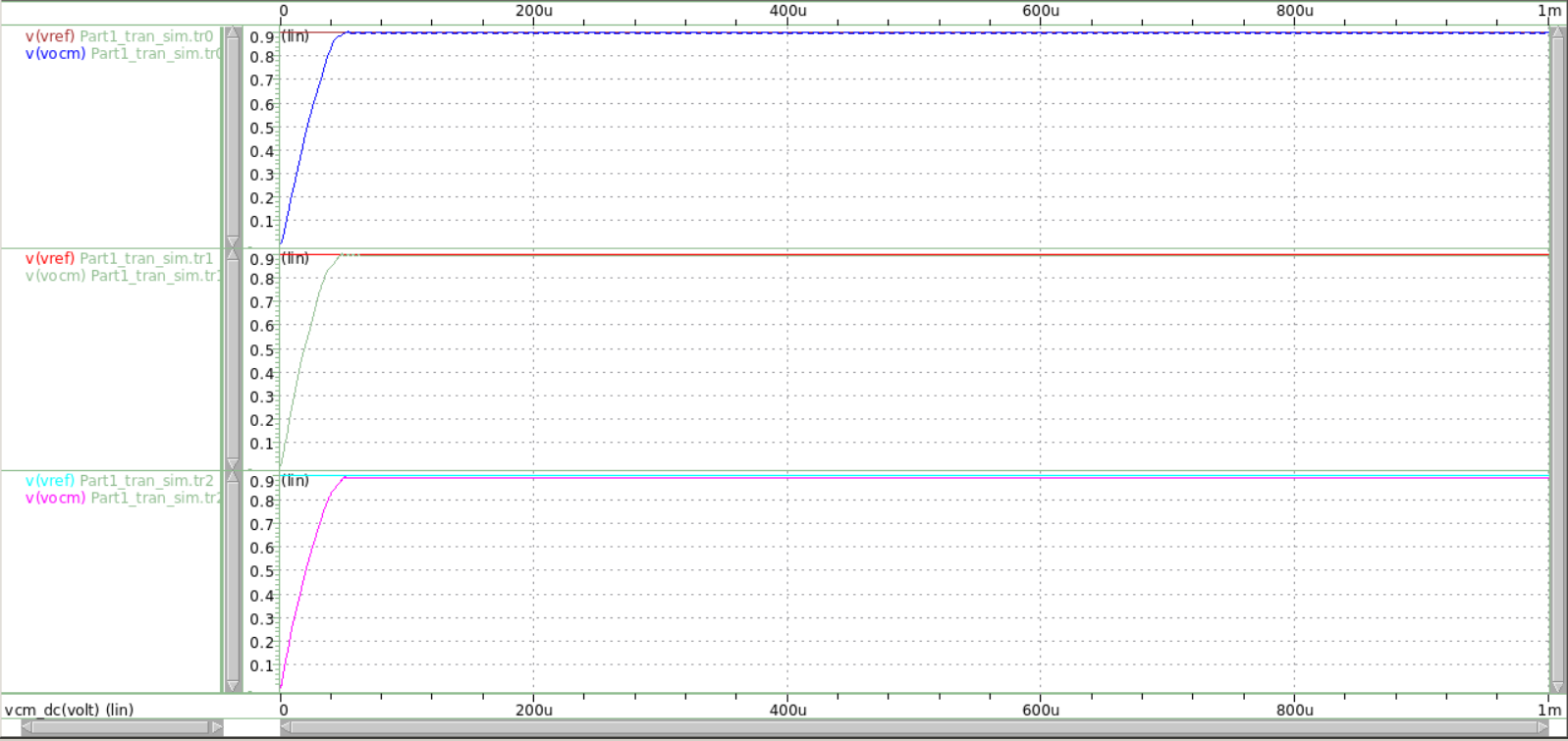
此外可以注意到，TT corner在低頻時，有phase 180度、gain 96 dB的結果，與2.中的推論相符合，應證了breakdown後CMFB的放大模型。

再來可以觀察到TT corner gain的圖形中在約600 Hz出現了轉折，代表出現了pole，此點與2.中的推論相近，代表補償電路的pole、zero模型是正確的。

綜合上述，此次Lab中CMFB close loop的設計是穩定、可以使用的。

5. Transient simulation量測

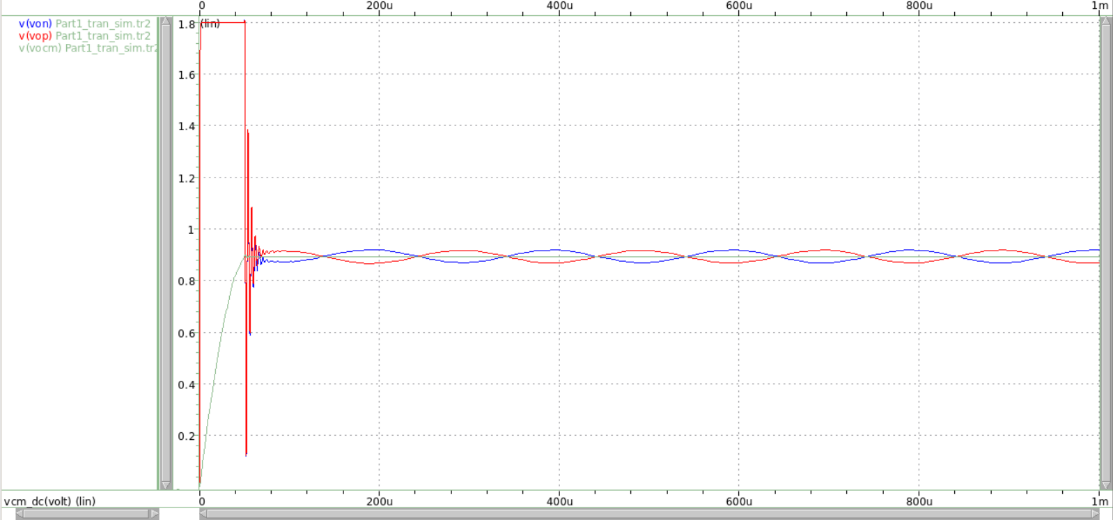
使用.ic指令將與都設成0 V下去跑.tran，Hspice檔案上傳為Part1\_tran.sp，結果如下圖：



**Vo.cm(V) vs. time(sec)**

**SS corner: Upper graph / TT corner: Middle graph / FF corner: Lower graph**

可以看到，在三個corner下，大約40 μsec後就會趨於穩定(與相同為0.9 V)，代表CMFB能夠不管在哪個初始狀態下，在短時間內就能夠穩定並有能定住2-stage Opamp偏壓的功能。



**Voltage (V) vs. time(sec)**

**Vo.cm: Green line / Von: Blue line / Vop: Red line**

進一步看與的表現，可以發現一開始由於還沒穩定，2-stage Opamp偏壓還不穩定導致2-stage Opamp中的M8、M9 cut off，此時與就會一下子衝很高。但等到穩定下來後，2-stage Opamp偏壓回歸0.5 V左右，此時與就能正常跟著與的輸入訊號去做擺盪，實現放大器的功能。

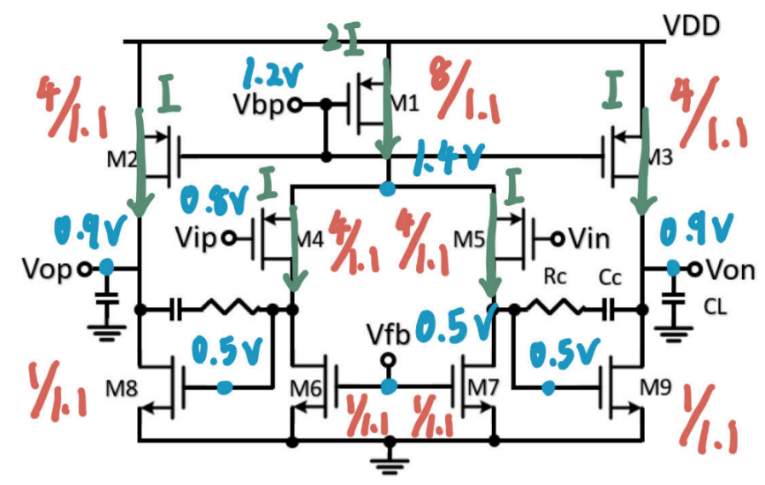
6. ICMR的檢測

為了呈現結果方便，在前述1.中都已經有將由0 V到1.1 V (step為0.1 V)的各項SPEC結果放出來了(p.9到p.14)，因此這邊就不再重複放上。

這邊主要是想講述我設計ICMR的過程與判斷方式，在1.的設計過程中，透過分析M1進入saturation的條件，我可以知道M1偏壓只能介在1.15 V到1.3 V之間，若違反這個範圍，不是M1 open不了，就是當為1 V時會出現M1進入linear region的狀況，這就是我設計如何滿足ICMR的方式。

而在結果的判斷上，我只要知道在0 V到1 V都有正常運作(MOS都有saturation且滿足SPEC)，就代表ICMR至少有0 V到1 V這1 V的範圍，因此1.1 V後的結果不滿足就不影響SPEC的實現。

7. MOS size、偏壓、被動元件總表：



在2-stage Opamp中，我設計：

M1(pMOS) W: 8 μm L: 1.1 μm

M2(pMOS) W: 4 μm L: 1.1 μm

M3(pMOS) W: 4 μm L: 1.1 μm

M4(pMOS) W: 4 μm L: 1.1 μm

M5(pMOS) W: 4 μm L: 1.1 μm

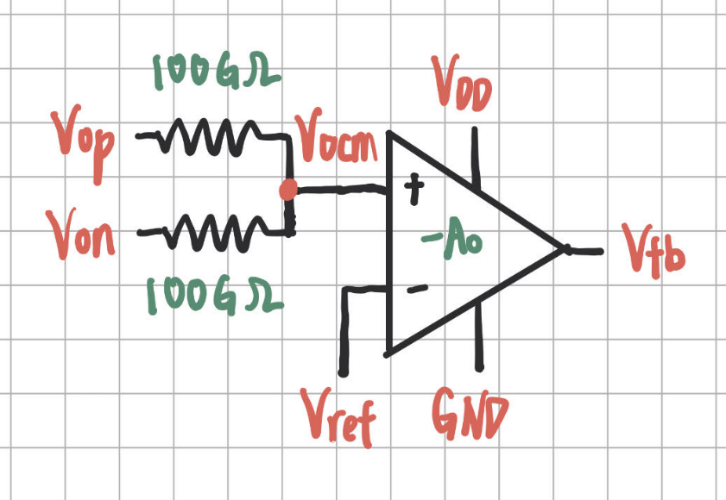
M6(nMOS) W: 1 μm L: 1.1 μm

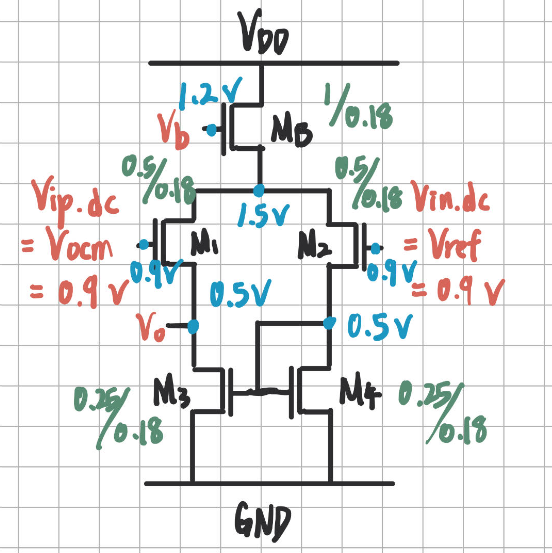
M7(nMOS) W: 1 μm L: 1.1 μm

M8(nMOS) W: 1 μm L: 1.1 μm

M9(nMOS) W: 1 μm L: 1.1 μm

= 1.2 V、= 250 kΩ、= 1 pF





MB(pMOS) W: 1 μm L: 0.18 μm

M1(pMOS) W: 0.5 μm L: 0.18 μm

M2(pMOS) W: 0.5 μm L: 0.18 μm

M3(nMOS) W: 0.25 μm L: 0.18 μm

M4(nMOS) W: 0.25 μm L: 0.18 μm

= 1.2 V、= 100 GΩ