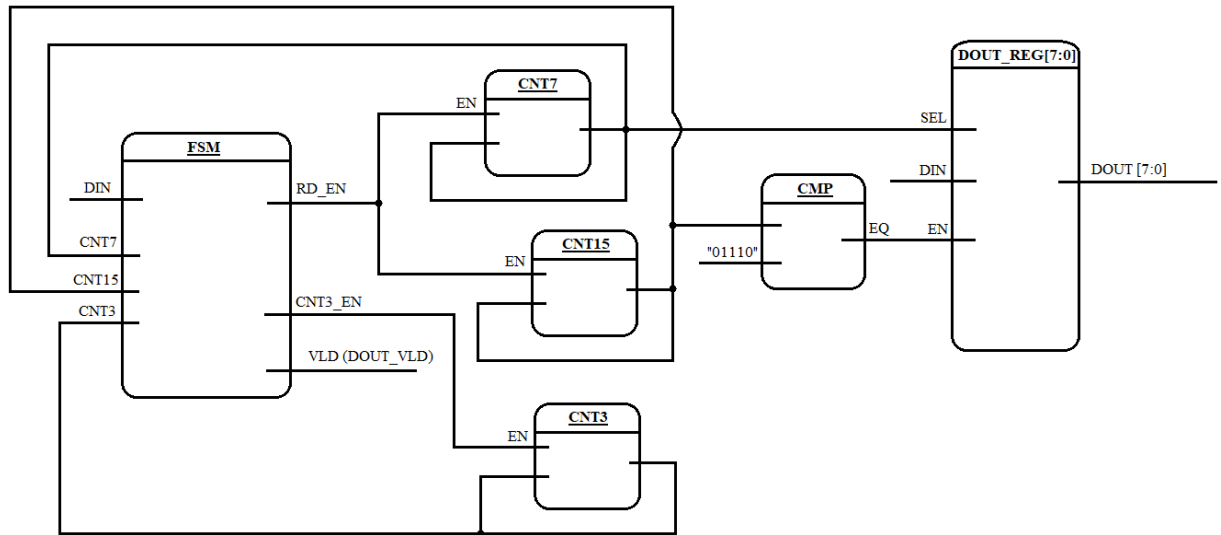


Meno: Michal Belovec

Login: xbelov04

Architektúra navrhnutého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkcie

FSM – podľa vstupných hodnôt prepína medzi stavmi, nastavuje hodnotu DOUT_VLD podľa vnútorného stavu

RD_EN – povoľovací signál pre CNT7 a CNT15, zapne sa keď prešiel start bit a prichádzajú dátové bity

CNT3_EN – povoľovací signál pre CNT3

CNT7 – ráta index pre zapísanie bitov z DIN na DOUT

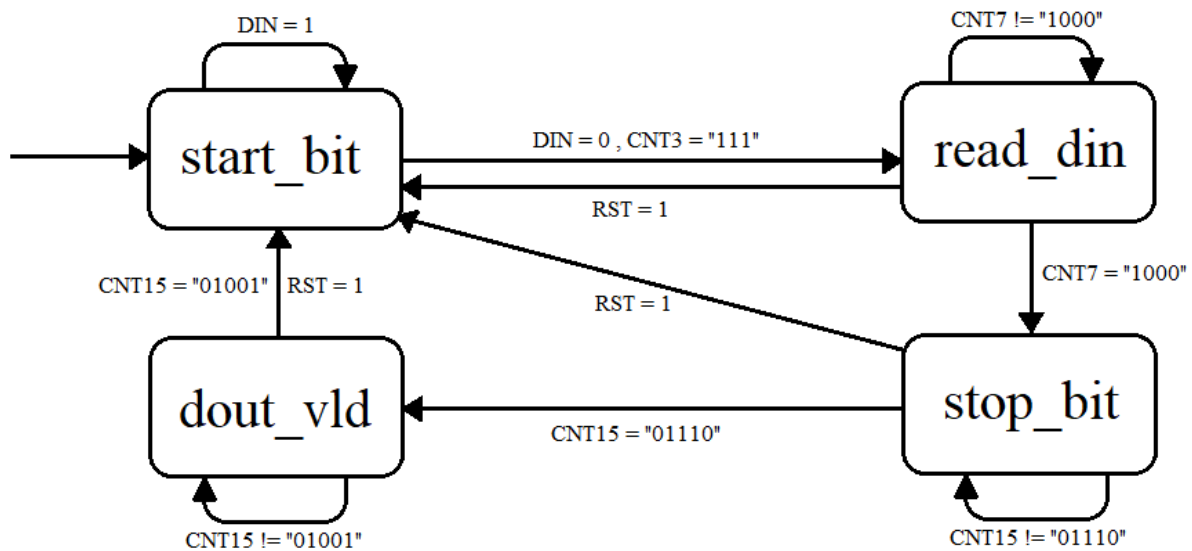
CNT15 – ráta počet hodinových cyklusov medzi stredovými hodnotami jednotlivých dátových bitov

CNT3 – ráta vzdialenosť do stredu start bitu, keď naráta do “111” (stredná hodnota start bitu) prestáva rátať a nuluje sa

DOUT_REG – zapisuje hodnoty z DIN na indexy signálu DOUT, posúva DOUT na výstup

Návrh stavového automatu (Finite State Machine)

Schéma automatu



Popis stavov

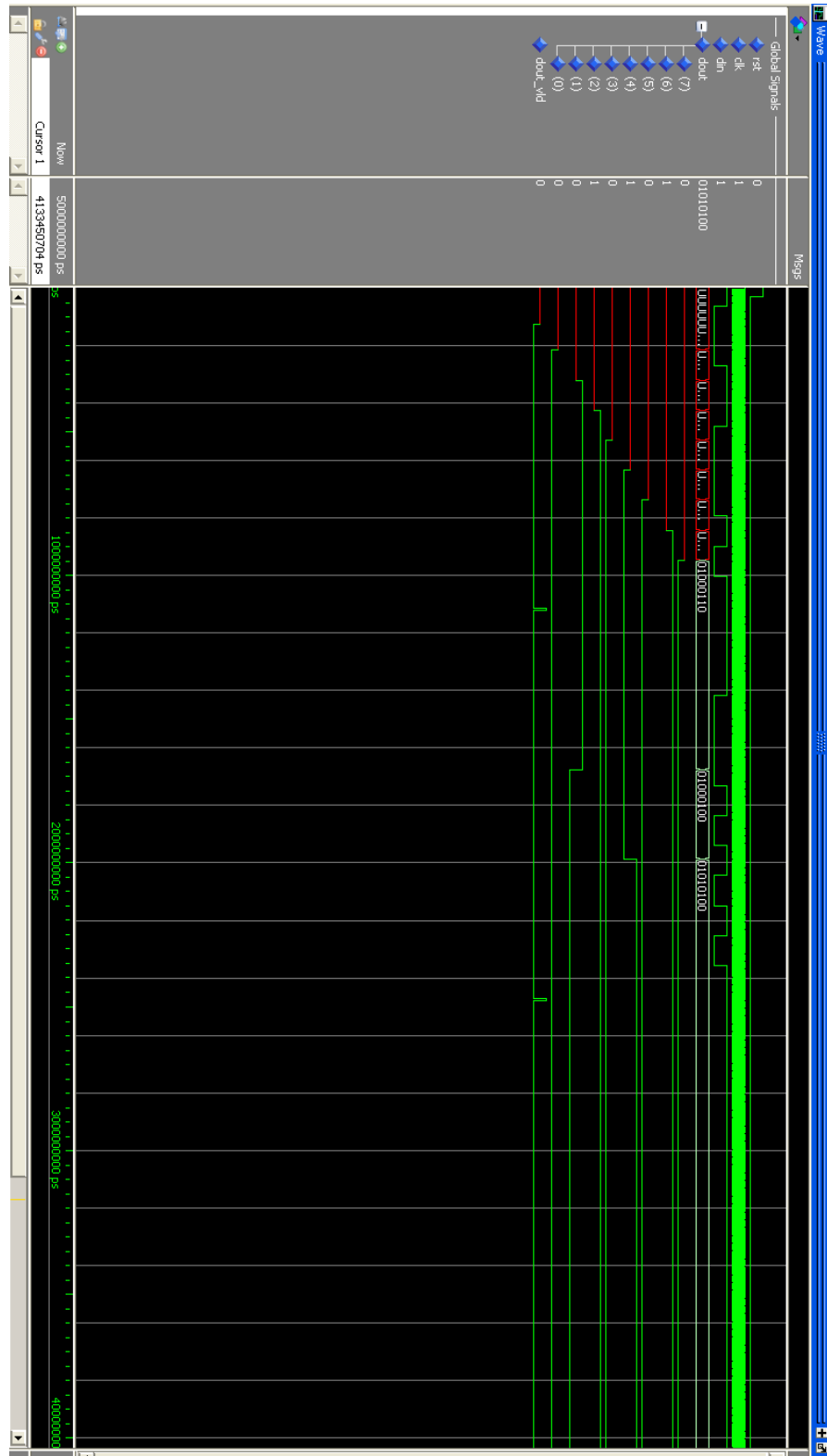
start_bit – je počiatočný stav automatu, keď na vstupe DIN dostane 0, nastavuje CNT3_EN na hodnotu log. 1, keď CNT3 naráta do "111"(stredová hodnota start bitu), prepína sa stav do "read_din"

read_din – v tomto stave sa nastavuje signal RD_EN na hodnotu log. 1, čím sa povolí počítanie čítačov CNT7 a CNT15, pri hodnote čítača CNT15 = "01110", sa zapisuje DIN na DOUT, na index daný hodnotou čítača CNT7, keď sa zapíše všetkých 8 bitov na DOUT(hodnota CNT7 = "1000"), prepína sa stav do "stop_bit"

stop_bit – čítač CNT15 ešte raz naráta do hodnoty "01110"(stredová hodnota stop bitu), prepína sa stav do "dout_vld"

dout_vld – po skončení stop bitu nastavuje DOUT_VLD na hodnotu log. 1, vracia sa stav do počiatočného stavu

Snímka obrazovky so simuláciou



- pri simulácii som si upravil testbench (vstupné hodnoty)