

SOLUCION

Ejercicios propuestos: Obtención de las características de los módulos de memoria SDRAM

Para la realización de este primer ejercicio, se deben consultar dos documentos. Por un lado, la **hoja de especificaciones generales de los módulos de memoria** que proporciona el fabricante (archivo KVR800D2N6_2G.pdf en PoliformaT); y por otro lado, los datos obtenidos sobre la configuración del subsistema CPU-Memoria en un computador determinado tras ejecutar en él el **programa de análisis CPU-Z** y que se muestran en las Figuras 3 y 4.

La hoja de especificaciones de los módulos de memoria proporciona información escueta acerca de ellos. En particular, se puede encontrar en ella información sobre el tamaño y estructura de los módulos, el tipo y frecuencia máxima de trabajo de los chips de memoria que contienen y algunos de los parámetros temporales más relevantes de los módulos.

El programa CPU-Z, por su parte, proporciona información adicional sobre el tamaño, tipo, frecuencia de trabajo y características temporales de los módulos de memoria tal como están configurados en el computador en que se ejecuta. Esta información se recoge en las pestañas *SPD* y *Memory* CPU-Z obtiene parte de esta información accediendo al chip SPD (*Serial Presence Detect*) de los módulos de memoria, una pequeña memoria EEPROM que fue grabada en el momento de la fabricación del módulo. Esa misma información es accedida durante el arranque por el BIOS¹ con la finalidad de configurar el controlador de memoria de acuerdo con los requisitos temporales del módulo de memoria y la frecuencia de trabajo del bus que une procesador y memoria. La Figura 3 muestra la información disponible en la pestaña SPD correspondiente a una de las ranuras de inserción de memoria (Slot#1), existiendo una configuración idéntica para el Slot#2. Téngase en cuenta esta información para responder correctamente las cuestiones planteadas.

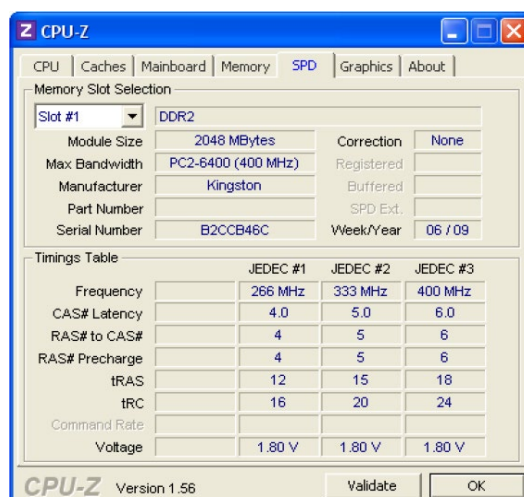


Figura 3. Características de los módulos de memoria proporcionadas por el fabricante

¹ El BIOS (*Basic Input Output System*) es el *firmware* (software almacenado en una memoria no volátil) que se encarga, entre otras funciones, de comprobar y configurar el hardware antes del arranque del sistema operativo.

Por otro lado, bajo la pestaña *Memory* se puede encontrar el valor de los principales parámetros temporales de los módulos de memoria particularizados a la frecuencia a la que trabajan en el equipo en el que se hallan instalados, como se aprecia en la Figura 4 a modo de ejemplo. Obsérvese que dicha frecuencia guarda relación con la del bus de la CPU (FSB) o placa base, de la que se obtiene, a través de un factor multiplicador, la frecuencia interna de reloj de la CPU.

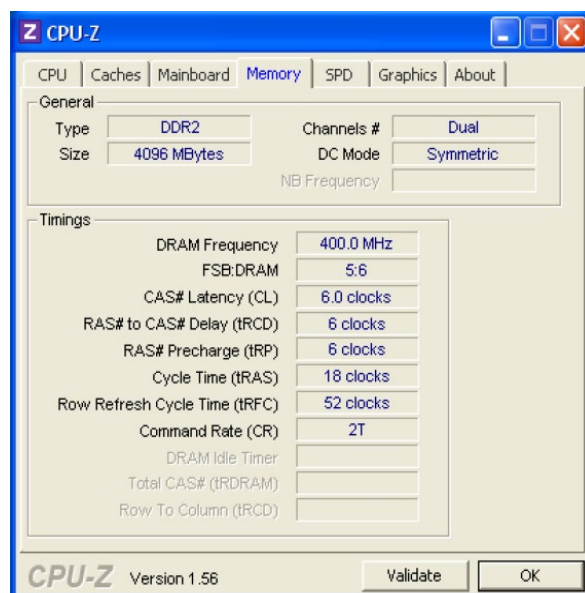


Figura 4. Principales parámetros temporales de los módulos de memoria en función de su frecuencia de trabajo

PARTE I. Análisis de la configuración de memoria del equipo ejemplo

1. Desde los datos proporcionados por la hoja de especificaciones de los módulos (archivo KVR800D2N6_2G.pdf) y el programa CPU-Z (Figuras 3 y 4) rellénese la siguiente tabla. Recuérdese que la figura 3 muestra información solo de un *slot*, pero existe un segundo con idénticas características.

Información sobre la capacidad y organización de los módulos de memoria

Número total de módulos DIMM	2 en dos Slots
Tamaño de los módulos DIMM que forman la memoria <i>Expresado en MB</i>	2048 MB (2 GB)
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	2×2GB= 4 GB
Capacidad en palabras x tamaño_palabra de los módulos DIMM	256M×64 bits

Número de filas de chips en cada módulo	2
Capacidad de los chips de memoria de los módulos (expresada en palabras \times tamaño_palabra)	128M \times 8 bits
Número total de chips de memoria contenidos en un módulo	16
Tipo de chips de memoria SDRAM que se utilizan (DDR, DDR2, DDR3)	DDR2
Nomenclatura estándar de los módulos empleados (PC-xx00, PC2-xx00, PC3-xx00)	PC2-6400

Información sobre frecuencia de trabajo y ancho de banda de los módulos

Frecuencia de reloj máxima a la que pueden trabajar los buses externo de los módulos de memoria	400 MHz
Tasa máxima de transferencia de los módulos (palabras que se transfieren por segundo) <i>Expresada en millones de transferencias por segundo (MT/s)</i>	800 MT/s (1T= 8B)
Ancho de banda pico de los módulos <i>Expresado en MB/s</i>	6400 MB/s
Frecuencia de reloj a la que trabajan los buses externos de los módulos en el equipo del laboratorio	400 MHz
Ancho de banda pico de los módulos en el equipo del laboratorio <i>Expresado en MB/s</i>	2 \times 400 MHz \times 8 B= 6400 MB/s

2. En la hoja de especificaciones se indica que los chips de memoria de los módulos son de tipo DDR2-800 ¿Qué significado tiene el valor 800?

El valor 800 representa la frecuencia efectiva de transmisión (transferencias/segundo). En una memoria DDR (independientemente de si es DDR, DDR2 o DDR3) existen 2 transferencias por ciclo de reloj.

3. A partir de los datos proporcionados por la hoja de especificaciones de los módulos (KVR800D2N6_2G.pdf) y el programa CPU-Z, rellénese la siguiente tabla con los valores de los principales parámetros temporales:

	ns	Ciclos Reloj
t_{CK} (ciclo mínimo de reloj)	2,5 ns	
CL	ND	6
T_{RCD}	ND	6
T_{RP}	ND	6
T_{RAS}	45 ns	18
T_{RC}	60 ns	24

Nota: Puede ser que el valor en ns de algunos de estos parámetros no lo proporcione la hoja de características. En tal caso, rellénese el correspondiente hueco de la tabla con ND.

4. Exprese la temporización del chip SDRAM en el formato estándar establecido por JEDEC (Joint Electron Device Engineering Council): CL- T_{RCD} - T_{RP}- T_{RAS}

6 -- 6 -- 6 -- 18

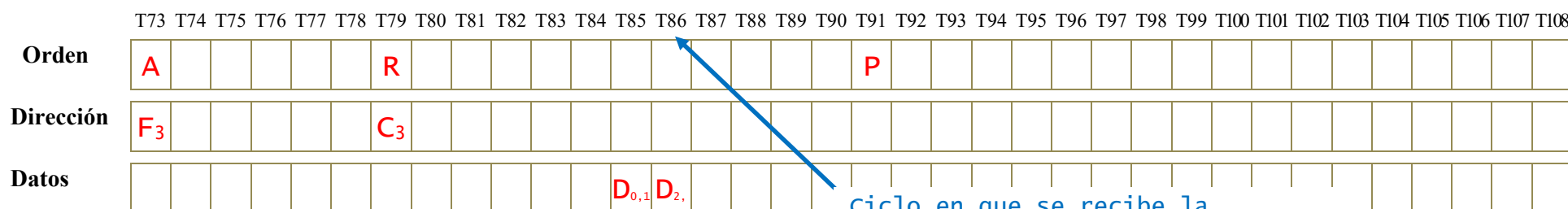
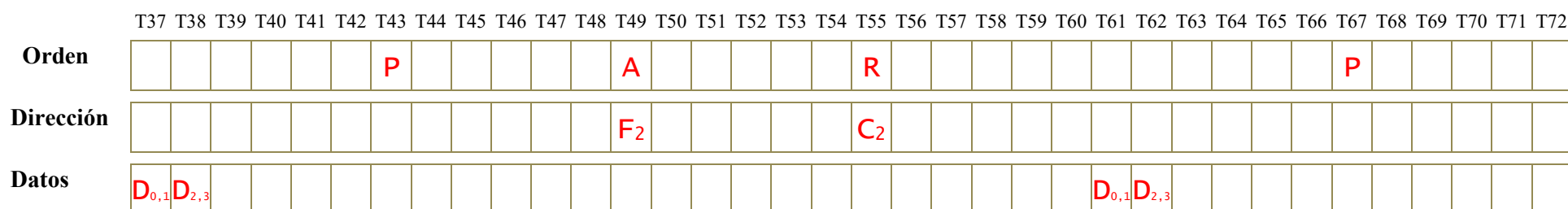
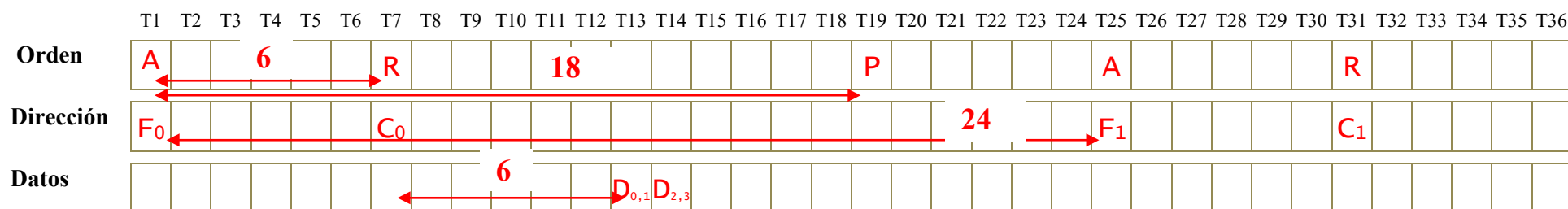
5. ¿Cuánto valdría CL si la frecuencia de trabajo fuera de 300 MHz?

En este caso, se tomaría como referencia la temporización JEDEC #2, esto es, 5 ciclos de reloj.

6. ¿Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío del comando de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	Ciclos Reloj	ns
Tiempo de acceso	T _{RCD} + CL= 6+6= 12	12×2,5= 30 ns

PARTE II. Cronograma de lectura de 4 bloques de 4 palabras. ► Ayudados por la Figura 2 y por los valores de los parámetros temporales obtenidos en el Ejercicio 1, represéntese sobre el cronograma la temporización del envío de las sucesivas órdenes (*command*), de las correspondientes direcciones de fila o columna y del volcado de los datos (D) correspondientes al acceso a 4 bloques pertenecientes a filas distintas de un mismo banco. Los comandos corresponderán a los de activación (A) y lectura (R). La dirección podrá ser de filas (F_i) o de columnas (C_i), donde el subíndice indica el número de orden del bloque (0 ... 3) al que hacen referencia. Finalmente, los datos se expresarán en la forma $D_{i,j}$, donde el subíndice i hace referencia a la palabra (0 ... 3) dentro de cada uno de los bloques. Asimismo, **deberán marcarse con una (P) sobre la línea de órdenes los ciclos de reloj en los que se realizan las precargas**. Recuérdese que al tratarse de una SDRAM de tipo DDR, en cada ciclo de reloj se transfieren dos palabras. *Nota: No hace falta representar el envío de los comandos NOP*



ciclo en que se recibe la última palabra del último bloque

