

## Práctica 8. Entregable

### CONFIGURACIÓN Y PRESTACIONES DE LOS MÓDULOS DE MEMORIA

Nombre y apellidos: **Fabián Scherle Carboneres**

GRUPO: **2C1**

#### Ejercicios propuestos: Obtención de las características de los módulos de memoria SDRAM

Información proporcionada por el programa CPU-Z para el computador ejemplo bajo la pestaña SPD.

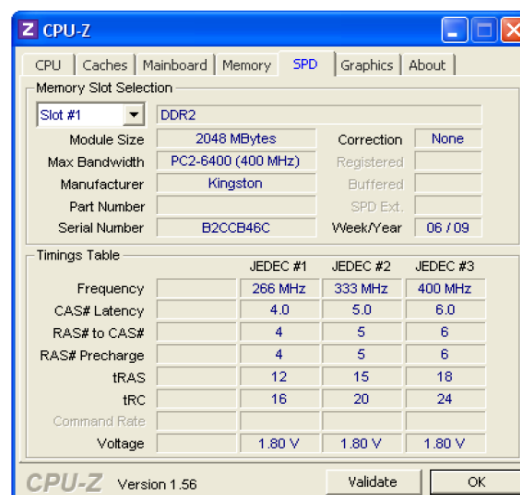


Figura 3. Características de los módulos de memoria proporcionadas por el fabricante

Parámetros temporales de la memoria del computador ejemplo:

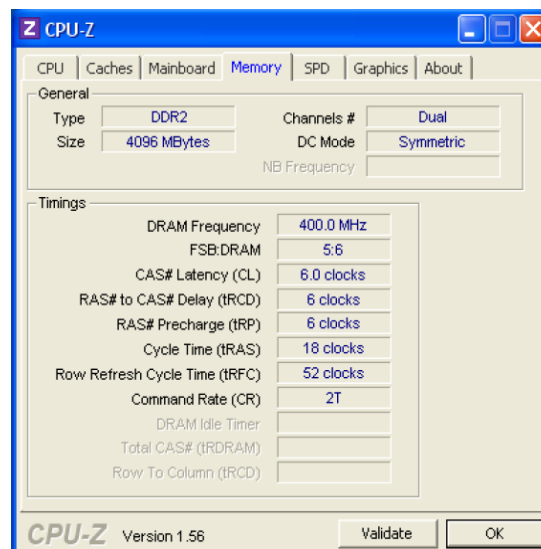


Figura 4. Principales parámetros temporales de los módulos de memoria en función de su frecuencia de trabajo

## PARTE I. Análisis de la configuración de memoria del equipo ejemplo

1. Desde los datos proporcionados por la hoja de especificaciones de los módulos (archivo KVR800D2N6\_2G.pdf) y el programa CPU-Z (Figuras 3 y 4) rellénese la siguiente tabla. Recuérdese que la figura 3 muestra información solo de un *slot*, pero existe un segundo con idénticas características.

### Información sobre la capacidad y organización de los módulos de memoria

Número total de módulos DIMM	<b>2</b>
Tamaño de los módulos DIMM que forman la memoria <i>Expresado en MB</i>	<b>2048 MB</b>
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	<b>4 GB</b>
Capacidad en palabras x tamaño_palabra de los módulos DIMM	$2048 \text{ MB} = 2^{11} \times 2^{20} \times 2^3$ $= 2^8 \times 2^{20} \times 2^6 = \mathbf{256M \times 64}$
Número de filas de chips en cada módulo	<b>2 filas</b>
Capacidad de los chips de memoria de los módulos <i>(expresada en palabras x tamaño_palabra)</i>	<b>128M x 8</b>
Número total de chips de memoria contenidos en un módulo	<b>16</b>
Tipo de chips de memoria SDRAM que se utilizan <i>(DDR, DDR2, DDR3)</i>	<b>DDR2</b>
Nomenclatura estándar de los módulos empleados <i>(PC-xx00, PC2-xx00, PC3-xx00)</i>	<b>PC2-6400</b>

### Información sobre frecuencia de trabajo y ancho de banda de los módulos

Frecuencia de reloj máxima a la que pueden trabajar los buses externo de los módulos de memoria	<b>400 MHz</b>
Tasa máxima de transferencia de los módulos (palabras que se transfieren por segundo) <i>Expresada en millones de transferencias por segundo (MT/s)</i>	<b>800 MT/s</b>
Ancho de banda pico de los módulos <i>Expresado en MB/s</i>	$400\text{MHz} \times 8\text{B} \times 2 = \mathbf{6400 \text{ MB/s}}$

Frecuencia de reloj a la que trabajan los buses externos de los módulos en el equipo del laboratorio	<b>400 MHz</b>
Ancho de banda pico de los módulos en el equipo del laboratorio <i>Expresado en MB/s</i>	<b>6400 MB/s</b>

2. En la hoja de especificaciones se indica que los chips de memoria de los módulos son de tipo DDR2-800 ¿Qué significado tiene el valor 800?

**Significa que la velocidad de transferencia de dichos chips de memoria de los módulos es de 800 MT/s.**

3. A partir de los datos proporcionados por la hoja de especificaciones de los módulos (KVR800D2N6\_2G.pdf ) y el programa CPU-Z, rellénese la siguiente tabla con los valores de los principales parámetros temporales:

	ns	Ciclos Reloj
$t_{CK}$ (ciclo mínimo de reloj)	2.5ns	
CL	ND	6
$T_{RCD}$	ND	6
$T_{RAS}$	45ns	18
$T_{RC}$	60ns	24

**Nota:** Puede ser que el valor en ns de algunos de estos parámetros no lo proporcione la hoja de características. En tal caso, rellénese el correspondiente hueco de la tabla con ND.

4. Exprese la temporización del chip SDRAM en el formato estándar establecido por JEDEC (Joint Electron Device Engineering Council): CL-  $T_{RCD}$  -  $T_{RP}$ -  $T_{RAS}$

6 -- 6 -- 6 -- 18

5. ¿Cuánto valdría CL si la frecuencia de trabajo fuera de 300 MHz?

**Aplicando regla de 3 quedaría:  $CL = 300 \times 5 / 333 = 4.5$**

6. ¿Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío del comando de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	Ciclos Reloj	ns
Tiempo de acceso	<b>12 (<math>T_{RCD} + CL</math>)</b>	<b>30</b>

**PARTE II. Cronograma de lectura de 4 bloques de 4 palabras.** ► Ayudados por la Figura 2 y por los valores de los parámetros temporales obtenidos en el Ejercicio 1, represéntese sobre el cronograma la temporización del envío de las sucesivas órdenes (*command*), de las correspondientes direcciones de fila o columna y del volcado de los datos (D) correspondientes al acceso a 4 bloques pertenecientes a filas distintas de un mismo banco. Los comandos corresponderán a los de activación (A) y lectura (R). La dirección podrá ser de filas (F<sub>i</sub>) o de columnas (C<sub>i</sub>), donde el subíndice indica el número de orden del bloque (0 ... 3) al que hacen referencia. Finalmente, los datos se expresarán en la forma D<sub>i</sub>, donde el subíndice i hace referencia a la palabra (0 ... 3) dentro de cada uno de los bloques. Asimismo, **deberán marcarse con una (P) sobre la línea de órdenes los ciclos de reloj en los que se realizan las precargas**. Recuérdese que al tratarse de una SDRAM de tipo DDR, en cada ciclo de reloj se transfieren dos palabras. *Nota: No hace falta representar el envío de los comandos NOP*

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27	T28	T29	T30	T31	T32	T33	T34	T35	T36
	A						R												P						A						R					
Dirección	F <sub>0</sub>						C <sub>0</sub>																		F <sub>0</sub>						C <sub>1</sub>					
Datos													D <sub>0</sub> D <sub>1</sub>	D <sub>2</sub> D <sub>3</sub>																						

	T37	T38	T39	T40	T41	T42	T43	T44	T45	T46	T47	T48	T49	T50	T51	T52	T53	T54	T55	T56	T57	T58	T59	T60	T61	T62	T63	T64	T65	T66	T67	T68	T69	T70	T71	T72
Orden							P						A						R												P					
Dirección													F <sub>1</sub>						C <sub>2</sub>																	
Datos	D <sub>0</sub> D <sub>1</sub>	D <sub>2</sub> D <sub>3</sub>																								D <sub>0</sub> D <sub>1</sub>	D <sub>2</sub> D <sub>3</sub>									

	T73	T74	T75	T76	T77	T78	T79	T80	T81	T82	T83	T84	T85	T86	T87	T88	T89	T90	T91	T92	T93	T94	T95	T96	T97	T98	T99	T100	T101	T102	T103	T104	T105	T106	T107	T108
Orden	A						R												P																	
Dirección	F <sub>1</sub>						C <sub>3</sub>																													
Datos													D <sub>0</sub> D <sub>1</sub>	D <sub>2</sub> D <sub>3</sub>																						



### PARTE III. VOLUNTARIA

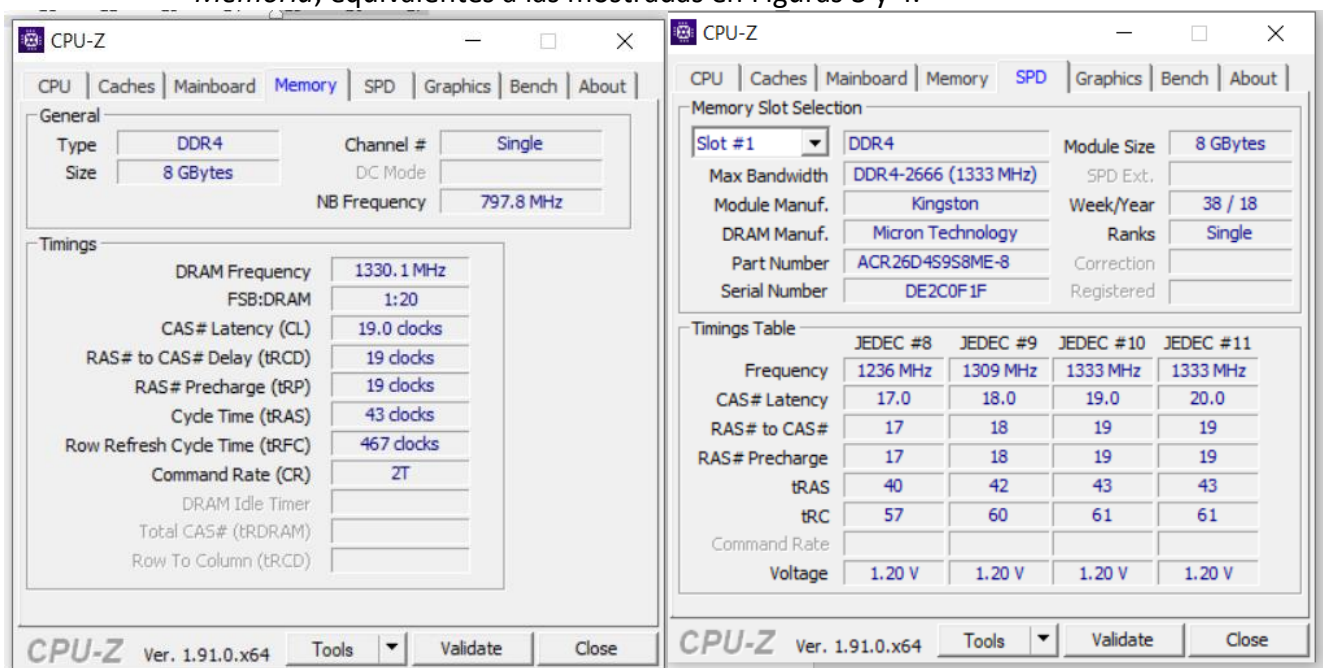
#### Análisis de la configuración de memoria del equipo del estudiante

Para llevar a cabo esta parte de la práctica el estudiante deberá instalar en su equipo personal el programa CPU-Z, bien desde el archivo proporcionado en PoliformaT o bien a través del enlace: <http://www.cpuid.com/softwares/cpu-z.html>

El archivo se deberá ejecutar en el equipo del estudiante para conocer las características más importantes del sistema. La información de memoria obtenida se deberá completar con los datos extraídos de la hoja de especificaciones proporcionada por el fabricante de los chips. Esta hoja de especificaciones es, generalmente, fácil de obtener a través de una consulta en cualquier buscador.

En el caso del equipo ejemplo de la primera parte de esta práctica bastaría con buscar en Internet “Kingston HX318C10FB/8” para obtener las hojas de especificaciones correspondientes.

1. Copiar y pegar las capturas de pantalla obtenidas de la ejecución de CPU-Z sobre vuestro computador y que se corresponden con las pestañas *SPD* y *Memoria*, equivalentes a las mostradas en Figuras 3 y 4.



2. A partir de los datos proporcionados por el programa CPU-Z acerca de la configuración de memoria del equipo en el que se halla instalado, rellénese la tabla que aparece a continuación:

Identificativo de la memoria proporcionado por el fabricante	ACR26D4S9S8ME-8
Número total de módulos DIMM	1

Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	<b>8 GB</b>
Nomenclatura estándar de los módulos empleados <i>(PC-xx00, PC2-xx00, PC3-xx00)</i>	<b>PC4-2666</b>
Frecuencia de reloj a la que trabajan los buses externos de los módulos SDRAM en el equipo analizado	<b>1333 MHz</b>
Ciclo de reloj al que trabajan los buses externos de los módulos SDRAM en el equipo analizado <i>Expresado en ns</i>	
Ancho de banda pico de los módulos SDRAM en el equipo analizado <i>Expresado en MB/s</i>	<b>1333 MHz x 8 bytes x 2 = 21328 MB/s</b>

3. Expresar la temporización del chip SDRAM en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): {CL-  $T_{RCD}$  -  $T_{RP}$  -  $T_{RAS}$ }, de acuerdo a la temporización JEDEC #i requerida con arreglo a la frecuencia de los buses de la SDRAM

19 -- 19 -- 19 -- 43

- 4.Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío de la orden de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	<b>Ciclos Reloj</b>	<b>ns</b>
<b>Tiempo de acceso</b>	<b>38(<math>T_{RCD}</math> + CL)</b>	

5. Localizar la hoja de características de los módulos de memoria que, según CPU-Z, se encuentran instalados en el equipo analizado.

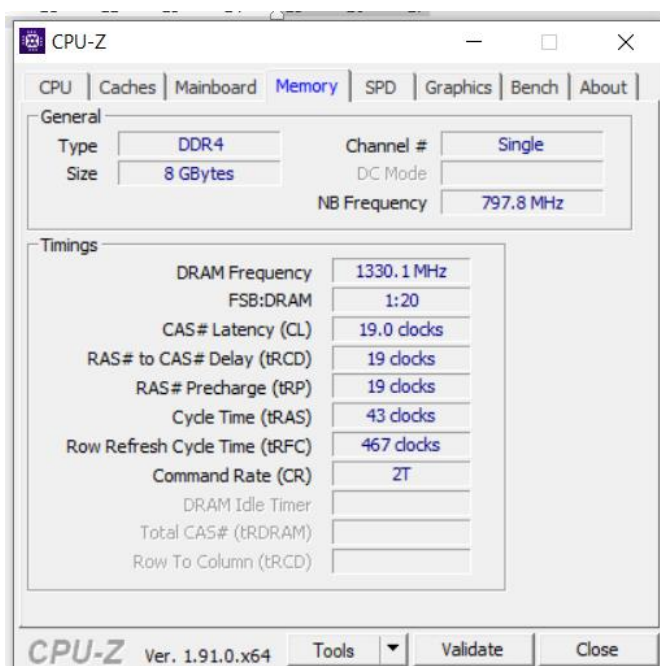
**Nota:** En ocasiones, el identificador de memoria ofrecido por CPU-Z no se corresponde con el real, el cual se puede observar abriendo el equipo y examinando la leyenda contenida sobre los módulos DIMM instalados. Si se puede realizar fácilmente esta operación indique a continuación la identificación auténtica de los módulos

**KVR26S19S8/8**

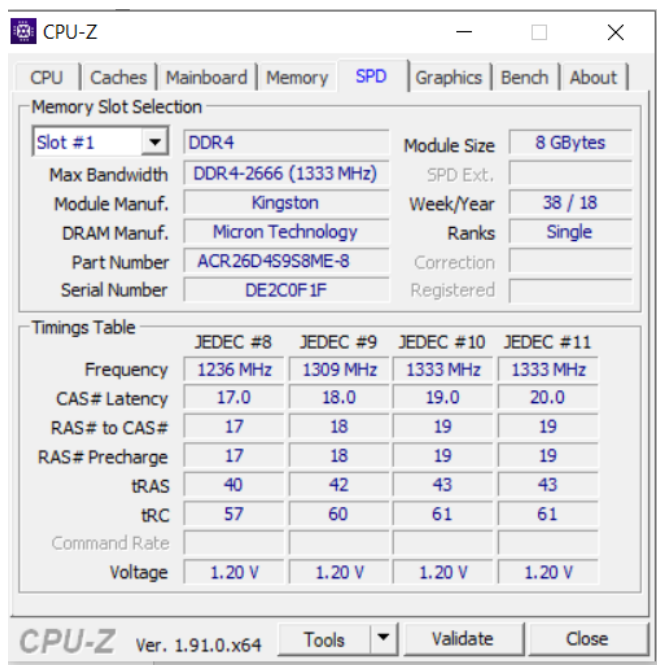
6. A partir de los datos proporcionados por la hoja de características de los módulos de memoria que ha localizado (según identificador ofrecido por CPU-Z), rellénese la tabla que aparece a continuación:

Capacidad en palabras × tamaño_palabra de los módulos DIMM	<b>1Gx64</b>
Número de filas de chips dentro de cada módulo	<b>2</b>
Número total de chips de memoria contenidos en un módulo	<b>4</b>
Capacidad en palabras × tamaño_palabra de los chips de memoria de los módulos	<b>1Gx8</b>
Tipo de chips de memoria SDRAM que se utilizan (DDR-xxxx, DDR2-xxxx, DDR3-xxxx)	<b>DDR4-2666</b>
Frecuencia de reloj máxima a la que pueden trabajar los buses externos de los módulos de memoria	<b>1333 MHz</b>
Tasa máxima de transferencia de los módulos (palabras que se transfieren por segundo) <i>Expresada en millones de transferencias por segundo (MT/s)</i>	<b>2666 MT/s</b>
Ancho de banda pico de los módulos <i>Expresado en MB/s</i>	<b>1333 MHz x 8 bytes x 2 = 21328 MB/s</b>

Insertar aquí capturas de pantalla obtenidas tras la ejecución del programa CPU-Z







Insertar aquí hoja de especificaciones del fabricante

### Memory Module Specifications

**KVR26S19S8/8**  
8GB 1Rx8 1G x 64-Bit PC4-2666  
CL19 260-Pin SODIMM

---

#### DESCRIPTION

This document describes ValueRAM's KVR26S19S8/8 is a 1G x 64-bit (8GB) DDR4-2666 CL19 SDRAM (Synchronous DRAM), 1Rx8, non-ECC, memory module, based on eight 1G x 8-bit FBGA components. The SPD is programmed to JEDEC standard latency DDR4-2666 timing of 19-19-19 at 1.2V. This 260-pin DIMM uses gold contact fingers. The electrical and mechanical specifications are as follows:

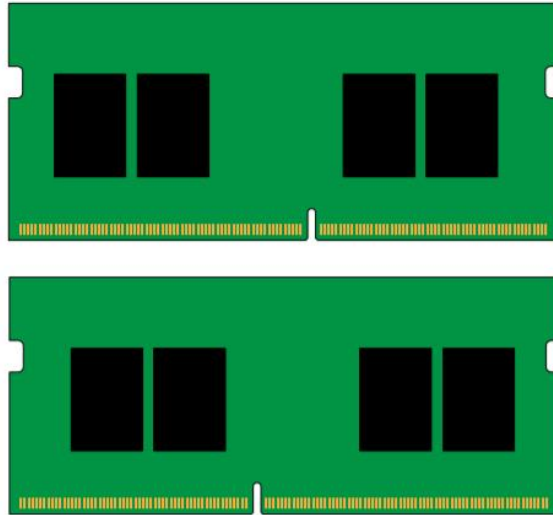
#### FEATURES

- Power Supply: VDD = 1.2V Typical
- VDDQ = 1.2V Typical
- VPP = 2.5V Typical
- VDDSPD = 2.2V to 3.6V
- Nominal and dynamic on-die termination (ODT) for data, strobe, and mask signals
- Low-power auto self refresh (LPASR)
- Data bus inversion (DBI) for data bus
- On-die VREFDQ generation and calibration
- Single-rank
- On-board I2 serial presence-detect (SPD) EEPROM
- 16 internal banks; 4 groups of 4 banks each
- Fixed burst chop (BC) of 4 and burst length (BL) of 8 via the mode register set (MRS)
- Selectable BC4 or BL8 on-the-fly (OTF)
- Fly-by topology
- Terminated control command and address bus
- PCB: Height 1.18" (30.00mm)
- RoHS Compliant and Halogen-Free

#### SPECIFICATIONS

CL(1DD)	19 cycles
Row Cycle Time (tRCmin)	45.75ns(min.)
Refresh to Active/Refresh Command Time (tRFCmin)	350ns(min.)
Row Active Time (tRASmin)	32ns(min.)
Maximum Operating Power	TBD W*
UL Rating	94 V - 0
Operating Temperature	0° C to +85° C
Storage Temperature	-55° C to +100° C

\*Power will vary depending on the SDRAM used.

**MODULE DIMENSIONS**

All measurements are in millimeters.  
(Tolerances on all dimensions are  $\pm 0.12$  unless otherwise specified)

