

Exámenes

UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

Parte 1 de 5 -

2.0/ 2.5 Puntos

Preguntas 1 de 13

0.5/ 0.5 Puntos

Cuando aplicamos el algoritmo de Tomasulo con especulación hardware a las instrucciones, éstas terminan su ejecución en la etapa **✗writeback**, liberando la estación de reserva correspondiente y escribiendo el resultado de la operación en **✓el ROB** (el ROB|los registros).

Respuesta correcta: wb|WB, el ROB|ROB|Reorder Buffer|Buffer de reordenación|el ROB|el Reorder Buffer|el Buffer de reordenación

Preguntas 2 de 13

0.5/ 0.5 Puntos

En un procesador con planificación dinámica de instrucciones y especulación:

- Las instrucciones se buscan **✓en orden** (en orden|fuera de orden)
- Las instrucciones se decodifican **✓en orden** (en orden|fuera de orden)
- Las instrucciones se ejecutan **✓fuera de orden** (en orden|fuera de orden)
- Las instrucciones completan su ejecución en los operadores **✓fuera de orden** (en orden|fuera de orden)
- Las instrucciones escriben sobre los registros y la memoria **✓en orden** (en orden|fuera de orden)

Respuesta correcta: en orden, en orden, fuera de orden, fuera de orden, en orden

Preguntas 3 de 13

0.5/ 0.5 Puntos

Indica cuales de las siguientes afirmaciones son correctas:

- ☒ Las instrucciones especulativas pueden ejecutarse fuera de orden.
- ☐ Una de las ventajas de la especulación hardware es que permite la confirmación de instrucciones fuera de orden.
- ☐ A la fase Commit pueden llegar instrucciones especuladas incorrectamente, pero éstas se cancelan.
- ☒ Las instrucciones especulativas pueden generar excepciones durante su ejecución, aunque éstas se tratarán cuando las instrucciones sean confirmadas.

Respuesta correcta: A, D

En un procesador que aplica el algoritmo de Tomasulo con especulación hardware, indica cuáles de las siguientes afirmaciones son **falsas**:

-
- ✓ ☐ Las estaciones de reserva almacenan las instrucciones desde que se decodifican (etapa I) hasta que se confirman (etapa C).
 - ☐ Una instrucción dependiente solo podrá obtener sus operandos de los registros fuente que utilice, y si éstos estuvieran reservados por otra instrucción, anotarse la marca que éstos contengan.
 - ☐ Cuando la instrucción llega a la etapa WB, difunde su resultado a través del bus común de datos para que todas las estaciones de reserva, buffers y registros que requieran de dicho valor puedan recuperarlo.
 - ✓ ☐ La planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación hardware sólo afecta a la ejecución de instrucciones multiciclo, como las de aritmética en coma flotante.

Respuesta correcta: A, B, C, D

¿Qué puedes decir de la instrucción que confirma su ejecución en un procesador que aplica planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación ? Marca todas las opciones correctas.

-
- ☐ Que si es una instrucción aritmética, el resultado almacenado en el ROB se copiará en el registro destino y éste se liberará .
 - ✓ ☐ Que es la instrucción más antigua existente en el ROB.
 - ✓ ☐ Que si es una instrucción de almacenamiento, la operación pasará a realizarse en el siguiente ciclo de reloj.
 - ✗ ☐ Que si es un salto incorrectamente predicho, se cancelarán todas las instrucciones existentes en el ROB, liberando todas las estaciones de reserva y buffers de escritura y lectura.

Respuesta correcta: B, C

Preguntas 6 de 13

0.5/ 0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo 0Ciclo 1Ciclo 2

A			
A	A		
A	A	A	

Ciclo 0Ciclo 1Ciclo 2

		B	
	B	B	
B	B	B	

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo con multithreading simultáneo (SMT). Si para un mismo ciclo se ejecutan las dos aplicaciones, ubica la aplicación A en las filas inferiores, y rellena las casillas de abajo a arriba. ¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.

Ciclo 0Ciclo 1Ciclo 2Ciclo 3

✓B	✓B	✓B	✓-
✓A	✓B	✓B	✓-
✓A	✓A	✓B	✓-
✓A	✓A	✓A	✓-

Respuesta correcta: B, B, B, -, A, B, B, -, A, A, B, -, A, A, A, -

Preguntas 7 de 13

0.5/ 0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo Ciclo Ciclo Ciclo

0 1 2 3

A

A

A A

A A

Ciclo 0

Ciclo 1

B

B B

B B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano grueso. Supón que un evento es de alta latencia cuando dura más de un ciclo, que empieza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. ¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.

Ciclo 0Ciclo 1Ciclo 2Ciclo 3

✓A ✓- ✓- ✓-

✓A ✓- ✓B ✓-

✓A ✓B ✓B ✓A

✓A ✓B ✓B ✓A

Respuesta correcta: A, -, -, A, -, B, -, A, B, B, A, A, B, B, A

Indica qué afirmaciones son correctas en relación a un procesador superescalar de 4 vías con ejecución fuera de orden y especulación:

- ☐ Permite la confirmación o graduación de 4 instrucciones, estén o no en la cabeza del ROB.
- ✓ ☒ Se pueden realizar hasta 4 escrituras en el ROB.
- ✓ ☒ Se pueden decodificar simultáneamente 4 instrucciones
- ☐ Se pueden realizar hasta 4 escrituras en el bus común de datos.

Respuesta correcta: B, C, D

Indica cuál de las siguientes afirmaciones es correcta:

- ☐ Los procesadores supersegmentados necesitan replicar los operadores y las memorias para poderlos utilizar en las nuevas etapas que se introducen en sus pipelines.
- ✓ ☒ Los procesadores supersegmentados ofrecen una mayor frecuencia de funcionamiento, aunque ésta puede verse limitada por el desfase máximo que presente la señal de reloj.
- ☐ Una ventaja de supersegmentar un procesador que inicialmente tiene x etapas es que el número de instrucciones que estarán simultáneamente en el procesador no excederá de x.
- ☐ Los procesadores supersegmentados mejoran las prestaciones de sus homólogos segmentados aumentando su frecuencia de funcionamiento y, por tanto, reduciendo el número de ciclos promedio requeridos para la ejecución de las instrucciones.

Respuesta correcta: B

Importante: utiliza únicamente el punto como separador decimal.

Considera un procesador superescalar de 3 vías, que utiliza un predictor de saltos BTB que obtiene su predicción al final de la etapa IF. La cache de instrucciones ofrece un grupo de 3 instrucciones alineadas. Si en un grupo de 3 instrucciones aparece una instrucción de salto que se predice como que "salta", indica el número de instrucciones del grupo que se desecharán:

1. Si el salto es la última instrucción del grupo: ✓ 0
2. Si el salto es la primera instrucción del grupo: ✓ 2

Respuesta correcta: 0,2

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
loop	<i>l.d f2,%disp[x](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4100	<i>l.d f4,%disp[y](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4104	<i>mul.d f2,f2,f0</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4108	<i>mul.d f4,f4,f1</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4112	<i>add.d f6,f3,f2</i>		IF	I												A1	A2	A3	A4	WB	C								
4116	<i>add.d f6,f6,f4</i>		IF	I																	A1	A2	A3	A4	WB	C			
4120	<i>s.d f6,%disp[y](r2)</i>		IF	I	AC																					C	L1	L2	L3
4124	<i>dadd r2,r2,8</i>		IF	I	E1	WB																				C			
4128	<i>dsub r1,r1,1</i>			IF	I	E1	WB																			C			
4132	<i>bnez r1,loop</i>			IF	I			E1	WB																		C		
4136	<i>nop</i>			IF	X																								
4140	<i>nop</i>			IF	X																								
loop	<i>l.d f2,%disp[x](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4100	<i>l.d f4,%disp[y](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4104	<i>mul.d f2,f2,f0</i>				IF	I						M1	M2	M3	M4	M5	M6	WB									C		
4108	<i>mul.d f4,f4,f1</i>				IF	I						M1	M2	M3	M4	M5	M6	WB										C	

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

1. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? ☒ 3 ciclos
2. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? ☒ 26 ciclos
3. Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (expresado con 2 decimales y utilizando el punto decimal) resultante de procesar unos vectores X e Y de 64 elementos cada uno? El CPI promedio será de ☒ 0.37 ciclos/instrucción.

Respuesta correcta: 3, 26, 0.37|0.372

Parte 4 de 5 -

2.0/ 2.0 Puntos

Preguntas 12 de 13

2.0/ 2.0 Puntos

Completa el siguiente cronograma, solamente para las instrucciones mostradas, asumiendo que el procesador ejecuta instrucciones siguiendo el algoritmo de Tomasulo con especulación hardware, es capaz de lanzar una instrucción por ciclo, tiene un único operador de multiplicación/división en coma flotante segmentado con latencia de dos ciclos (M1, M2), y un operador de enteros con latencia de un ciclo (E1) .

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C									
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB								
salto + 04	mul.d f8,f2,f0			IF	I												
salto + 08	mul.d f10,f4,f0				IF	I		M1	M2								
salto + 12	mul.d f12,f6,f0					IF	I		M1								
salto + 16	dsub r1,r1,#8						IF	I	E1								
salto + 20	bnez r1,salto							IF	I								

Para resolver el ejercicio rellena la siguiente tabla. Si una instrucción no realiza ninguna actividad en un ciclo márcalo con un guión (-). En otras palabras, rellena toda las celdas de la tabla.

Instrucción	8	9	10	11	12	13	14	15	16
l.d f0,a(r0)		-	-	-	-	-	-	-	-
l.d f2,x(r1)	WB	✓C	✓-	✓-	✓-	✓-	✓-	✓-	✓-
mul.d f8,f2,f0		✓M1	✓M2	✓WB	✓C	✓-	✓-	✓-	✓-
mul.d f10,f4,f0	M2	✓WB	✓-	✓-	✓-	✓C	✓-	✓-	✓-
mul.d f12,f6,f0	M1	✓M2	✓WB	✓-	✓-	✓-	✓C	✓-	✓-
dsub r1,r1,#8	E1	✓-	✓-	✓-	✓WB	✓-	✓-	✓C	✓-
bnez r1,salto	I	✓-	✓-	✓-	✓-	✓E1	✓WB	✓-	✓C

Respuesta correcta: C, -, -, -, -, -, M1, M2, WB, C, -, -, -, WB, -, -, C, -, -, -, M2, WB, -, -, C, -, -, -, WB, -, -, C, -, -, -, -, E1, WB, -, C

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
salto	l.d f0,x(r0)	IF	I	AC	L1	L2	WB	C											
salto + 04	s.d f0,y(r0)		IF	I	AC				C	L1	L2								
salto + 08	add.d f4,f0,f2			IF	I			A1	A2	WB	C								
salto + 12	s.d f4,z(r0)				IF	I	AC					C	L1	L2					
salto + 16	dsub r1,r1,#8					IF	I	E1	WB				C						
salto + 20	bnez r1,salto						IF	I		E1	WB			C					
salto + 24	trap 0							IF	I					x					
.etext	<nop>								if	if	if	if	if	X					
salto	l.d f0,x(r0)														IF	I	AC	L1	L2
salto + 04	s.d f0,y(r0)															IF	I	AC	
salto + 08	add.d f4,f0,f2																IF	I	
salto + 12	s.d f4,z(r0)																	IF	I
salto + 16	dsub r1,r1,#8																		IF

responde a las siguientes preguntas sobre el estado del procesador al final del ciclo 12:

- ¿Cuántas entradas en el ROB están activas? ☒ 2
- ¿Cuántos buffers de lectura están ocupados? ☒ 0
- ¿Cuántos buffers de escritura están confirmados? ☒ 1
- ¿Cuántos registros de coma flotante tienen una marca activa? ☒ 0

Respuesta correcta: 2, 0, 1, 0

- [PoliformaT](#)
- [UPV](#)
- [Powered by Sakai](#)
- Copyright 2003-2021 The Sakai Foundation. All rights reserved. Portions of Sakai are copyrighted by other parties as described in the Acknowledgments screen.