

Exámenes

UT1 Examen (Castellano)

[Volver a la Lista de Exámenes](#)

Parte 1 de 3 - Teoría

4.0 Puntos

Preguntas 1 de 10

0.67 Puntos

Sobre el formato fijo de las instrucciones, podemos decir lo siguiente: **(marca todas las opciones correctas)**

- ☐ Optimiza el espacio ocupado por las instrucciones.
- ✓ ☐ A veces, derrocha bits en el formato.
- ✓ ☐ Facilita la búsqueda de instrucciones y su decodificación.
- ☐ Complica la búsqueda de instrucciones y su decodificación.

Respuesta correcta: B, C

Preguntas 2 de 10

0.67 Puntos. Puntos descontados por fallo: 0.22222222222222

¿Qué tipo de instrucciones realizan la conversión de tipos de datos enteros en los procesadores RISC?

- ☐ No existe ninguna instrucción. Para hacer más eficiente la ejecución de instrucciones, los procesadores RISC trabajan con un único tipo de datos entero que se corresponde con el tamaño de palabra del procesador.
- ☐ Ninguna de las otras repuestas es correcta.
- ✓ ☐ Las instrucciones load.
- ☐ Las instrucciones aritméticas.

Respuesta correcta: C

Preguntas 3 de 10

0.67 Puntos

En las instrucciones de salto condicional en los procesadores MIPS, se usa el modo de direccionamiento relativo al PC con un desplazamiento de 16 bits. ¿A qué obedece este diseño? (marca todas las opciones correctas)

- ☒ ☐ A que el destino de la instrucción de salto suele estar cerca.
- ☐ A que el formato es el mismo que las instrucciones aritméticas con operando inmediato.
- ☐ En realidad no es así, ya que usan el modo de direccionamiento indirecto a registro.
- ☒ ☐ A que, debido a que utilizan el formato I, no hay suficientes bits en el formato para poder utilizar un modo de direccionamiento absoluto.

Respuesta correcta: A, D

Preguntas 4 de 10

0.67 Puntos

La aparición de la ☒ cache surge para paliar la diferencia de velocidad entre los procesadores y las memorias.

Respuesta correcta: cache | caché | memoria caché | memòria caché | memoria cache | memòria cache | cau | memòria cau

Preguntas 5 de 10

0.67 Puntos. Puntos descontados por fallo: 0.22222222222222

¿Cuál de las siguientes técnicas no corresponde a una mejora arquitectónica?

- ☐ Segmentación.
- ☒ Aumento de la escala de integración.
- ☐ Procesadores RISC.
- ☐ Técnicas avanzadas de explotación de ILP (instruction level parallelism).

Respuesta correcta: B

Preguntas 6 de 10

0.67 Puntos. Puntos descontados por fallo: 0.22222222222222

Aumentando la eficiencia en la ejecución de las instrucciones frecuentes, se consigue...

- ☐ ... reducir el área del procesador dedicada a la ejecución de las instrucciones más frecuentes, lo que permite dedicar más área a asegurar que las instrucciones menos frecuentes se ejecuten correctamente.
- ☒ ... reducir en mayor medida el tiempo de ejecución, ya que según la Ley de Amdahl, conviene acelerar aquellas partes del sistema que ocupan un mayor porcentaje del tiempo.
- ☐ ... simplificar la generación del código por el compilador, ya que éste puede tomar decisiones en fases de compilación distintas.
- ☐ ... reducir el número de etapas en la ejecución de estas instrucciones.

Respuesta correcta: B

Parte 2 de 3 - Ejercicios

3.0 Puntos

Preguntas 7 de 10

1.5 Puntos

Importante: utiliza únicamente el punto como separador decimal.

Tras cambiar el disco duro de un computador, una determinada tarea que antes empleaba 15 segundos, emplea ahora 10 segundos. El nuevo disco duro instalado es 4.6 veces más rápido que el original. La fracción de tiempo que el programa hacía uso del disco en la máquina original es: ☒ 0.43.

Respuesta correcta: 0.426

Preguntas 8 de 10

1.5 Puntos

Importante: utiliza únicamente el punto como separador decimal.

De un computador se han retirado las 2 tarjetas de red antiguas y se han reemplazado por 3 nuevas. Se sabe que la carga de red se reparte equitativamente entre las tarjetas y que las nuevas tarjetas de red son un 296% más rápidas que las antiguas. Un determinado programa hace uso de la red un 59% del tiempo. La aceleración que se puede esperar en dicho programa tras instalar las nuevas tarjetas es del ☒ 96.34 %.

Respuesta correcta: 96.3

Parte 3 de 3 -

3.0 Puntos

Preguntas 9 de 10

1.5 Puntos

Importante: utiliza únicamente el punto como separador decimal.

Para un procesador de la familia MIPS se está estudiando la posibilidad de implementar una nueva instrucción aritmética que multiplique y acumule. Esto permitiría sustituir con una sola instrucción código como el que se muestra a continuación,

```
mult $4,$2,$3
```

```
add $1,$1,$4
```

que se podrían sustituir por,

```
multadd $1,$2,$3
```

la nueva instrucción emplearía 1 ciclo más que las instrucciones de multiplicación convencionales y la complejidad introducida al rediseñar la unidad de control obligaría reducir un 5% la frecuencia de reloj que actualmente es de 404 Mhz.

La distribución de instrucciones de la arquitectura original es la siguiente,

Tipo	Porcentaje	CPI
mem	16	2
add	32	1
mult	11	5
branch	22	1.5
otras	19	2
Total	100	

Analizando el código se ha observado que el 12% de las instrucciones de suma acumulan el resultado de una multiplicación previa y por lo tanto se pueden sustituir junto con ésta por la nueva instrucción.

El porcentaje de instrucciones `mult` en la nueva arquitectura será de **✖7.88** %.

Respuesta correcta: 7.5

Preguntas 10 de 10

1.5 Puntos

Importante: utiliza únicamente el punto como separador decimal.

Se dispone de un procesador de la familia MIPS con una frecuencia de reloj de 3 GHz. Este procesador ejecuta 100 millones de instrucciones con la siguiente distribución.

Tipo	Millones de instrucciones	CPI
load	8	3
store	25	1
add	12	2
mult	21	2
branch	13	2
otras	21	1
Total	100	

Como consecuencia de una optimización del compilador, esta distribución se ve modificada de la siguiente manera.

Tipo	Millones de instrucciones	CPI
load	8	3
store	22	1
add	12	2
mult	17	2
branch	13	2
otras	18	1
Total	90	

La aceleración obtenida con esta optimización del compilador será  1.1.

Respuesta correcta: 1.1

- [PoliformaT](#)
- [UPV](#)
- [Powered by Sakai](#)
- Copyright 2003-2020 The Sakai Foundation. All rights reserved. Portions of Sakai are copyrighted by other parties as described in the Acknowledgments screen.