

## Exámenes

### UT3 Examen (Castellano)

[Volver a la Lista de Exámenes](#)

Parte 1 de 7 -

1.5 Puntos

Preguntas 1 de 12

0.75 Puntos

Acerca de los accesos a memoria en un procesador fuera de orden indique **TODAS** las afirmaciones verdaderas:

- ☒ ☐ Los fallos en los accesos a la cache de instrucciones siempre detienen el *front-end*.
- ☐ Cuando una instrucción de carga provoca un fallo de lectura en la cache de datos siempre detiene el *front-end*.
- ☐ Cuando una instrucción de almacenamiento provoca un fallo de escritura en la cache de datos tiene una penalización de fallos que depende de la política de escritura del primer nivel de cache (L1) (Write-Allocate o No-Write-Allocate).
- ☐ La fracción no solapada (FNS) es la parte de la penalización de fallo en lectura de datos (PF) en la cual el procesador está detenido en el *front-end*.

**Respuesta correcta:** A, D

Preguntas 2 de 12

0.75 Puntos

Elige **TODAS** las afirmaciones correctas. En un sistema con sólo un nivel de una cache (L1) con correspondencia directa, write-back, write allocate:

- ☒ ☐ Ante un fallo en escritura, primero se trae el bloque a L1 y después se escribe sólo en L1.
- ☐ Se reduce el número de bloques escritos en L1 con respecto a tener política write-through.
- ☐ Ante un fallo en escritura se escribe en MP y después se trae el bloque a L1.
- ☒ ☐ Se reduce el número de bloques escritos en memoria principal (MP) con respecto a tener política write-through.

**Respuesta correcta:** A, D

Parte 2 de 7 -

2.25 Puntos

## Preguntas 3 de 12

0.75 Puntos

Con el objetivo de mejorar la tasa de fallos se puede ajustar la geometría de la cache para reducir los fallos de arranque, de conflicto y de capacidad.

- Cuando aumentamos el tamaño de bloque, conseguimos reducir los fallos de ✓ arranque , pero pueden aumentar los fallos de ✓ conflicto y de ✓ capacidad .
- Cuando aumentamos el número de vías, conseguimos reducir los fallos de ✓ conflicto pero puede aumentar el tiempo de ✓ acceso .
- Cuando aumentamos el tamaño de la cache, conseguimos reducir los fallos de ✓ capacidad pero puede aumentar el tiempo de ✓ acceso .

**Respuesta correcta:** arranque, capacidad|conflicto, capacidad|conflicto, conflicto, acierto|acceso, capacidad, acceso|acierto

## Preguntas 4 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Indica la afirmación correcta:

- ☐ La penalización de fallo incluye, en caso de *Early Restart*, la latencia de acceso más el tiempo de transferencia de la primera palabra.
- ☐ La técnica *Critical Word First* permite reducir el componente de la latencia (L) de la penalización de fallo.
- ☐ La técnica *Critical Word First* transfiere primero la palabra con la dirección de menor peso dentro del bloque.
- ☒ La penalización de fallo incluye, en caso de *Early Restart*, la latencia de memoria más un tiempo de transferencia de bloque variable.

**Respuesta correcta:** D

## Preguntas 5 de 12

0.75 Puntos

Indique **TODAS** las afirmaciones correctas

- ✓ ☐ Cuando se aplica la técnica *load-bypassing* una instrucción de carga puede continuar si la dirección accedida no se encuentra en el Buffer de Escritura.
- ✓ ☐ La técnica de Buffers de Escrituras combinadas pretende reducir el número de accesos a memoria combinando escrituras pertenecientes al mismo bloque en una única petición.
- ☐ Cuando se utilizan las políticas *Write-Back/Write-allocate* la existencia de un Buffer de Escritura con el siguiente nivel elimina la penalización por fallo siempre que hay un fallo en escritura en la cache.
- ☐ Cuando se aplica la técnica *load-bypassing* sobre los Buffers de Escritura, una instrucción de carga puede continuar cuando se dispone del dato referenciado por la dirección de carga en el buffer de escritura.

**Respuesta correcta:** A, B

Preguntas 6 de 12

0.75 Puntos

Respecto a los módulos de memoria principal, la aparición de las memorias ☒ **DDR** tuvo como principal contribución la transferencia de datos en los dos flancos de la señal de reloj.

Respuesta correcta: DDR

Preguntas 7 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Selecciona cuál de las siguientes afirmaciones es correcta:

- ☐ El tiempo de transferencia por el bus de un bloque de B palabras de memoria depende de si la fila correspondiente del banco está abierta.
- ☒ La tasa de aciertos en buffer de fila (TAbf) afecta directamente a la penalización por fallo  $PF_{LLC}$
- ☐ El ancho de banda del bus en bytes/ciclo no cambió con la introducción de las memorias DDR.
- ☐ La tasa de aciertos en buffer de fila (TAbf) depende exclusivamente del número de bancos de la memoria principal.

Respuesta correcta: B

Preguntas 8 de 12

0.75 Puntos

Sobre la tecnología SDRAM actual selecciona TODAS respuestas correctas:

- ☒ ☐ El CAS Latency (CL) es el tiempo mínimo (en ciclos) necesario para leer el primer bit de memoria desde una DRAM con la fila ya abierta.
- ☐ El tiempo es el mínimo tiempo en nanosegundos (ns) entre la apertura de una fila de memoria y el acceso a una columna.
- ☐ El tiempo para leer el primer bit de memoria de una DRAM ante un acierto en el buffer de fila es .
- ☒ ☐ El tiempo es el tiempo necesario para refrescar internamente la fila y se solapa con .

Respuesta correcta: A, D

Parte 4 de 7 -

0.75 Puntos

Preguntas 9 de 12

0.75 Puntos

**Importante:** utiliza únicamente el punto como separador decimal.

Un sistema posee una cache de datos e instrucciones separada. Se ha evaluado obteniendo un porcentaje de instrucciones LW del 30% y de SW del 18%. También se ha obtenido la tasa de fallos en cache, siendo de 0.12 para la cache de instrucciones, y de 0.21 para la cache de datos. Con estos datos la tasa de fallos unificada sería  $TF_{unif} = \text{X}0.22$ .

**Respuesta correcta:** 0.15

Parte 5 de 7 -

0.75 Puntos

Preguntas 10 de 12

0.75 Puntos

**Importante:** utiliza únicamente el punto como separador decimal.

En un procesador con *Virtually indexed physically tagged caches* con un direccionamiento de memoria virtual de 48 bits el tamaño del bloque de cache es 32 bytes y el tamaño de la página de memoria virtual 256 Kbytes. En ese caso, el número máximo de conjuntos de una cache con correspondencia asociativa sería  $\text{X}25$ .

**Respuesta correcta:** 8192

Parte 6 de 7 -

0.75 Puntos

Preguntas 11 de 12

0.75 Puntos

**Importante:** utiliza únicamente el punto como separador decimal.

En una memoria SDRAM DDR del tipo PC4-19200 la frecuencia de reloj del bus será  $\checkmark 1200$  MHz.

**Respuesta correcta:** 1200

## Parte 7 de 7 - Ejercicios UT3

1.75 Puntos

Preguntas 12 de 12

1.75 Puntos

**Importante:** utiliza únicamente el punto como separador decimal.

Un programa compuesto por 269 millones de instrucciones se ejecuta en un procesador en orden con una frecuencia de 3 Ghz y un CPI medio de 1.4. Dicho procesador dispone de caches separadas para datos e instrucciones y se sabe que se ejecutan 69 millones de instrucciones de acceso a datos (LW y SW), siendo la tasa de fallos para instrucciones de 0.08 y para datos de 0.23. Si el tiempo de acierto es de 1 ciclo y el de fallo de 83 ciclos, calcule el tiempo de ejecución (Tejec) de dicho programa:

Tejec = ✓ 1.16 segundos

**Respuesta correcta:** 1.16

- [PoliformaT](#)
- [UPV](#)
- [Powered by Sakai](#)
- Copyright 2003-2021 The Sakai Foundation. All rights reserved. Portions of Sakai are copyrighted by other parties as described in the Acknowledgments screen.