






logic circuit synthesis labs

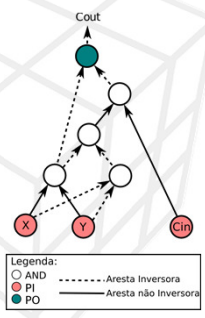
AIG Parser e o Formato AIGER

Jody Matos

André Reis






- And-Inverter Graph (AIG)**
 - Estrutura de dados usada em ferramentas CAD para síntese lógica
 - Forma computacional de representar um circuito usando ANDs e inversores
- Três tipos de nós**
 - Entradas primárias (primary inputs)
 - Saídas primárias (primary outputs)
 - Nós AND
- Dois tipos de arestas**
 - Não-inversora
 - inversora



www.inf.ufrgs.br/logics



2/32

- Formato de arquivo utilizado para representar AIGs
- Tem duas extensões de arquivos no formato AIGER
 - AAG**: formato textual (ASCII)
 - AIG**: formato binário
- Representar um AIG num arquivo de texto
- Usar esse formato como padrão de entrada/saída para ferramentas CAD que manipulem AIGs

www.inf.ufrgs.br/logics

3/32






- As variáveis são representados por números inteiros positivos
- Números pares representam a variável na forma direta (positiva)
- Números ímpares representam a variável na forma invertida

Variável	Literal
a	2
!a	3
b	4
!b	5

www.inf.ufrgs.br/logics

4/32



```

// MILOA
aag 10 3 0 2 7 // cabeçalho
2 // entrada 1
4 // entrada 2
6 // entrada 3
8 // saída 1
11 // saída 2
12 2 4 // and 1
14 3 5 // and 2
16 13 15 // and 3
18 16 6 // and 4
10 19 13 // and 5
20 17 7 // and 6
8 21 19 // and 7

```

www.inf.ufrgs.br/logics

5/32

```

// MILOA
aag 10 3 0 2 7 // cabeçalho

// M = máximo de variáveis (M=I+L+A)
// I = número de entradas
// L = número de latches
// O = número de saídas
// A = número de ANDs

```

www.inf.ufrgs.br/logics

6/32

```

// MILO A
aag 10 3 0 2 7
2           // entrada 1
4           // entrada 2
6           // entrada 3

// as primeiras linhas após o cabeçalho definem as entradas
// serão 'I' linhas

```

www.inf.ufrgs.br/logics
7/32

```

// MILO A
aag 10 3 0 2 7
2
4
6
8           // saída 1
11          // saída 2

// a sequência de linhas após o cabeçalho define as saídas
// serão 'O' linhas

```

www.inf.ufrgs.br/logics
8/32

```

// MILO A
aag 10 3 0 2 7
2
4
6
8
11
12 2 4      // and 1 |
14 3 5      // and 2 |
16 13 15    // and 3 |
18 16 6      // and 4 |
10 19 13    // and 5 |
20 17 7      // and 6 |
8 21 19     // and 7 |

a sequência de linhas após as saídas definem os nós AND
serão 'A' linhas

```

www.inf.ufrgs.br/logics
9/32

```

// MILO A
aag 7 2 0 2 3 // cabeçalho
2             // entrada 1
4             // entrada 2
6             // saída 1
12            // saída 2
12 2 4        // and 1
14 3 5        // and 2
6 13 15       // and 3

```

www.inf.ufrgs.br/logics
10/32

```

// MILO A
aag 7 2 0 2 3 // cabeçalho
2             // entrada 1
4             // entrada 2
6             // saída 1
12            // saída 2
12 2 4        // and 1
14 3 5        // and 2
6 13 15       // and 3

```

2 _____
4 _____

www.inf.ufrgs.br/logics
11/32

```

// MILO A
aag 7 2 0 2 3 // cabeçalho
2             // entrada 1
4             // entrada 2
6             // saída 1
12            // saída 2
12 2 4        // and 1
14 3 5        // and 2
6 13 15       // and 3

```

12

2 _____
4 _____

www.inf.ufrgs.br/logics
12/32

inf
INSTITUTO DE INFORMATICA
UFRRGS

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
```

www.inf.ufrgs.br/logics 13/32

inf
INSTITUTO DE INFORMATICA
UFRRGS

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
```

www.inf.ufrgs.br/logics 14/32

inf
INSTITUTO DE INFORMATICA
UFRRGS

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
```

www.inf.ufrgs.br/logics 15/32

inf
INSTITUTO DE INFORMATICA
UFRRGS

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
```

www.inf.ufrgs.br/logics 16/32

inf
INSTITUTO DE INFORMATICA
UFRRGS

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
```

www.inf.ufrgs.br/logics 17/32

inf
INSTITUTO DE INFORMATICA
UFRRGS

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
```

www.inf.ufrgs.br/logics 18/32

inf
INSTITUTO DE INFORMÁTICA
UNIVERSIDADE FEDERAL DE RIO DE JANEIRO

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
```

www.inf.ufrgs.br/logics 19/32

inf
INSTITUTO DE INFORMÁTICA
UNIVERSIDADE FEDERAL DE RIO DE JANEIRO

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
i0 X
i1 Y
o0 S
o1 C
```

www.inf.ufrgs.br/logics 20/32

inf
INSTITUTO DE INFORMÁTICA
UNIVERSIDADE FEDERAL DE RIO DE JANEIRO

```
// MILO A
aag 7 2 0 2 3 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // saída 1
12 // saída 2
12 2 4 // and 1
14 3 5 // and 2
6 13 15 // and 3
i0 X
i1 Y
o0 S
o1 C
```

www.inf.ufrgs.br/logics 21/32

inf
INSTITUTO DE INFORMÁTICA
UNIVERSIDADE FEDERAL DE RIO DE JANEIRO

www.inf.ufrgs.br/logics 22/32

inf
INSTITUTO DE INFORMÁTICA
UNIVERSIDADE FEDERAL DE RIO DE JANEIRO

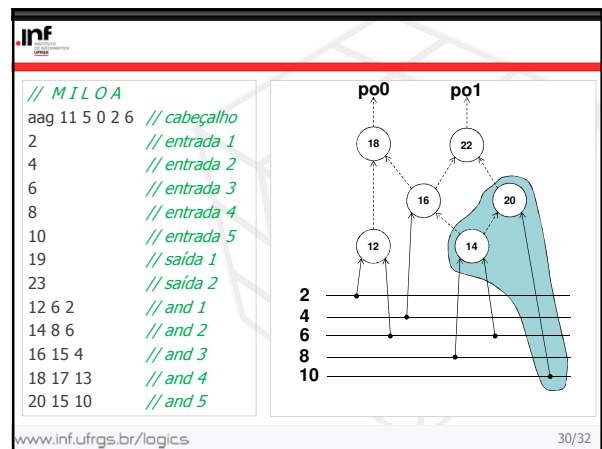
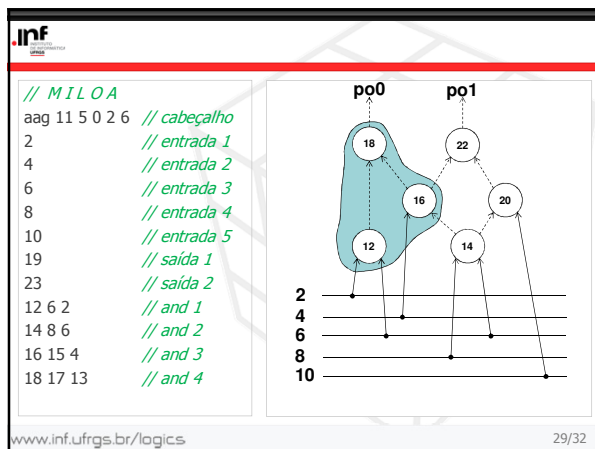
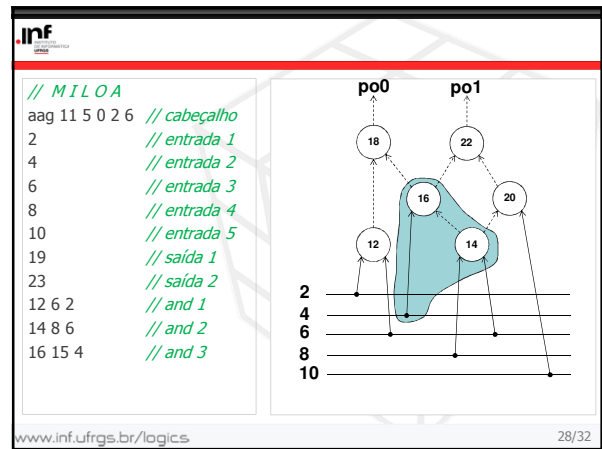
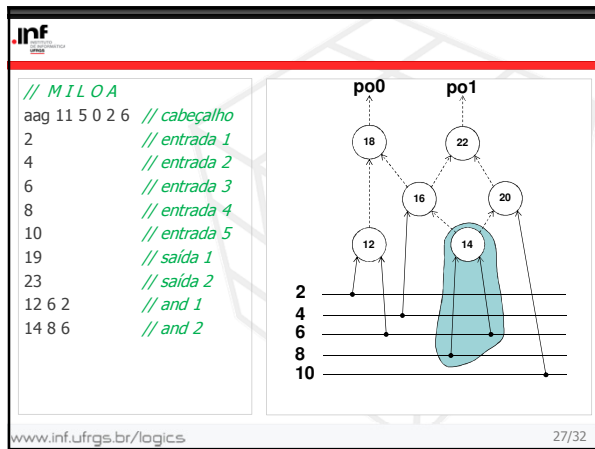
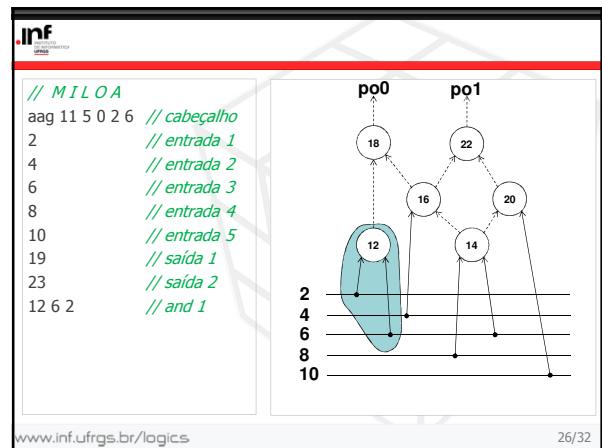
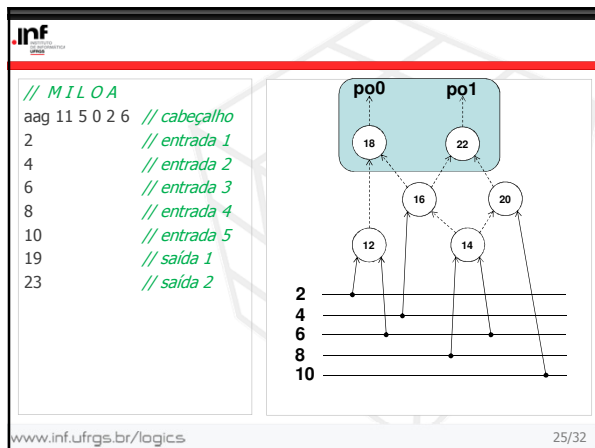
```
// MILO A
aag 11 5 0 2 6 // cabeça1ho
```


www.inf.ufrgs.br/logics 23/32

inf
INSTITUTO DE INFORMÁTICA
UNIVERSIDADE FEDERAL DE RIO DE JANEIRO

```
// MILO A
aag 11 5 0 2 6 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // entrada 3
8 // entrada 4
10 // entrada 5
```

www.inf.ufrgs.br/logics 24/32

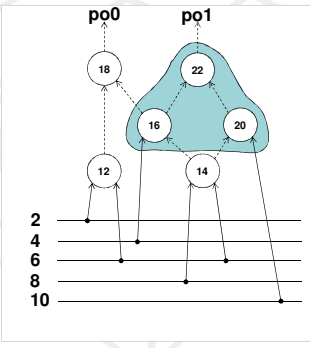





```

// MILOA
aag 11 5 0 2 6 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // entrada 3
8 // entrada 4
10 // entrada 5
19 // saída 1
23 // saída 2
12 6 2 // and 1
14 8 6 // and 2
16 15 4 // and 3
18 17 13 // and 4
20 15 10 // and 5
22 21 17 // and 6

```



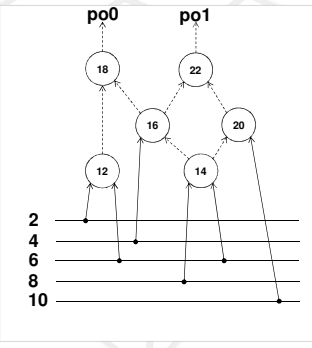
www.inf.ufrgs.br/logics
31/32



```

// MILOA
aag 11 5 0 2 6 // cabeça1ho
2 // entrada 1
4 // entrada 2
6 // entrada 3
8 // entrada 4
10 // entrada 5
19 // saída 1
23 // saída 2
12 6 2 // and 1
14 8 6 // and 2
16 15 4 // and 3
18 17 13 // and 4
20 15 10 // and 5
22 21 17 // and 6

```



www.inf.ufrgs.br/logics
32/32