

Engenharia Electrónica e Automação
Engenharia Informática
Engenharia das Telecomunicações e Computadores

Instrumentação e Sistemas Digitais

1º Sem, Exame ■ 1 de Julho de 2008

Docentes: JML / AMA

Duração: 60 m; Tolerância: 10 m.

Parte
Teórico-Prática

Sem consulta

Cotação

Questão 1: 6 valores; Questão 2: 8 valores; Questão 3: 6 valores

Observações: A aprovação à unidade curricular implica aproveitamento nos vários instrumentos de avaliação que a constituem.

1- Considere a seguinte descrição em VHDL.

```

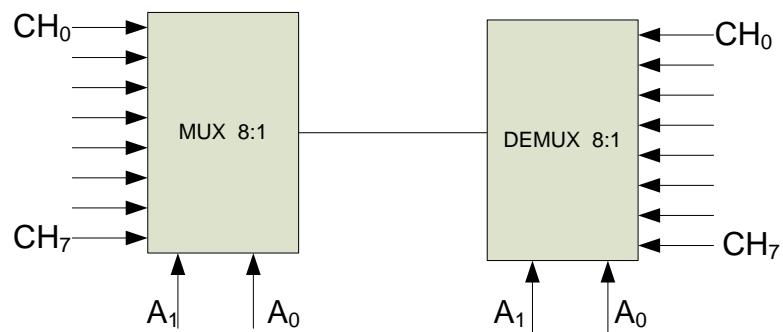
1 ENTITY maq_est2 IS
2     PORT (ck : IN      BIT;                      -- relógio borda subida
3           sobe : IN      BIT;                     -- sobe=1, q=00,01,11,10,00...
4           iniciar : IN      BIT;                  -- iniciar=1, q=00
5           q : OUT     BIT_VECTOR (1 DOWNTO 0)); -- saída
6 END maq_est2;
7
8 ARCHITECTURE teste OF maq_est2 IS
9     --          q=2    q=3    q=1    q=0
10    TYPE st IS (caso_d, caso_c, caso_b, caso_a); -- novo tipo definido
11    SIGNAL estado : st;                          -- sinal estado tipo "st"
12 BEGIN
13    abc: PROCESS (ck, iniciar)
14    BEGIN
15        IF iniciar = '1' THEN                   -- estado inicial
16            estado <= caso_a;                  -- q=0
17        ELSIF (ck'EVENT AND ck ='1') THEN      -- ciclo de estados
18            CASE estado IS
19                WHEN caso_a =>                 -- q=0
20                    IF sobe = '1' THEN estado <= caso_b; -- q=1
21                    ELSE                     estado <= caso_d; -- q=2
22                END IF;
23                WHEN caso_b =>                 -- q=1
24                    IF sobe = '1' THEN estado <= caso_c; -- q=3
25                    ELSE                     estado <= caso_a; -- q=0
26                END IF;
27                WHEN caso_c =>                 -- q=3
28                    IF sobe = '1' THEN estado <= caso_d; -- q=2
29                    ELSE                     estado <= caso_b; -- q=1
30                END IF;
31                WHEN caso_d =>                 -- q=2
32                    IF sobe = '1' THEN estado <= caso_a; -- q=0
33                    ELSE                     estado <= caso_c; -- q=3
34                END IF;
35            END CASE;
36        END IF;
37    END PROCESS abc;
38
39    WITH estado SELECT -- decodifica estado
40        q <= "00" WHEN caso_a, -- q=0
41        "01" WHEN caso_b, -- q=1
42        "11" WHEN caso_c, -- q=3
43        "10" WHEN caso_d; -- q=2
44 END teste;

```

- Verifique o funcionamento do programa e detecte possíveis erros de sintaxe.
- Descreva o funcionamento do programa, apresentando o respectivo diagrama de evolução do seu funcionamento.

iii) Classifique o tipo de circuito apresentado.

- 2- Pretende-se numa unidade fabril conceber um sistema que permita o envio dos dados de 8 sensores entre dois pontos distintos da unidade de produção recorrendo apenas a uma ligação simples. Apresente a descrição em VHDL para dois processos: MUX1 que permite multiplexar os oitos canais num único canal partilhado e o processo DEMUX1 que desmultiplexa os oito canais originais.



- 3- Projecte em VHDL um detector de sequências que permite detectar a sequencia 0011. Utilize uma máquina de estados de *Moore*.