



1ª Lista de Exercícios

Observações gerais:

- Os exercícios desta lista não serão cobrados. Entretanto, é altamente recomendável que os alunos tentem resolvê-los, a fim de se prepararem minimamente para a 1ª prova.
- Para os exercícios 4, 5, 6, 7 e 8 assumir operandos com n bits.

Exercício 1 (ULA do MIPS monociclo: estrutura e funcionamento)

A Fig. 1 mostra o esquemático do nível RT para a ULA do MIPS monociclo. Esta ULA é semelhante àquela vista em aula, exceto pelo fato de possuir recursos que lhe permitem realizar a operação “ $S = 1$ se $A < B$ senão, $S = 0$ ” (bloco “SLT”) e um multiplexador extra controlado pelo sinal “ctrl” e recursos para identificar se $S=0$ (bloco “=0?”).

- Desenhe o esquemático para “SLT”, sabendo que ele é composto por conexões (fios) e porta(s) lógica(s). (Não use multiplexador.) “SLT” deve realizar a operação “ $S = 1$ se $A < B$ senão, $S = 0$ ” corretamente **mesmo quando o somador/subtrator detectar overflow**!
- Escreva a equação para o sinal “ctrl”.
- Desenhe o esquemático no nível lógico para o bloco “=0?”, o qual é responsável pela saída “Zero” da ULA (“flag de zero”).

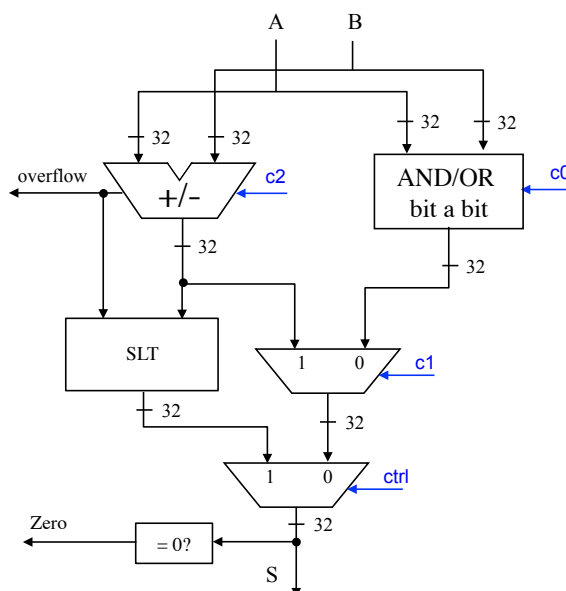


Fig. 1– Esquemático no nível RT da ULA do MIPS monociclo.

Exercício 2 (ULA do MIPS monociclo: custo)

Partindo das estimativas de custo vistas em aula, estime o custo de uma implementação CMOS da ULA da Fig. 1, em termos de número de transistores. Considere que:

- Um mux 2:1 (de 1 bit) necessite de 4 transistores;
- O bloco “=0?” deve utilizar portas NAND e/ou NOR de duas entradas e inversores. Porém, o número de inversores deve ser mínimo.

Exercício 3 (Deslocador do MIPS)

Desenhe o esquemático do nível lógico para o deslocador à esquerda de 2 bits utilizado no MIPS monociclo para o cálculo do endereço de desvio, no caso de uma instrução beq.

Exercício 4 (Deslocador programável ou *barrel shifter*)

Utilizando multiplexadores 2:1 (nível lógico) e eventualmente, portas lógicas, desenhe o esquemático do nível lógico de um deslocador programável que recebe como entrada um número binário de 4 bits **E** e o desloca para a direita “**i**” bits (“**i**” $\in \{0,1,2,3\}$), conforme detalhado pela Tab. 1. Observar ainda as seguintes restrições:

- Este deslocador possui uma entrada lateral, pela qual é (são) fornecido(s) o(s) bit(s) que entra(m) pela esquerda, no caso de $i = 1$ ($i > 2,3$);
- O número de multiplexadores deve ser mínimo;
- O número de portas lógicas usadas no controle deste multiplexador deve ser mínimo.

Tab. 1 - Funcionamento do deslocador programável a ser projetado nesta questão.

op1	op0	Operação
0	0	$S = E$
0	1	$S = E \gg 1$
1	0	$S = E \gg 2$
1	1	$S = E \gg 3$

Observação: representar cada multiplexador 2:1 (nível lógico) pelo seu símbolo, conforme revisado em aula.

Exercício 5 (Unidade funcional extratora de módulo)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático no nível RT de uma unidade funcional (UF) que recebe um número inteiro com sinal **A**, representado em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o módulo deste número ($S = |A|$). Comente o problema do *overflow*, (e se necessário, redesenhe a UF solicitada), considerando as seguintes situações:

- a) A entrada e a saída desta UF (**A** e **S**, respectivamente) possuem n bits.
- b) A entrada desta UF (**A**) possui n bits, ao passo que a saída (**S**) possui $n+1$ bits.

Exercício 6 (Unidade funcional “max”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático no nível RT de uma unidade funcional (UF) que recebe dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o maior dentre eles ($S = \max\{A, B\}$). Uma eventual situação de *overflow* no subtrator deve não pode afetar o resultado. Observação: assuma que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Exercício 7 (Unidade funcional “min”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático no nível RT de uma unidade funcional (UF) que recebe dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o menor dentre eles ($S = \min\{A, B\}$). Uma eventual situação de *overflow* no subtrator deve não pode afetar o resultado. Observação: assuma que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Exercício 8 (Unidade funcional combinada “min/max”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático (RT) de uma unidade funcional (UF) que recebe dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o menor ou o maior dentre eles, conforme um sinal de controle “**C**”. A operação desta unidade funcional combinada está detalhada na Tab. 2. Uma eventual situação de *overflow* no subtrator deve não pode afetar o resultado. Observação: assuma que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Tab. 2 - Funcionamento desejado para a unidade funcional "min/max".

op	operação
0	$S = \max \{ A,B \}$
1	$S = \min \{ A,B \}$

Exercício 9 (Temporização em registradores de carga paralela)

Suponha que o registrador de carga paralela da Fig. 2 possua as características temporais indicadas na Tab. 6. Nesta situação, complete a forma de onda para o sinal Q, na Fig. 3.

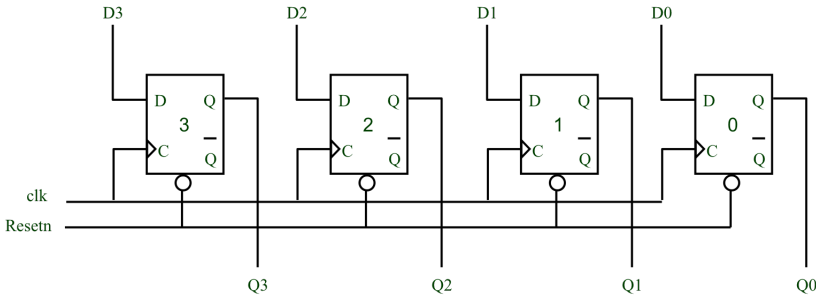


Fig. 2 – Registrador com carga paralela.

Tab. 6 - Características temporais do registrador com carga paralela da Fig. 2.

Característica	valor
Tempo de setup (t_{su})	2 ns
Tempo de hold (t_h)	2 ns
Tempo de carga (t_{co})	5 ns

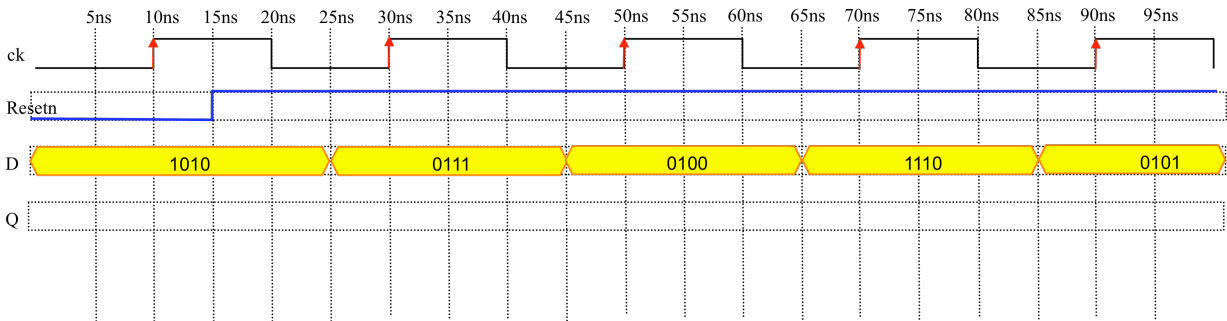


Fig. 3 – Formas de onda para sinais aplicados nas entradas do registrador com carga paralela da Fig. 2 e consequente forma de onda do sinal Q (a completar).

Exercício 10 (Temporização em registradores de carga paralela)

Suponha que o registrador de carga paralela da Fig. 4 possua as características temporais indicadas na Tab. 7. Nesta situação, complete a forma de onda para o sinal Q, na Fig. 5.

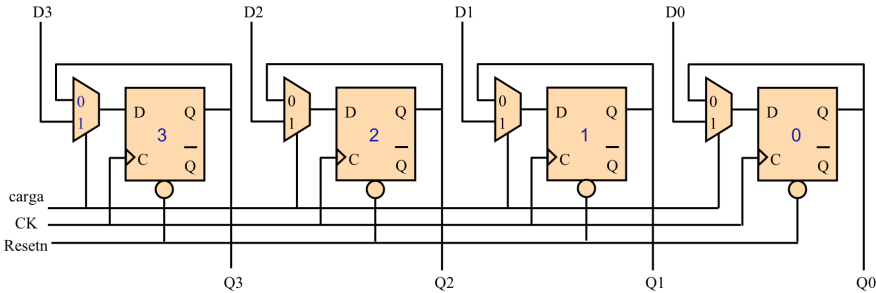


Fig. 4 – Registrador com carga paralela.

Tab. 7 - Características temporais do registrador com carga paralela da Fig. 4.

Característica	valor
Tempo de setup (t_{su})	2 ns
Tempo de hold (t_h)	2 ns
Tempo de carga (t_{co})	5 ns

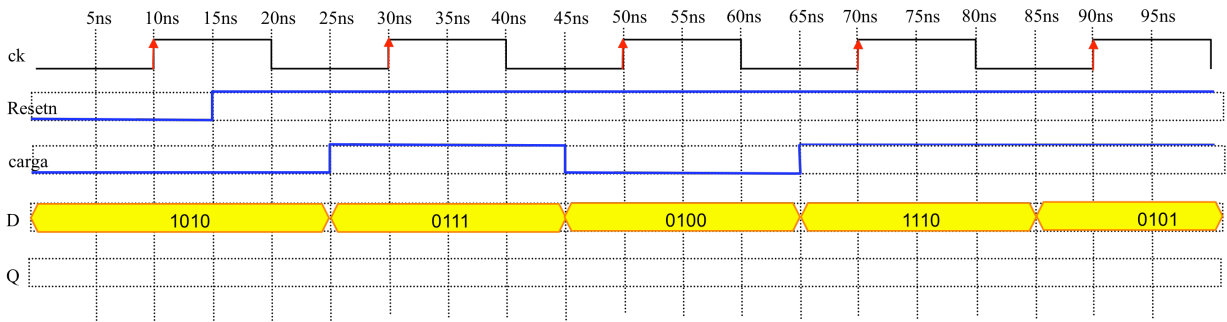


Fig. 5 – Formas de onda para sinais aplicados nas entradas do registrador com carga paralela da Fig. 4 e consequente forma de onda do sinal Q (a completar).

Exercício 11

A Tab. 8 mostra as características temporais dos componentes do circuito digital mostrado na Fig. 6.

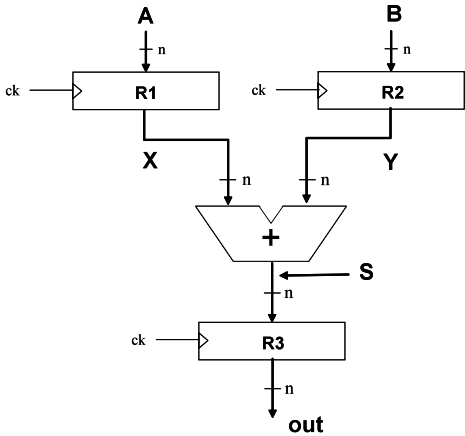


Fig.6 – Circuito digital: um somador com registradores de entrada e saída.

Tab. 8 - Características temporais dos componentes do circuito digital da Figura anterior.

Característica	valor
Tempo de setup (t_{su}) para R1, R2 ou R3	1 ns
Tempo de hold (t_h) para R1, R2 ou R3	1 ns
Tempo de carga (t_{co}) para R1, R2 ou R3	2 ns
Atraso crítico do somador (t_{ds})	2 ns

- a) Complete as formas de onda da Fig. 7, de modo a minimizar o período do relógio (ck). Suponha que os dados nas entradas dos registradores R1 e R2 (i.e., sinais **A** e **B**) são aplicados ao mesmo tempo.
- b) Desenhe a forma de onda para o relógio.
- c) Qual é o período mínimo do relógio, em ns?

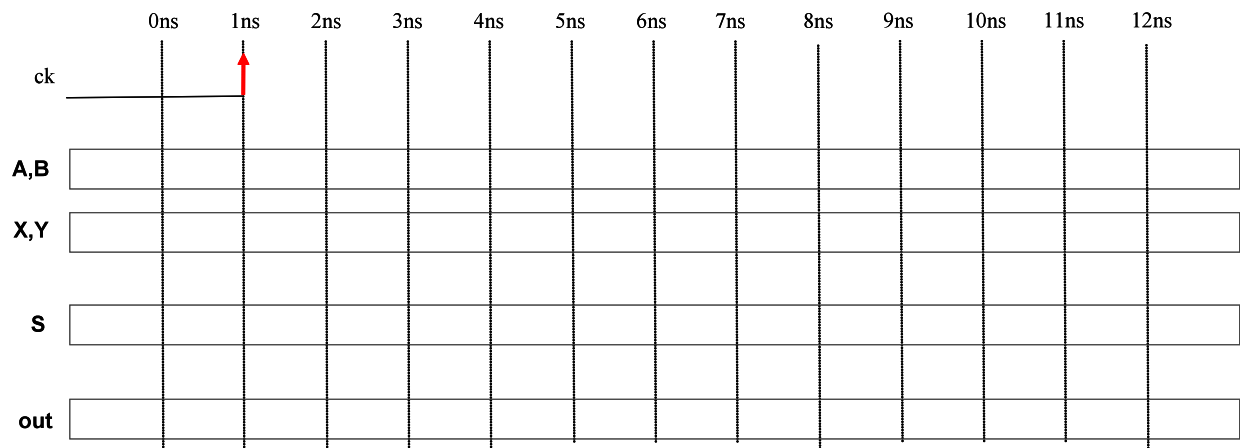


Fig. 7 – Formas de onda nas entradas e nos sinais internos do circuito da Fig. 6, para período mínimo do relógio e forma de onda do relógio (a completar).