

### 3ª Lista de Exercícios

#### Observação:

Os exercícios desta lista não serão cobrados. Porém, é altamente recomendável que os alunos tentem resolvê-los, a fim de se prepararem minimamente para a 2ª prova semestral.

#### Exercício 1

O bloco operativo mostrado na Fig. 1a foi projetado para realizar o cálculo  $S=A+B+C+D$  em quatro ciclos de relógio consecutivos, conforme descrito pelo algoritmo da Fig. 1b. Neste algoritmo, cada linha contém duas operações que deve ser realizadas em paralelo. Os valores A, B, C, D e S são inteiros sem sinal representados com 8 bits.

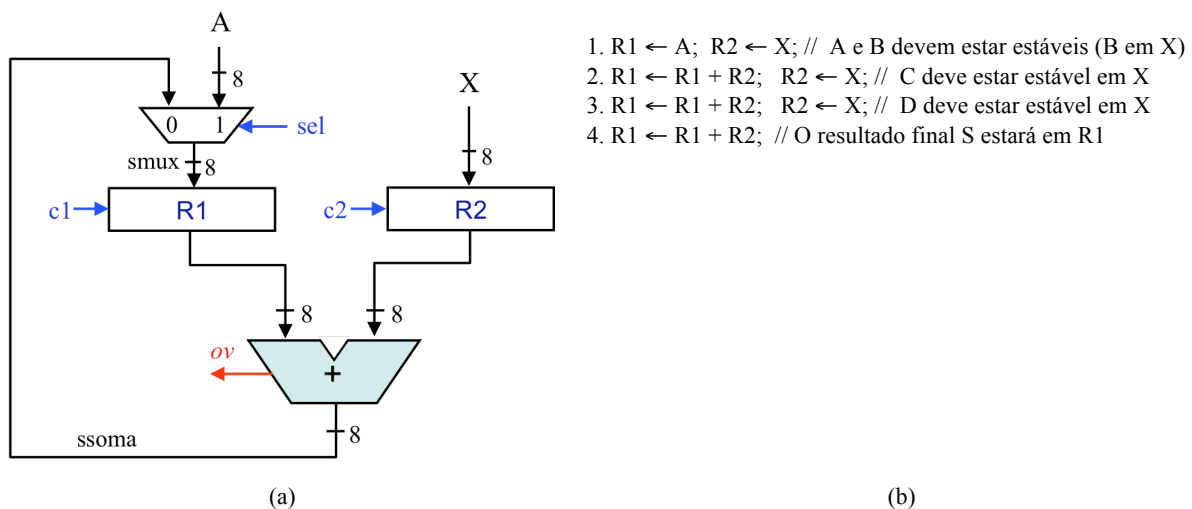


Fig.1 – Bloco operativo (a) e algoritmo (b) para calcular  $S=A+B+C+D$  em 4 ciclos de relógio.

Para os itens “a”, “b” e “c” que seguem, considere as características temporais dos componentes do bloco operativo da Fig. 1a mostradas na Tab. 1. Considere também que o tempo para geração dos sinais de comando **sel**, **c1** e **c2** seja desprezível.

Tab. 1 - Características temporais dos componentes do bloco operativo da Fig. 1.

característica	símbolo	valor
Tempo de setup para R1 e R2	$t_{SU}$	0,5 ns
Tempo de hold para R1 e R2	$t_H$	0,5 ns
Tempo de carga para R1 e R2	$t_{CO}$	1 ns
Atraso crítico do mux 2:1	$t_{DMUX}$	0,5 ns
Atraso crítico de um somador completo ( <i>full adder</i> )	$t_{DS}$	0,5 ns

- Com relação à execução da linha 1 do algoritmo da Fig. 1b, quanto tempo **antes** da primeira borda de relógio os sinais nas entradas **A** e **X** precisam estar estáveis para que os valores **A** e **B** sejam amostrados corretamente? Escreva estes valores ao lado das respectivas linhas no bloco operativo da Fig. 1a, anotando-os com sinal negativo.
- Considerando ainda a situação descrita no item anterior, anote o tempo de estabilização (**após** a primeira borda do sinal de relógio) de cada um dos demais sinais de dados (saídas de R1 e de R2, ssoma e smux) do bloco operativo da Fig. 1a. Após, determine o caminho crítico deste bloco operativo e calcule a frequência máxima do sinal de relógio.
- Complete no diagrama da Fig. 2 as formas de onda para os sinais de dados do bloco operativo da Fig. 1a para todas as 4 linhas do algoritmo da Fig. 1b. Considere que cada divisão do eixo dos tempos corresponda a 1 ns.

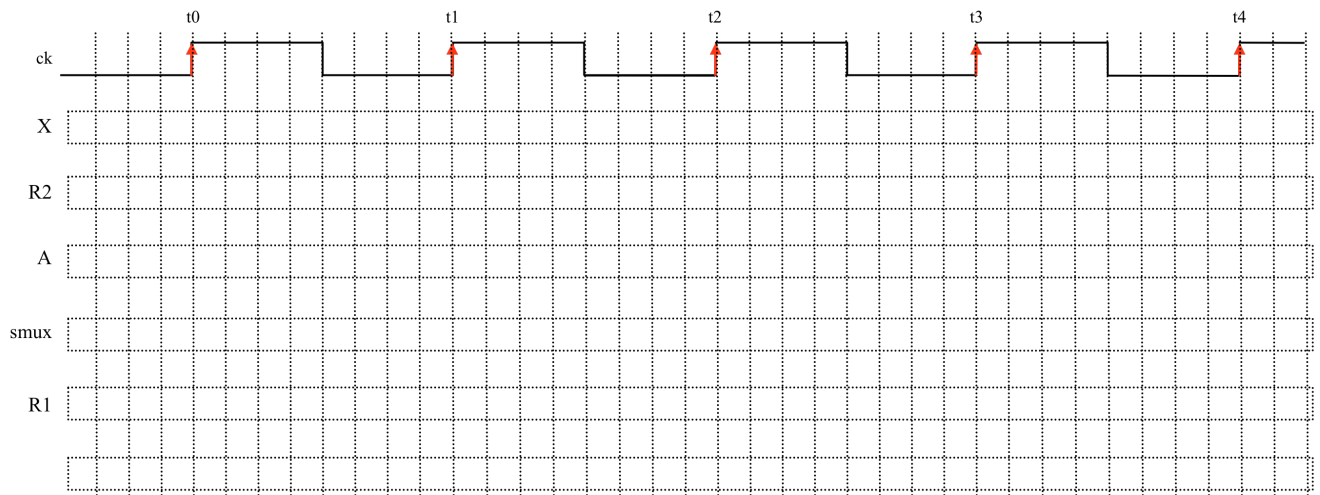


Fig.2 – Formas de onda dos sinais de dados do bloco operativo da Fig. 1a executando o algoritmo da Fig. 1b (a completar).

A Fig. 3 mostra o diagrama de estados de nível RT (FSMD) para o bloco de controle do bloco operativo da Fig. 1a realizar o algoritmo da Fig. 1b. Com base neste FSMD responda aos itens que seguem.

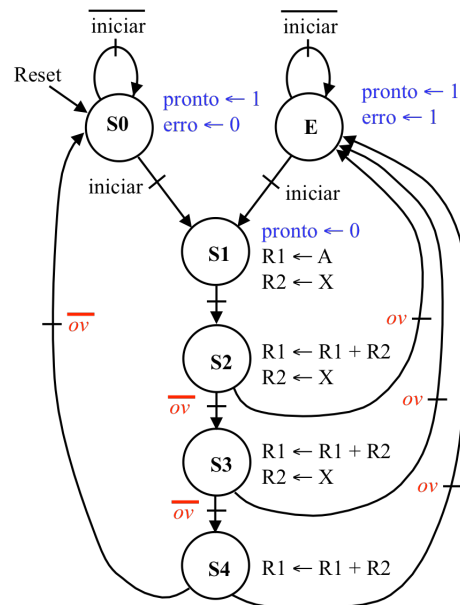


Fig.3 – Diagrama de estados de nível RT (FSMD) para o bloco de controle do bloco operativo da Fig. 1a realizar o algoritmo da Fig. 1b.

- Desenhe o diagrama de estados (FSM) que corresponde à FSMD da Fig. 2.
- Assumindo o modelo de Moore, esboce o diagrama para o bloco de controle do bloco operativo da Fig. 1a.
- Crie a tabela de transição de estados e a tabela de sinais de saída para o bloco de controle do bloco operativo da Fig. 1a.
- Assumindo a “Codificação 1” mostrada na Tab. 2, encontre as equações de estados e as equações de saída (todas minimizadas) para o bloco de controle do bloco operativo da Fig. 1a.
- Assumindo a “Codificação 2” mostrada na Tab. 2, refaça o item anterior. Neste caso, não é preciso minimizar as equações. Como se chama a “Codificação 2”?

Tab. 2 – Codificações para os estados da FSM da Fig. 3.

Estado	Codificação 1			Codificação 2					
	Q2	Q1	Q0	Q5	Q4	Q3	Q2	Q1	Q0
E	1	1	1	<b>1</b>	0	0	0	0	0
S0	0	0	0	0	0	0	0	0	<b>1</b>
S1	0	0	1	0	0	0	0	<b>1</b>	0
S2	0	1	0	0	0	0	<b>1</b>	0	0
S3	0	1	1	0	0	<b>1</b>	0	0	0
S4	1	0	0	0	<b>1</b>	0	0	0	0

## Exercício 2

Considere ainda o problema de realizar o cálculo  $S=A+B+C+D$  em quatro ciclos de relógio consecutivos, conforme apresentado na Questão 1. Considere que se deseje eliminar a possibilidade de ocorrência de *overflow* neste cálculo.

- Desenhe uma versão do bloco operativo da Fig. 1a na qual jamais ocorra *overflow*. O custo deste bloco operativo deve ser mínimo.
- Anote o tempo de estabilização (**após** a primeira borda do sinal de relógio) de cada um dos seguintes sinais de dados do bloco operativo desenhado no item anterior: saídas de R1 e de R2, ssoma e smux. Após, determine o caminho crítico deste bloco operativo e calcule a frequência máxima do sinal de relógio.
- Complete no diagrama da Fig. 4 as formas de onda para os sinais de dados do bloco operativo da do item “a” para todas a linha 1 do algoritmo da Fig. 1b (i.e., para o 1º ciclo de relógio). Assuma as características temporais da Tab. 1. Considere ainda que cada divisão do eixo dos tempos na Fig. 4 corresponda a 1 ns.

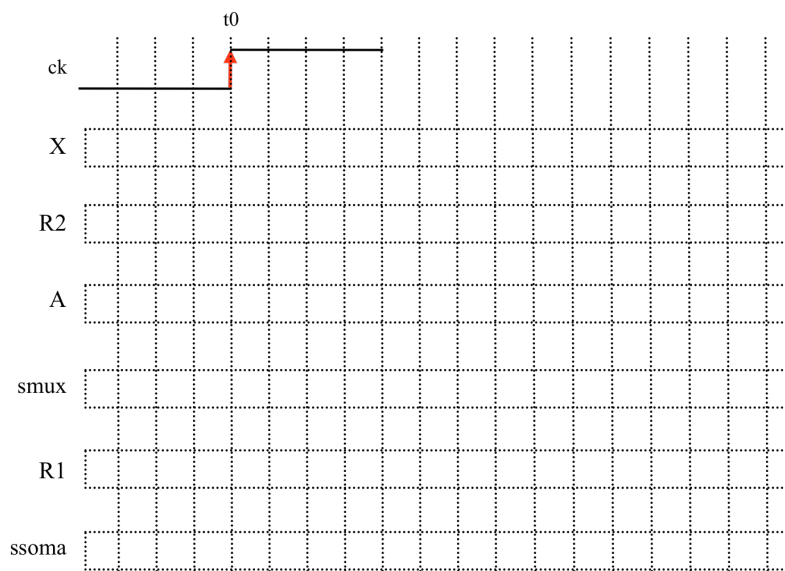


Fig.4 – Formas de onda (para o 1º ciclo) dos sinais de dados do bloco operativo do item “a” desta questão (a completar).

A Fig. 5 mostra o diagrama de estados de nível RT (FSMD) para o bloco de controle do bloco operativo do item “a” desta questão. Com base neste FSMD responda aos itens que seguem.

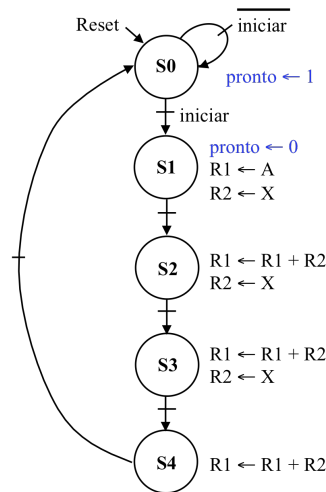


Fig.5 – Diagrama de estados de nível RT (FSMD) para o bloco de controle do bloco operativo do item “a” desta questão.

- Desenhe o diagrama de estados (FSM) que corresponde à FSMD da Fig. 5.
- Assumindo o modelo de Moore, esboce o diagrama para o bloco de controle do bloco operativo do item “a” desta questão.
- Crie a tabela de transição de estados e a tabela de sinais de saída para o bloco de controle do bloco operativo do item “a” desta questão.
- Assumindo a “Codificação 1” mostrada na Tab. 3, encontre as equações de estados e as equações de saída (todas minimizadas) para o bloco de controle do bloco operativo do item “a” desta questão.
- Assumindo a “Codificação 2” mostrada na Tab. 3, refaça o item anterior. Neste caso, não é preciso minimizar as equações.

Tab. 3 – Codificações para os estados da FSM da Fig. 5.

Estado	Codificação 1			Codificação 2				
	Q2	Q1	Q0	Q4	Q3	Q2	Q1	Q0
S0	0	0	0	0	0	0	0	1
S1	0	0	1	0	0	0	1	0
S2	0	1	0	0	0	1	0	0
S3	0	1	1	0	1	0	0	0
S4	1	0	0	1	0	0	0	0

### Exercício 3

A Fig. 6 mostra o diagrama do processador MIPS multiciclo (bloco operativo e bloco de controle), ao passo que a Fig. 7 mostra a máquina de estados (FSM) que descreve o comportamento do bloco de controle deste mesmo processador. Responda os itens que seguem.

- Quais estados escrevem (ou podem escrever) no PC?
- Quais estados utilizam a ULA?
- Quais estados acessam a Memória?
- Quais estados acessam o Banco de Registradores?
- Qual é a função geral dos registradores temporários do bloco operativo do MIPS multiciclo?
- A cada borda ativa do relógio o registrador temporário ULASaída é carregado com o resultado da ULA. Em quais estados e/ou para quais instruções seu conteúdo tem utilidade para o funcionamento do MIPS multiciclo?
- Usando a codificação de estados apresentada na Tab. 4 e baseando-se na Tab. 5, crie uma Tabela de Transição de Estados contendo somente valores binários.

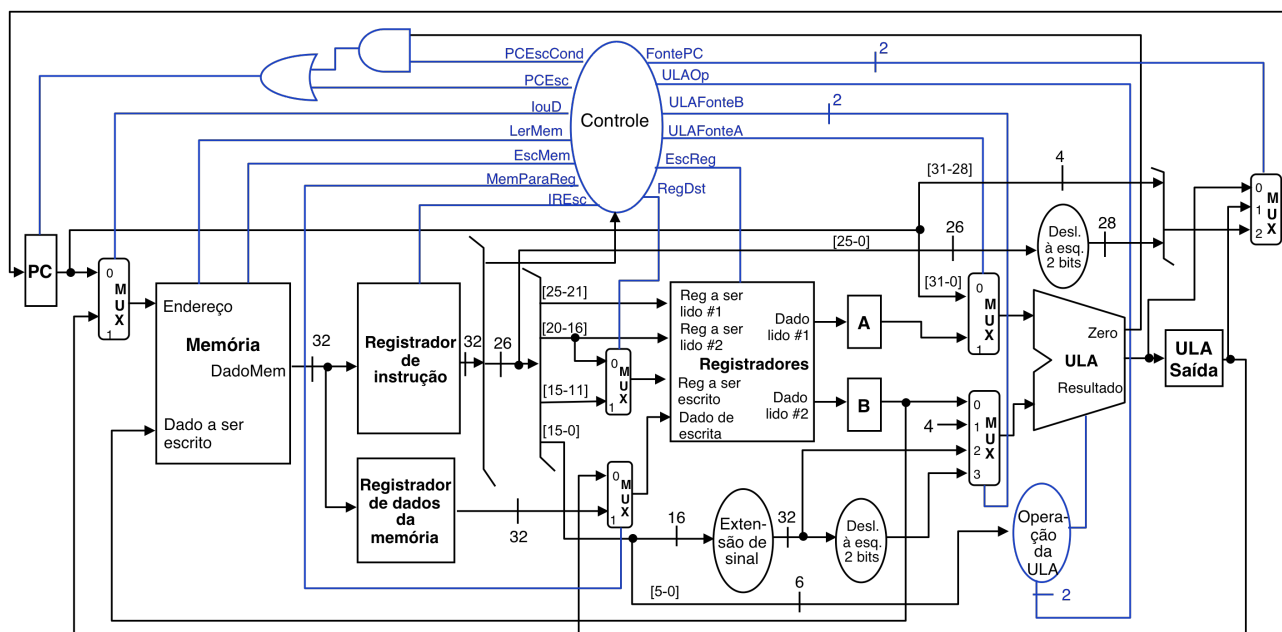


Fig. 6 – Diagrama do processador MIPS multiciclo (bloco operativo e bloco de controle).

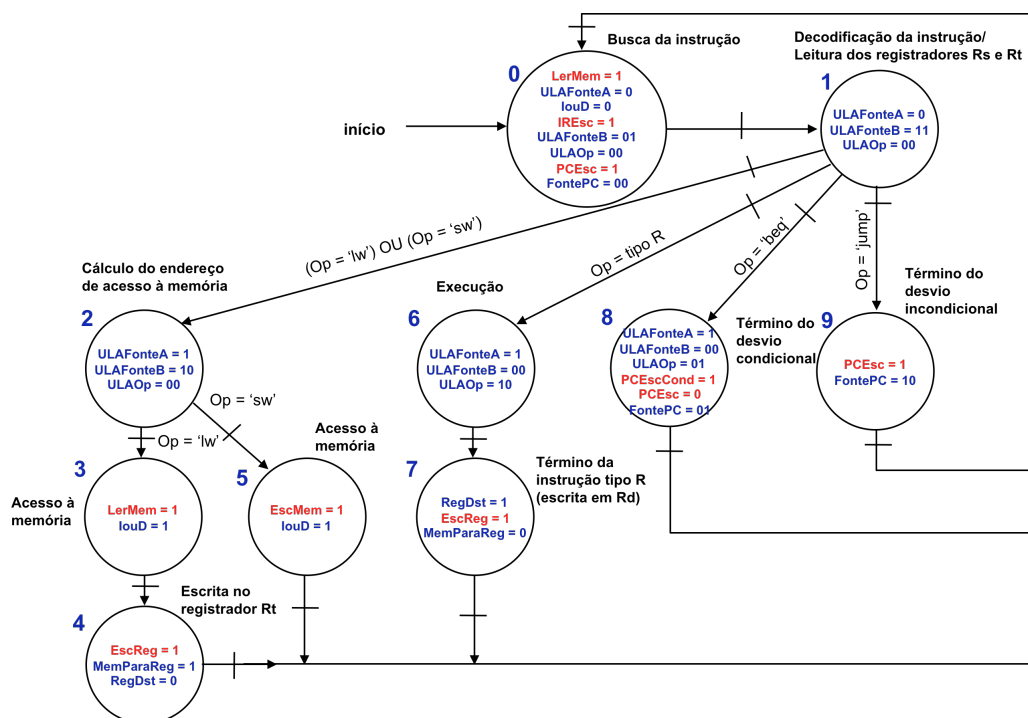


Fig. 7 - Máquina de estados (FSM) que descreve o comportamento do bloco de controle do processador MIPS multiciclo.

Tab. 4 – Uma codificação para os estados da FSM da Fig. 7.

Estado	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

- h) Obtenha as equações em soma de produtos (não necessariamente minimizadas) para as variáveis de próximo estado  $Q3^+$ ,  $Q2^+$ ,  $Q1^+$ ,  $Q0^+$ .
- i) Usando a codificação de estados apresentada na Tab. 4, complete na Tab. 6 os valores binários dos estados e os valores dos sinais de saída (comando). Observe as regras vistas em aula para a atribuição de “X”(don't care) aos sinais de saída.
- j) Caso seja possível agrupar sinais de saída mediante a exploração de “X”, crie uma nova tabela de saída. Após, obtenha as equações em soma de produtos (não necessariamente minimizadas) para as variáveis de saída.

Tab. 5 – Descrição de alto nível para as transições de estados da FSM da Fig. 7.

Estado Atual	Opcode	Próximo Estado
0	-	1
1	100011	2
	101011	2
	000000	6
	000100	8
	000010	9
2	100011	3
	101011	5
3	-	4
4	-	0
5	-	0
6	-	7
7	-	0
8	-	0
9	-	0

Tab. 6 – Valores binários dos sinais de saída para a FSM da Fig. 7 (a completar).

Estado	PCEscCond	PCEsc	louD	LerMem	EscMem	MemParaReg	IREsc	FontePC[1]	FontePC[0]
0									
1									
2									
3									
4									
5									
6									
7									
8									
9									

Estado	ULAOp[1]	ULAOp[0]	ULAFonteB[1]	ULAFonteB[0]	ULAFonteA	EscReg	RegDst
0							
1							
2							
3							
4							
5							
6							
7							
8							
9							

Para responder aos itens que seguem, considere as características temporais dos componentes do MIPS multiciclo mostradas na Tab. 7.

- k) Anote no diagrama da Fig. 6 os tempos de estabilização dos sinais associados à execução do estado 0.

- l) Identifique os dois caminhos mais críticos do MIPS multiciclo. Calcule seus respectivos atrasos e identifique as parcelas que compõem tais atrasos.
- m) Calcule a frequência máxima de relógio para este MIPS multiciclo, mostrando-a em GHz (Gigahertz).

Tab. 7 – Características temporais dos componentes do MIPS, versão multiciclo. Obs: 1 ps =  $1 \times 10^{-12}$  s

Componente	Característica	Símbolo	Valor
Memória	tempo para leitura	$td_{LMEM}$	300 ps
Memória	tempo para escrita (setup)	$td_{EMEM}$	300 ps
Banco de Registradores	tempo para leitura	$td_{LREG}$	70 ps
Banco de Registradores	tempo para escrita (setup)	$td_{EREG}$	70 ps
ULA	atraso para qualquer operação	$td_{ULA}$	60 ps
Qualquer mux 2:1	atraso	$td_{mux}$	2 ps
mux 3:1 e mux 4:1	atraso	$td_{mux}$	4 ps
PC, RE e qualquer registrador temporário	tempo de setup	tsu	5 ps
PC, RE e qualquer registrador temporário	tempo de carga	tco	5 ps
PC, RE e qualquer registrador temporário	tempo de hold	th	Desprezível (0 ps)
Deslocador, extensão de sinal	atraso	-	Desprezível (0 ps)
Lógica de saída do controle	atraso	-	3 ps
Controle da ULA	atraso	-	2 ps
porta AND, porta OU			Desprezível (0 ps)

RE= registrador de estados (bloco de controle)

#### Exercício 4

Seja o trecho de programa em linguagem de montagem do MIPS descrito na Fig. 8. Considere também versões de MIPS monociclo e multiciclo com os seguintes períodos de relógio:  $T_{mono}=10ns$  e  $T_{multi}=4ns$ .

menor:	subi	\$sp, \$sp, 4
	sw	\$s0, 0(\$sp)
	slt	\$t0, \$a0, \$a1
	beq	\$t0, \$zero, else
	add	\$s0, \$a0, \$zero
	j	prox
else:	add	\$s0, \$a1, \$zero
prox:	add	\$v0, \$s0, \$zero
	lw	\$s0, 0(\$sp)
	addi	\$sp, \$sp, 4
	jr	

Fig.8 – Trecho de programa em linguagem de montagem do MIPS.

- a) Calcule a frequência de relógio para as duas versões de MIPS.
- b) Calcule o tempo de execução, em ns, do trecho de código da Fig. 8 em cada uma das duas versões de MIPS.
- c) Qual é o CPI médio do trecho de código da Fig. 8 quando executado no MIPS monociclo? E no multiciclo? Explique e ou mostre os cálculos.

**Exercício 5**

Um programa P, escrito para o MIPS, possui N instruções distribuídas conforme mostrado na Tab. 1.

Tab. 1 – "Mix" de instruções do programa P, quando compilado para o MIPS.

tipo de instrução	% do total (N)
R	40%
lw	20%
sw	10%
beq	20%
j	10%

- a) Calcule a relação  $T_{\text{multi}}/T_{\text{mono}}$  (período do MIPS multiciclo pelo período do MIPS monociclo) para que o tempo de execução de P no MIPS multiciclo seja igual ao tempo de execução de P no MIPS monociclo.
- b) A relação  $T_{\text{multi}}/T_{\text{mono}}$  obtida no item anterior é factível? Comente.