



4ª Lista de Exercícios

Observações:

Os exercícios desta lista não serão cobrados. Porém, é altamente recomendável que os alunos tentem resolvê-los, a fim de se prepararem minimamente para a 2ª prova semestral.

Para resolver os exercícios desta lista, considere o processador MIPS multiciclo estudado em aula, cujo diagrama (bloco operativo + bloco de controle) é mostrado na Fig. 1 (ao final desta lista de exercícios). As Tabs. 1 e 2 (também ao final desta lista) apresentam, respectivamente, a descrição no nível RT das operações realizadas em cada estado de execução e as características temporais dos componentes do MIPS multiciclo.

Exercício 1

Considerando o MIPS multiciclo estudado em aula, responda:

- a) Por que o registrador PC possui um sinal de carga?
- b) Por que o registrador RI possui um sinal de carga?
- c) No MIPS a instrução addi é definida da seguinte maneira.

Mnemônico	Instrução	Linguagem de Montagem	Significado
addi	Adição imediata	addi \$s1, \$s2, const	$\$s1 \leftarrow \$s2 + \text{const}$

Considerando os estados (e as operações do nível RT) mostradas na Tab. 1, qual seria a sequência de estados para executar esta instrução?

Exercício 2

- a) Escreva as expressões para calcular os TEs (tempos de estabilização) dos sinais necessários para realizar a operação do nível RT “ULASaída = A + extensão de sinal (RI[15-0])” do **estado 2** do MIPS multiciclo. Para qualquer sinal “s”, a expressão para TE(s) só pode usar os símbolos apresentados na tabela 2 (coluna “símbolos”) e/ou os TEs de outros sinais. Sempre que possível, use os TEs já calculados antes (na ordem em que aparecem).
- b) Calcule TE(Resultado) para a operação do nível RT “ULASaída = A op B”, realizada no estado 6 do MIPS multiciclo desta questão.
- c) Usando o conceito de TEs (tempos de estabilização) dos sinais e os valores apresentados na Tab. 2, calcule D(Estado 0), i.e., o atraso crítico do **estado 0**.
- d) Usando o conceito de TEs (tempos de estabilização) dos sinais e os valores apresentados na Tab. 2, calcule D(Estado 0), i.e., o atraso crítico do **estado 3**.

Exercício 3

Usando os valores apresentados na Tab. 2, calcule D(LPE), i.e., o atraso crítico da Lógica de Próximo Estado do MIPS multiciclo.

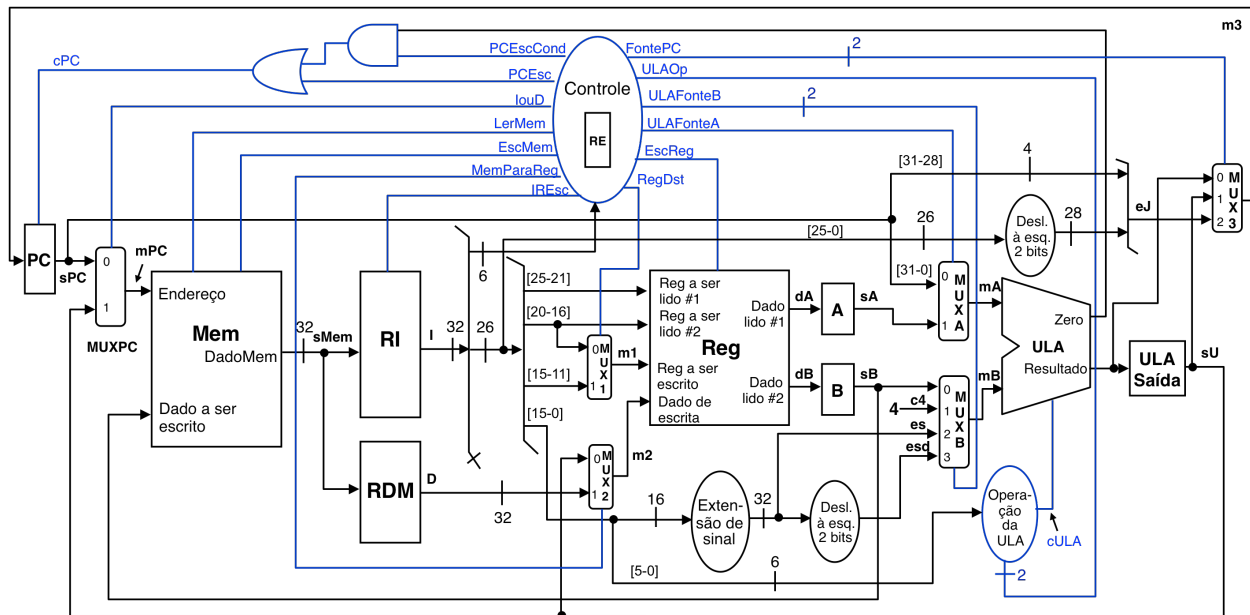


Fig. 1 – Diagrama do processador MIPS multiciclo (bloco operativo e bloco de controle): Mem= Memória, RI= Registrador de Instrução, RDM= Registrador de Dados da Memória, RE= Registrador de Estados (bloco de controle), Reg= Banco de Registradores.

Tab. 1 – Descrição no nível RT das operações realizadas em cada estado de execução do MIPS multiciclo.

Instrução tipo R	Instrução lw	Instrução sw	Instrução beq	Instrução j
0	RI = Mem[PC] PC = PC + 4			
1	A = Reg [RI[25-21]] B = Reg [RI[20-16]] ULASaída = PC + (extensão de sinal(RI[15-0]) <<2)			
6 ULASaída = A op B	2 ULASaída = A + extensão de sinal (RI[15-0])	5 Mem [ULASaída] = B	8 Se (A == B) então PC = ULASaída	9 PC = PC[31-28] (RI[25-0] <<2)
7 Reg [RI[15-11]] = ULASaída	3 RDM = Mem [ULASaída]			
	4 Reg[RI[20-16]] = RDM			

Tab. 2 – Características temporais dos componentes do MIPS, versão multiciclo. Obs: 1 ps = 1 x 10⁻¹² s

Componente	Característica	Símbolo	Valor [ps]
Memória	tempo para leitura	td _{LMEM}	1000
Memória	tempo para escrita (setup)	td _{EMEM}	1000
Banco de Registradores	tempo para leitura	td _{LREG}	200
Banco de Registradores	tempo para escrita (setup)	td _{EREG}	200
ULA	atraso para qualquer operação	td _{ULA}	200
Qualquer mux 2:1	atraso	td _{mux2:1}	20
mux 3:1 e mux 4:1	atraso	td _{mux4:1}	40
PC, RI, RDM, A, B, ULASaída, RE	tempo de setup	tsu	10
PC, RI, RDM, A, B, ULASaída, RE	tempo de carga	tco	20
PC, RI, RDM, A, B, ULASaída, RE	tempo de hold	th	Desprezível
Deslocador, extensão de sinal, portas E, OU	atraso	-	Desprezível
Lógica de Saída do controle	atraso	td _{LS}	40
Lógica de Próximo Estado do controle	atraso	td _{LPE}	20
Controle da ULA	atraso	td _{cULA}	10