

# Taller de Arquitectura

Sistemas Digitales

Segundo Cuatrimestre 2025

## 1. Introducción

Será posible comparar, analizar y validar los seguimientos realizados en papel utilizando el Simulador RIPES. En el link <https://ripes.me/>. También deberán utilizar el set de instrucciones adjunto al taller.

Opcionalmente, si quieren profundizar en la arquitectura RISC-V, pueden hacer uso de los primeros dos capítulos del manual de la arquitectura el cuál pueden encontrar acá: <http://riscvbook.com/spanish/guia-practica-de-risc-v-1.0.5.pdf>

**Ejercicio 1** Se tiene la estructura **InformacionAlumno** que contiene el **ID del alumno** y su **nota** en el ultimo examen, numeros sin signo de 16 bits y 8 bits respectivamente. En memoria se encuentra un arreglo del tipo **InformacionAlumno** con la forma:

Direccion	0x0000	0x0002	0x0003	0x0005	...	0x0030	0x0032	0x0033
Valor	5492	1	8886	6	...	6540	10	0

Donde el final del arreglo es demarcado por un ID nulo. Se pide

- Calcular cuantos bytes ocupa en memoria la estructura **InformacionAlumno**
- Escribir una funcion que dado un puntero a un arreglo de **InformacionAlumno**, devuelva la suma de las notas de los alumnos con ID impar. Escribir un caso de test donde verificar el funcionamiento de la funcion.

Ayuda: Para crear el arreglo en Ripes pueden hacerlo definiendo por separado cada elemento de **InformacionAlumno** en **.data**

Ejemplo:

```
.data
tablaCalificaciones: .half 5523
                    .byte 3
                    .half 8754
                    .byte 6
                    :
                    .half 0      #Declaramos el final del arreglo
```

---

Checkpoint 1

**Ejercicio 2** Responder las siguientes preguntas al comparando las arquitecturas entre ASM MicroOrgaSmall y ASM RISC-V:

1. Analizar la ISA: memoria-regitros vs registro-registro, unidad direccionables (diferencias entre microOrgaSmall y RiskV).
2. ¿Cómo se diferencian los registros y las instrucciones que utilizan registros entre las arquitecturas MicroOrgaSmall y RISC-V?

3. ¿Qué implicancias tiene esa diferencia en la cantidad de accesos a memoria que se realizan en la etapa de fetch? ¿Cómo se hace una lectura del PC?
4. ¿Qué tamaño o tipo de unidades direccionables usa cada arquitectura (por byte, por palabra, etc.) y cómo afecta eso el cálculo de direcciones?
5. ¿Cómo se decodifica una instrucción tipo R en RISC-V? Por ejemplo `ADDI t0, t1, 0x765`
6. ¿Qué pasaría si el inmediato tuviese más de 12 bits, por ejemplo `ADDI t0, t1, 0xAFF3`
7. ¿Por qué en la arquitectura MicroOrgaSmall tengo la instrucción `MOV` para mover valores entre registros y en RISC-V no?
8. Mencionar las diferencias entre los tipo de instrucciones de salto condicional e incondicional entre MicroOrgaSmall y RISC-V
9. En RISC-V, ¿los saltos condicionales son absolutos o relativos? ¿Y en MicroOrgaSmall? Comparar los mecanismos que usan RISC-V y MicroOrgaSmall para determinar si debe realizar un salto condicional.
10. ¿Cuál es la ventaja de tener operaciones de tres registros en RISC-V en lugar de dos como MicroOrgaSmall?

---

Checkpoint 2

---