دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

تمرین کامپیوتری اول

نام و نام‌خانوادگی : فائزه میثاقی

شماره دانشجویی : ۸۱۱۹۰۲۴۱۲

نیم‌سال دوم

سال تحصیلی ۴۰۴-۴۰۵

فهرست مطالب

۱ مفروضات و پارامترهای شبیه‌سازی ۲

۲ طراحی گیت‌های پایه ۲

۱.۲ طراحی گیت‌ها ۲

۱.۱.۲ INVERTER ۳

۲.۱.۲ NAND / AND ۴

۳.۱.۲ NOR / OR ۵

۴.۱.۲ XOR ۶

۵.۱.۲ MUX ۶

۲.۲ بیشترین تاخیر انتشار هر گیت ۷

۳.۲ بررسی اثرات دما و گوشه‌های فرآیند ساخت بر بیشترین تاخیر انتشار ۷

۴.۲ بررسی تاثیر ابعاد ترانزیستورها بر تاخیر انتشار ۹

۳ طراحی تمام‌جمع‌کننده ۱۱

۱.۳ طراحی Full Adders ۱۱

۱.۱.۳ بررسی صحت عملکرد Full Adders ۱۱

۲.۱.۳ تاخیرانتشار بیت sum و carry ۱۲

۲.۳ طراحی 8bit Full Adder ۱۲

۱.۲.۳ بررسی صحت عملکرد 8bit Full Adder ۱۳

۲.۲.۳ تاخیرانتشار بیت sum و carry ۱۴

۱ مفروضات و پارامترهای شبیه‌سازی

در طراحی ، پارامترها و شرایط زیر به عنوان مفروضات پایه در نظر گرفته شده‌اند:

- **تکنولوژی ساخت:** تمامی شبیه‌سازی‌ها بر اساس تکنولوژی 90nm CMOS انجام شده و از فایل کتابخانه و مدل‌های مربوط به این تکنولوژی برای ترانزیستورهای NMOS و PMOS استفاده شده است.
- **ولتاژ تغذیه:** سطح ولتاژ تغذیه مدار (V_{DD}) در تمام شبیه‌سازی‌ها ثابت و برابر با 1V فرض شده است.
- **طول کانال ترانزیستورها (L):** حداقل طول کانال برای تمامی ترانزیستورهای مدار برابر با $L = 180\text{nm}$ در نظر گرفته شده است.
- **منابع ورودی:** برای بررسی درستی عملکرد منطقی گیت‌ها، از منابع ولتاژ پالسی استفاده شد.
- **زمان صعود و نزول (T_R و T_F):** به صورت پیش‌فرض برابر با 20ps در نظر گرفته شد.

۲ طراحی گیت‌های پایه

۱.۲ طراحی گیت‌ها

برای جلوگیری از پیچیدگی کد و رعایت طراحی ماژولار، هر گیت به صورت یک زیرمدار جداگانه با دستور .SUBCKT در یک فایل مجزا به نام gates.sp تعریف شد. ابعاد اولیه‌ای که برای عرض ترانزیستورهای NMOS (W_n) و PMOS (W_p) در هر گیت در نظر گرفتیم، در جدول زیر خلاصه شده است:

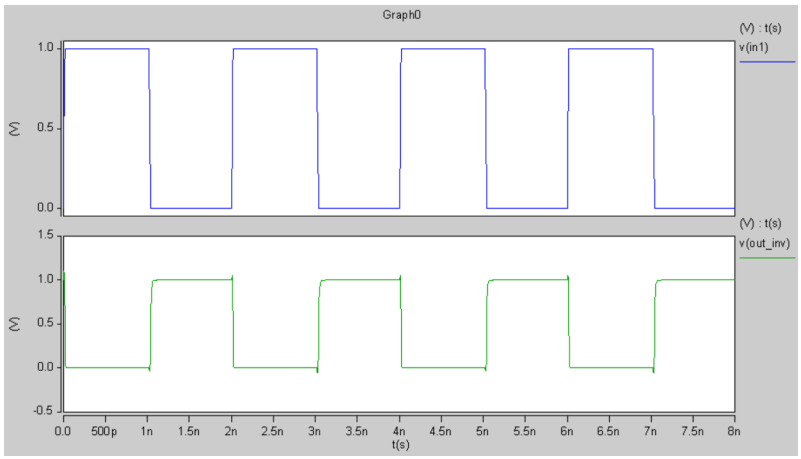
جدول ۱: ابعاد اولیه عرض ترانزیستورهای گیت‌های پایه

گیت نوع	W_n	W_p
INV	$1\mu\text{m}$	$2\mu\text{m}$
NAND / AND	$2\mu\text{m}$	$2\mu\text{m}$
NOR / OR	$1\mu\text{m}$	$4\mu\text{m}$
XOR	$2\mu\text{m}$	$4\mu\text{m}$
MUX	$2\mu\text{m}$	$4\mu\text{m}$

در نهایت، برای اطمینان از درستی عملکرد منطقی گیت‌ها، فایل تست‌بنچ جداگانه‌ای به نام waveform.sp ایجاد کردیم و در آن تحلیل گذرای زمانی (.TRAN) را انجام دادیم. به این صورت که به ورودی‌ها منابع ولتاژ پالسی با دوره‌های تناوب مختلف اعمال کردیم تا تمام حالت‌های ممکنِ صفر و یک تست شوند.

در ادامه، نتایج شبیه‌سازی و شکل‌موج‌های خروجی هر گیت آورده شده است:

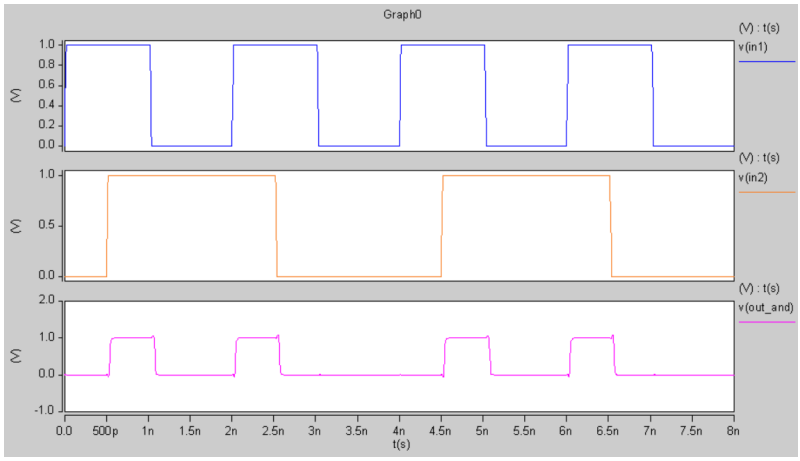
۱.۱.۲ INVERTER



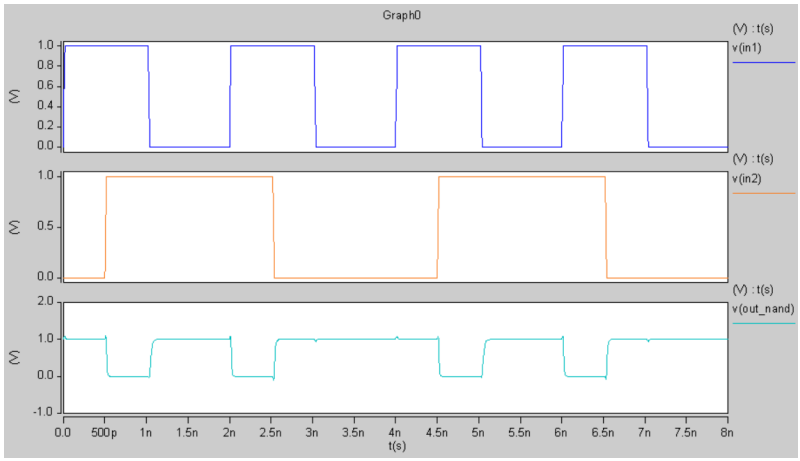
شکل ۱: شکل‌موج‌های ورودی و خروجی گیت INVERTER

با بررسی شکل‌موج‌های ورودی و خروجی، به وضوح مشاهده می‌شود که خروجی گیت همواره وضعیت منطقی معکوسِ سیگنال ورودی را به خود می‌گیرد که این موضوع، صحت عملکرد گیت INVERTER را تایید می‌کند.

۲.۱.۲ NAND / AND



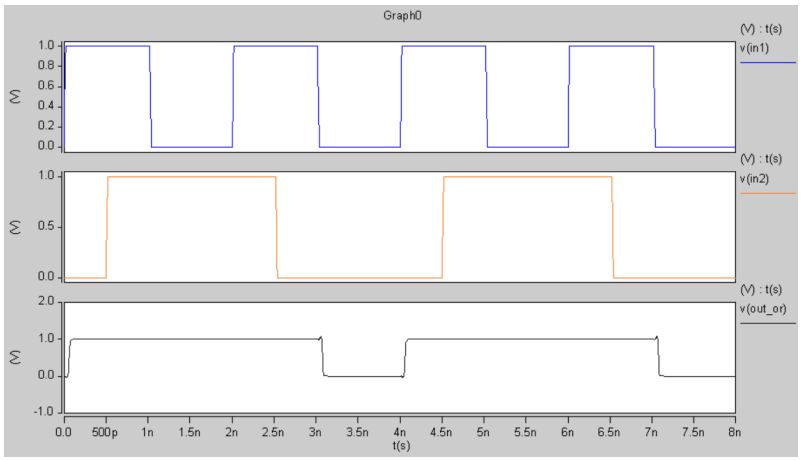
شکل ۲: شکل‌موج‌های ورودی و خروجی گیت AND



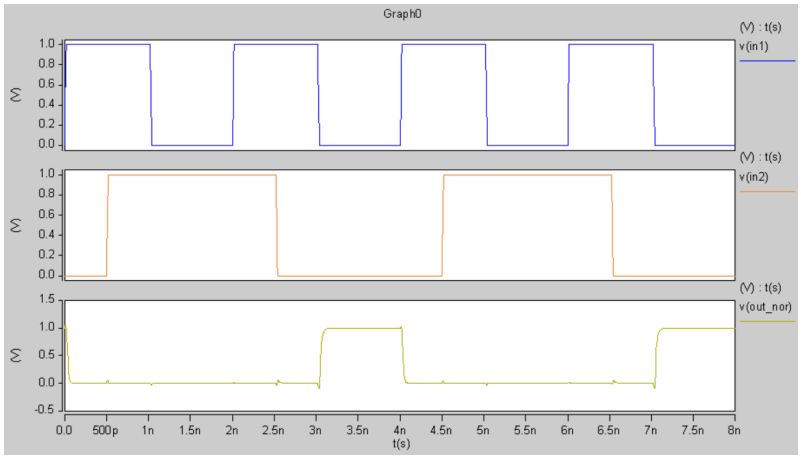
شکل ۳: شکل‌موج‌های ورودی و خروجی گیت NAND

بررسی شکل‌موج‌ها نشان می‌دهد که خروجی گیت NAND تنها زمانی صفر است که هر دو ورودی آن در سطح یک منطقی باشند. خروجی گیت AND نیز دقیقاً معکوس این حالت عمل کرده و درستی جدول صحت هر دو گیت تایید می‌شود.

۳.۱.۲ NOR / OR



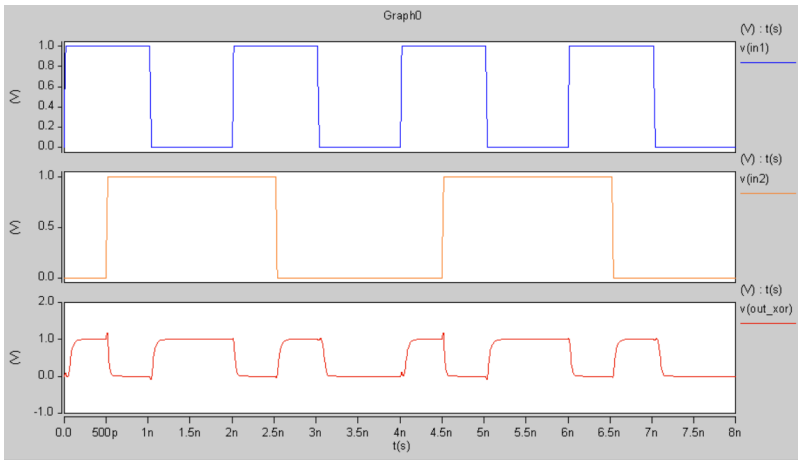
شکل ۴: شکل‌موج‌های ورودی و خروجی گیت OR



شکل ۵: شکل‌موج‌های ورودی و خروجی گیت NOR

بر اساس شکل‌موج‌های به‌دست‌آمده، خروجی گیت OR به محض یک شدن حداقل یکی از ورودی‌ها، وضعیت یک منطقی را پیدا می‌کند. از سوی دیگر، خروجی گیت NOR دقیقاً رفتار معکوس داشته و تنها در بازه‌های زمانی که هر دو ورودی صفر هستند، در سطح ولتاژ بالا قرار می‌گیرد.

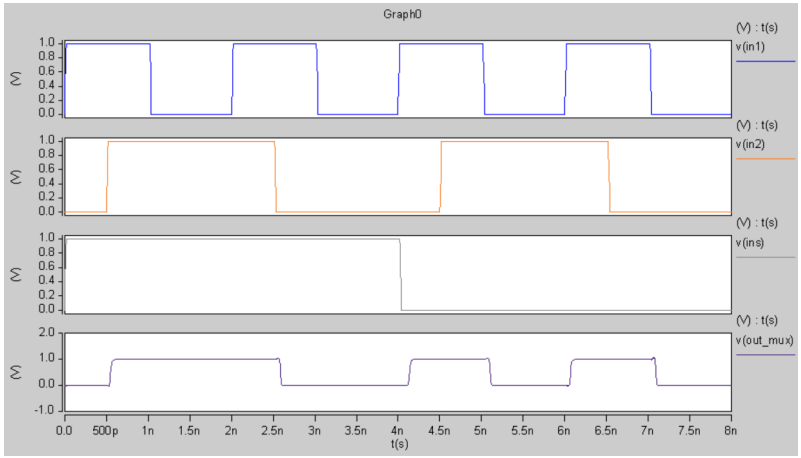
۴.۱.۲ XOR



شکل ۶: شکل‌موج‌های ورودی و خروجی گیت XOR

با دقت در نتایج شبیه‌سازی مشخص است که خروجی گیت XOR تنها در بازه‌های زمانی که دو سیگنال ورودی وضعیت منطقی متفاوتی نسبت به یکدیگر دارند یکی صفر و دیگری یک ، یک منطقی می‌شود و در صورت تشابه ورودی‌ها، خروجی صفر است.

۵.۱.۲ MUX



شکل ۷: شکل‌موج‌های سیگنال‌های ورودی، پایه Select و خروجی MUX

مطابق شکل‌موج‌های ثبت‌شده، عملکرد مالتی‌پلکسر کاملاً صحیح است؛ به گونه‌ای که با صفر بودن پایه Select ، سیگنال خروجی دقیقاً ورودی دوم را دنبال می‌کند و با یک شدن پایه انتخاب، خروجی مقادیرِ سیگنال ورودی اول را به خروجی منتقل می‌کند.

۲.۲ بیشترین تاخیر انتشار هر گیت

برای یافتن بیشترین تاخیر انتشار از روش حساسیت‌سنجی مسیرها استفاده شد؛ به این صورت که برای هر گیت یکی از ورودی‌ها را با سیگنال پالس تغییر دادیم در حالی که ورودی دیگر را در وضعیت خنثی ثابت نگه داشتیم تا تغییرات به خروجی منتقل شود. این آزمایش برای تک‌تک ورودی‌ها تکرار شد. در نهایت، تاخیر انتشار برای هر مسیر به صورت میانگین تاخیر بالارونده و پایین‌رونده ($t_{pd} = \frac{t_{pLH}+t_{pHL}}{2}$) محاسبه گردید و ماکزیمم این مقادیر به عنوان بدترین حالت تاخیر آن گیت استخراج شد که نتایج آن در جدول ۲ خلاصه شده است:

جدول ۲: بدترین حالت تاخیر انتشار گیت‌های پایه

گیت نام	انتشار تاخیر حالت بدترین
INV	10.67ps
NAND	21.75ps
NOR	25.98ps
AND	43.80ps
OR	49.55ps
XOR	70.77ps
MUX	103.70ps

۳.۲ بررسی اثرات دما و گوشه‌های فرآیند ساخت بر بیشترین تاخیر انتشار

در این بخش از آزمایش هدف ما بررسی پایداری و سرعت گیت‌ها در شرایط مختلف محیطی و تغییرات PVT بود. برای این کار ابتدا برای هر گیت بررسی کردیم که کدام الگوی ورودی باعث ایجاد بیشترین تاخیر می‌شود. پس از مشخص شدن این الگوها، همان ورودی‌ها را به مدار اعمال کردیم. در مرحله بعد برای مشاهده اثر تغییرات فرآیند ساخت و دما، شبیه‌سازی‌ها را در ۵ دمای مختلف (از $10°C$ تا $70°C$) و در ۵ گوشه مختلف فرآیند ساخت (TT, SS, FF, SF, FS) اجرا کردیم. در کد نوشته شده، تاخیر انتشار (t_{pd}) را بر اساس فرمول میانگین، یعنی $t_{pd} = \frac{t_{pLH}+t_{pHL}}{2}$ اندازه‌گیری کردیم. در نهایت داده‌های به‌دست‌آمده از شبیه‌سازی را استخراج کرده و در جداول زیر دسته‌بندی کردیم تا بتوانیم تاثیر تغییر دما و کرنرها را روی سرعت هر گیت به‌خوبی مقایسه و تحلیل کنیم.

جدول ۳: تاخیر انتشار گیت INV

Corner / Temp	$10°C$	$25°C$	$40°C$	$55°C$	$70°C$
TT	8.61ps	8.75ps	8.89ps	9.20ps	9.44ps
SS	9.48ps	9.83ps	10.04ps	10.23ps	10.42ps
FF	7.70ps	7.86ps	8.04ps	8.20ps	8.34ps
SF	8.42ps	8.60ps	8.75ps	8.92ps	9.25ps
FS	8.83ps	9.01ps	9.20ps	9.42ps	9.58ps

جدول ۴: تاخیر انتشار گیت NAND

Corner / Temp	10°C	25°C	40°C	55°C	70°C
TT	21.04ps	21.48ps	22.20ps	22.82ps	23.37ps
SS	23.81ps	24.39ps	24.95ps	25.50ps	26.09ps
FF	18.48ps	18.97ps	19.44ps	19.93ps	20.64ps
SF	20.00ps	20.56ps	21.22ps	21.77ps	22.52ps
FS	22.25ps	22.74ps	23.28ps	23.96ps	24.60ps

جدول ۵: تاخیر انتشار گیت NOR

Corner / Temp	10°C	25°C	40°C	55°C	70°C
TT	20.79ps	21.51ps	22.27ps	22.98ps	23.64ps
SS	23.45ps	24.03ps	24.72ps	25.33ps	26.10ps
FF	18.56ps	19.10ps	19.65ps	20.21ps	21.03ps
SF	20.94ps	21.50ps	22.46ps	23.12ps	23.80ps
FS	21.05ps	21.56ps	22.06ps	22.81ps	23.64ps

جدول ۶: تاخیر انتشار گیت AND

Corner / Temp	10°C	25°C	40°C	55°C	70°C
TT	41.15ps	42.11ps	43.14ps	44.50ps	45.59ps
SS	47.41ps	48.59ps	49.70ps	50.79ps	52.02ps
FF	35.44ps	36.38ps	37.31ps	38.35ps	39.29ps
SF	40.66ps	41.80ps	42.98ps	44.17ps	45.46ps
FS	41.80ps	42.70ps	43.77ps	44.73ps	45.93ps

جدول ۷: تاخیر انتشار گیت OR

Corner / Temp	10°C	25°C	40°C	55°C	70°C
TT	42.49ps	43.75ps	45.08ps	46.39ps	47.55ps
SS	48.49ps	49.70ps	51.10ps	52.53ps	53.96ps
FF	37.18ps	38.32ps	39.43ps	40.60ps	41.88ps
SF	42.86ps	44.05ps	45.50ps	46.71ps	47.98ps
FS	42.52ps	43.77ps	44.81ps	46.13ps	47.60ps

جدول ۸: تاخیر انتشار گیت XOR

Corner / Temp	10°C	25°C	40°C	55°C	70°C
TT	64.82ps	66.36ps	68.05ps	69.72ps	71.44ps
SS	74.34ps	76.43ps	78.20ps	79.95ps	81.99ps
FF	56.04ps	57.55ps	59.03ps	60.57ps	62.22ps
SF	63.80ps	65.52ps	67.38ps	69.10ps	70.92ps
FS	66.61ps	68.05ps	69.76ps	71.56ps	73.18ps

جدول ۹: تاخیر انتشار گیت MUX

Corner / Temp	10°C	25°C	40°C	55°C	70°C
TT	96.31ps	98.82ps	101.30ps	104.10ps	106.90ps
SS	111.80ps	114.70ps	117.50ps	120.50ps	123.40ps
FF	82.82ps	85.35ps	87.76ps	90.28ps	92.82ps
SF	96.57ps	99.17ps	102.00ps	104.70ps	107.40ps
FS	96.68ps	99.16ps	101.90ps	104.00ps	106.90ps

با نگاهی به تمامی جداول، یک روند کاملاً مشخص دیده می‌شود: با افزایش دما از 10°C به 70°C، تاخیر انتشار (t_{pd}) در تمام گیت‌ها و تمام کرنرها افزایش می‌یابد.
تغییرات در فرآیند ساخت به شدت روی سرعت ترانزیستورها تاثیر می‌گذارد:

- **گوشه (Slow-Slow) SS:** در تمامی گیت‌ها، بیشترین تاخیر مربوط به این حالت است. در این کرنر، هم ترانزیستورهای NMOS و هم PMOS در کندترین حالت خود هستند
- **گوشه (Fast-Fast) FF:** کمترین تاخیر در تمامی جداول مربوط به این کرنر است. هم NMOS و هم PMOS در سریع‌ترین حالت خود قرار دارند
- **گوشه (Typical-Typical) TT:** حالت نامی و میانگین است که تاخیر آن همیشه بین SS و FF قرار دارد.
- **گوشه‌های FS و SF:** این گوشه‌ها (که یکی سریع و دیگری کند است) تاخیرهایی نزدیک به حالت TT دارند، اما به دلیل عدم تقارن در قدرت Pull-up و Pull-down، می‌توانند باعث ایجاد اختلاف زیاد بین t_{pHL} و t_{pLH} شوند.

۴.۲ بررسی تاثیر ابعاد ترانزیستورها بر تاخیر انتشار

در این بخش از پروژه، هدف بررسی تاثیر نسبت ابعاد ترانزیستورهای PMOS به NMOS بر روی تاخیر انتشار گیت‌های پایه INV، NAND و NOR است. برای این منظور عرض ترانزیستورهای شبکه Pull-down را روی مقدار ثابت $W_n = 1\mu\text{m}$ در نظر گرفتیم و عرض ترانزیستورهای شبکه Pull-up را به صورت ضریبی از آن ($W_p = \beta \times W_n$) تعریف کردیم.
با استفاده از دستور `.TRAN ... SWEEP beta 1 5 1` مقدار β را از 1 تا 5 تغییر داده و مقادیر t_{pLH}، t_{pHL} و t_{pd} را استخراج کردیم. در جدول زیر نتایج مربوط به تاخیر انتشار (t_{pd}) ارائه شده است:

جدول ۱۰: تاثیر نسبت ابعاد (β) بر تاخیر انتشار گیت‌های مختلف

β	**INV** t_{pd}	**NAND** t_{pd}	**NOR** t_{pd}
1	18.12 ps	34.60 ps	35.49 ps
2	17.45 ps	31.13 ps	34.40 ps
3	18.14 ps	31.66 ps	36.18 ps
4	19.06 ps	33.02 ps	38.50 ps
5	20.10 ps	34.83 ps	40.86 ps

با بررسی داده‌های خام t_{pHL} و t_{pLH}، سه روند مهم در رفتار مدار مشاهده می‌شود:

- **t_{pLH}:** با افزایش مقدار β از 1 تا 5، مقدار t_{pLH} در تمام گیت‌ها کاهش می‌یابد.
- **t_{pHL}:** در مقابل، با افزایش β، تاخیر t_{pHL} به طور پیوسته بیشتر می‌شود.
- **t_{pd}:** همان‌طور که در جدول بالا مشخص است، تاخیر متوسط با افزایش β یک روند خطی ندارد. ابتدا کاهش می‌یابد و در $\beta = 2$ به کمترین مقدار خود می‌رسد و سپس دوباره شروع به افزایش می‌کند.

دلیل این تغییرات چیست؟

- **دلیل کاهش t_{pLH}:** ترانزیستورهای PMOS وظیفه شارژ خازن خروجی را بر عهده دارند. با افزایش β، عرض کانال PMOS بزرگتر شده و در نتیجه مقاومت معادل آن (R_p) کاهش می‌یابد. مقاومت کمتر باعث می‌شود جریان بیشتری به خروجی تزریق شده و سیگنال سریع‌تر بالا برود.
- **دلیل افزایش t_{pHL}:** بزرگتر شدن عرض PMOSها باعث افزایش مساحت ناحیه Drain آن‌ها می‌شود. این موضوع باعث افزایش خازن‌های نفوذ (Diffusion Capacitances) در گره خروجی می‌گردد. از آنجا که در این آزمایش عرض ترانزیستور NMOS ثابت ($W_n = 1\mu\text{m}$) نگه داشته شده است، این ترانزیستور اکنون باید خازن بزرگتری را دشارژ کند که طبیعتاً زمان بیشتری می‌برد.
- **دلیل مینیمم شدن تاخیر در $\beta = 2$:** در فیزیک نیمه‌هادی‌ها، تحرک‌پذیری الکترون‌ها در سیلیکون تقریباً ۲ تا ۳ برابر تحرک‌پذیری حفره‌ها است. در $\beta = 1$، ترانزیستور PMOS ضعیف‌تر از NMOS است ($t_{pLH} > t_{pHL}$). با انتخاب $\beta = 2$، قدرت درایو PMOS و NMOS تقریباً متقارن شده و بهترین نقطه کار برای مینیمم شدن تاخیر کلی فراهم می‌شود. اگر β بیش از حد بزرگ شود پدیده‌ای به نام Self-Loading رخ می‌دهد؛ یعنی اثر مخرب افزایش خازن پارازیتی بر اثر مثبت کاهش مقاومت غلبه کرده و مدار در نهایت کندتر می‌شود.

۳ طراحی تمام‌جمع‌کننده

۱.۳ طراحی Full Adders

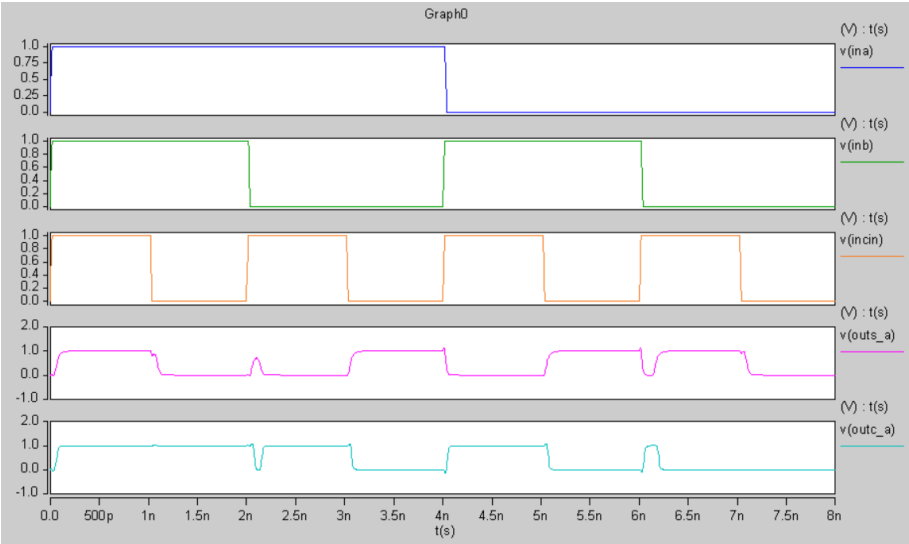
در این بخش از پروژه، هدف پیاده‌سازی و شبیه‌سازی دو ساختار متفاوت برای تمام‌جمع‌کننده یک‌بیتی بود:

- **ساختار الف:** با استفاده از گیت‌های XOR و NAND
- **ساختار ب:** به صورت All-NAND

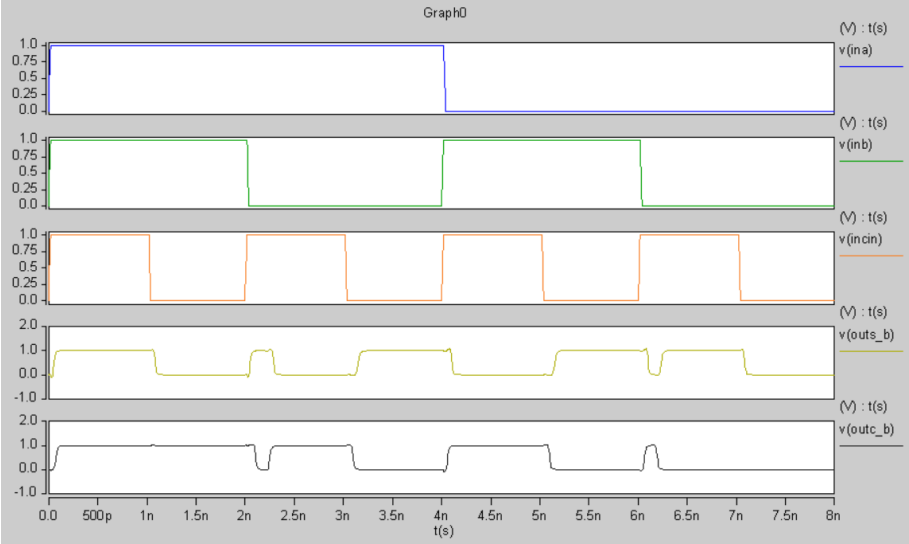
یک فایل کتابخانه اختصاصی با نام adders.sp ایجاد گردید. در این فایل، دو SUBCKT با نام‌های FullAdder_A و FullAdder_B تعریف شدند که هر یک ساختار مربوط به خود را پیاده‌سازی می‌کنند. برای ساخت این جمع‌کننده‌ها، گیت‌های پایه طراحی شده در مرحله قبل مورد نیاز بود؛ لذا فایل gates.sp در داخل این کتابخانه فراخوانی شد تا این زیرمدارها به گیت‌های پایه دسترسی داشته باشند.

۱.۱.۳ بررسی صحت عملکرد Full Adders

برای تست و بررسی صحت عملکرد این دو ساختار، یک فایل تست‌بنچ نوشتیم. باید مدار را برای تمام حالت‌های جدول صحتِ یک Full Adder ارزیابی می‌کردیم. به همین دلیل، ورودی‌های A، B و C_{in} را با استفاده از منابع ولتاژ پالسی ساختیم و دوره‌های تناوب آن‌ها را طوری متفاوت از هم تنظیم کردیم که تمام ترکیب‌های صفر و یک منطقی تولید شود. در نهایت یک تحلیل گذرا با دستور TRAN. تعریف کردیم تا تغییرات ورودی‌ها و خروجی‌ها را در یک بازه زمانی مشخص بررسی کنیم. شکل‌موج‌ها و نتایج به دست آمده از این شبیه‌سازی در ادامه آورده شده است.



شکل ۸: شکل موج ساختار الف



شکل ۹: شکل موج ساختار ب

۲.۱.۳ تاخیرانتشار بیت sum و carry

در این بخش از آزمایش، هدف ما یافتن بیشترین تاخیر انتشار (Worst-Case Delay) برای دو ساختار تمام‌جمع‌کننده بود. برای اندازه‌گیری دقیق تاخیر هر مسیر در بخش INSTANTIATIONS، هر ساختار fulladder را سه بار فراخوانی کردیم. در هر فراخوانی، سیگنال پالس متغیر را تنها به یکی از ورودی‌های A یا B یا C_{in} اعمال کردیم و سایر ورودی‌ها را به ولتاژهای ثابت متصل نمودیم. با استفاده از دستور measure. برای هر مسیر ورودی و برای هر دو خروجی Sum و Cout، مقادیر t_{pLH} و t_{pHL} محاسبه شدند.

جدول ۱۱: بیشترین تاخیر انتشار برای ساختارهای تمام‌جمع‌کننده

تاخیر	الف تمام‌جمع‌کننده	ب تمام‌جمع‌کننده
t_{pd_S}	153.4 ps	206.2 ps
t_{pd_Cout}	175.0 ps	168.5 ps
t_{pd_FA}	**175.0** ps	**206.2** ps

۲.۳ طراحی 8bit Full Adder

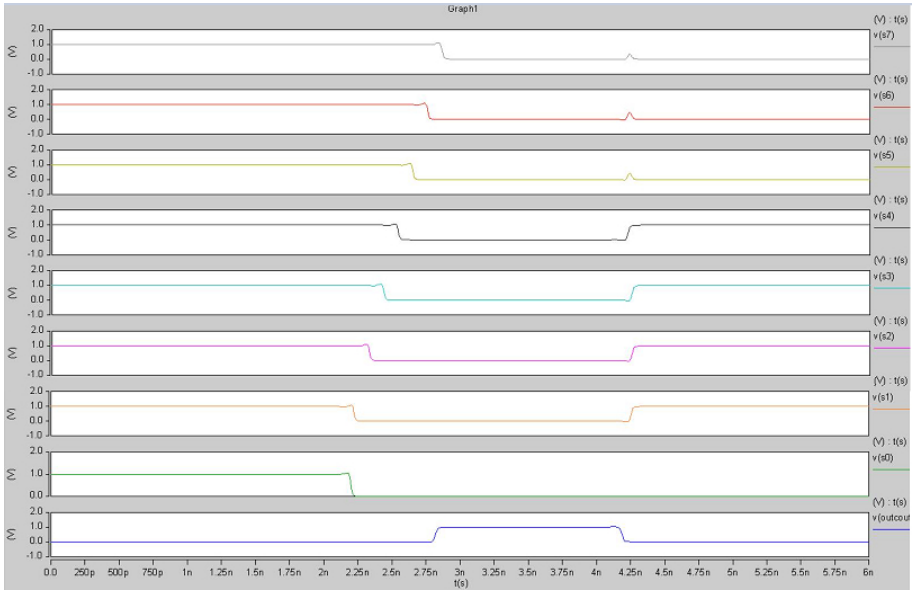
برای پیاده‌سازی جمع‌کننده ۸ بیتی Ripple Carry Adder، باید از بین دو ساختار الف و ب یکی را به عنوان بلوک پایه انتخاب می‌کردیم. در نگاه اول و با توجه به نتایج بخش اندازه‌گیری تاخیرها، ممکن است به نظر برسد که ساختار الف انتخاب بهتری است چرا که بدترین حالت تاخیر آن به مراتب کمتر از ساختار ب بود. اما نکته بسیار مهمی که در طراحی معماری RCA وجود دارد، مفهوم Critical Path است. در این جمع‌کننده هر Full Adder برای محاسبه نهایی خروجی خود، باید منتظر دریافت C_{in} از Full Adder قبلی بماند. بنابراین گلوگاه اصلی سرعت در این مدار، تاخیر تولید خروجی S نیست، بلکه تاخیر تولید خروجی C_{out} است. با مراجعه مجدد به نتایج شبیه‌سازی تاخیرها متوجه می‌شویم که ساختار ب در تولید خروجی C_{out} عملکرد بهتری دارد. بنابراین، برای داشتن یک جمع‌کننده ۸ بیتیِ سریع‌تر و بهینه‌تر ساختار ب را انتخاب کردیم تا مسیر بحرانی مدار با بیشترین سرعت ممکن طی شود و مدار

در سریع‌ترین زمان ممکن به حالت پایدار برسد. کدهای مربوط به جمع‌کننده ۸ بیتی را در فایل مجزایی به نام `adder_8bit.sp` نوشتیم. در این فایل، هشت بلوک `FullAdder_B` به صورت آبشاری به هم متصل شده‌اند تا این جمع‌کننده را بسازند.

۱.۲.۳ بررسی صحت عملکرد 8bit Full Adder

برای اطمینان از صحت عملکرد مدار جمع‌کننده ۸ بیتی طراحی شده، یک تست‌بنچ مجزا در فایل `adder8b_waveform.sp` پیاده‌سازی شد. هدف از این تست‌بنچ، بررسی خروجی مدار (S_0 تا S_7 و C_{out}) به ازای ورودی‌های مختلف و مشاهده همزمان شکل‌موج‌های ورودی و خروجی است. همان‌طور که در دستورالعمل پروژه خواسته شده بود، برای نمایش بهتر و تحلیل ساده‌تر خروجی‌ها، مقدار بیت نقلی ورودی در تمام طول شبیه‌سازی صفر در نظر گرفته شد ($C_{in} = 0$). برای بررسی جامع مدار، سه سناریوی ورودی مختلف با استفاده از منابع ولتاژ PWL به مدار اعمال شد که به شرح زیر می‌باشند:

- **حالت اول ($A = 255$ و $B = 0$):** در این حالت تمام بیت‌های A یک و تمام بیت‌های B صفر هستند. انتظار می‌رود مدار بدون تولید هیچ رقم نقلی، همان مقدار 255 را در خروجی S نشان دهد و C_{out} برابر صفر باشد.
- **حالت دوم ($A = 255$ و $B = 1$):** در این سناریو مقدار A برابر 255 و مقدار B برابر 1 است. این مهم‌ترین حالت برای تست یک جمع‌کننده آبشاری است زیرا با جمع شدن دو بیت اول، یک رقم نقلی تولید شده و این رقم نقلی باید در تمام ۸ طبقه منتشر شود (پدیده Ripple Effect) تا در نهایت خروجی S برابر 0 و خروجی C_{out} برابر 1 شود.
- **حالت سوم ($A = 15$ و $B = 15$):** در این حالت چهار بیت کم‌ارزش هر دو ورودی یک (00001111) و چهار بیت پرارزش آن‌ها صفر هستند. انتظار می‌رود حاصل‌جمع برابر 30 (00011110) شود و C_{out} نیز صفر بماند.



شکل ۱۰: شکل موج 8bit full adder

با توجه به نمودارهای شبیه‌سازی، صحت عملکرد مدار در سه بازه زمانی مشخص به شرح زیر تایید می‌گردد:

- **بازه** 0 **تا** $2\,\mathrm{ns}$ (حالت $A = 255$ و $B = 0$): همان‌طور که مشاهده می‌شود، تمام سیگنال‌های حاصل‌جمع (S_0 تا S_7) در سطح ولتاژ $1\,\mathrm{V}$ (منطق 1) قرار دارند و سیگنال C_{out} صفر است. این خروجی به درستی معادل عدد 255 است.

- **بازه** 2 **تا** $4\,\mathrm{ns}$ (حالت $A = 255$ و $B = 1$): در زمان $2\,\mathrm{ns}$، با تغییر B_0 از 0 به $1\,\mathrm{V}$، پدیده انتشار رقم نقلی (Ripple Effect) به وضوح رخ می‌دهد. با زوم کردن در حوالی این زمان مشخص است که سیگنال‌های S_0 تا S_7 به صورت همزمان صفر نمی‌شوند؛ بلکه به ترتیب و با تاخیر به $0\,\mathrm{V}$ می‌روند و در نهایت C_{out} یک می‌شود (معادل عدد 256). فاصله زمانی بین لبه بالارونده B_0 و لبه بالارونده C_{out} نشان‌دهنده بدترین حالت تاخیر مدار است.

- **بازه** 4 **تا** $6\,\mathrm{ns}$ (حالت $A = 15$ و $B = 15$): پس از اعمال تغییرات در ورودی‌ها در زمان $4\,\mathrm{ns}$، سیگنال‌های S_1 تا S_4 در سطح $1\,\mathrm{V}$ قرار گرفته و سایر بیت‌های حاصل‌جمع و همچنین C_{out} صفر می‌شوند. این الگوی خروجی (00011110) دقیقاً معادل حاصل‌جمع مورد انتظار یعنی عدد 30 است.

نتایج شبیه‌سازی گذرا نشان می‌دهد که مدار در هر سه حالت، پس از سپری شدن زمان تاخیر گیت‌ها، به درستی به سطوح منطقی مورد انتظار می‌رسد و صحت عملکرد جمع‌کننده ۸ بیتی کاملاً تأیید می‌شود.

۲.۲.۳ تاخیرانتشار بیت sum و carry

برای اندازه‌گیری بیشترین زمان تاخیر در مدار، تست‌بنچ `adder8b_delay.sp` را پیاده‌سازی کردیم. در یک جمع‌کننده نوع Ripple Carry Adder، طولانی‌ترین مسیر تاخیر زمانی اتفاق می‌افتد که یک Carry تولید شده در بیت اول، مجبور شود از تمام طبقات عبور کرده و تا بیت آخر منتشر شود. برای ایجاد این بدترین حالت در تست‌بنچ، ورودی A را روی مقدار تمام یک (11111111) تنظیم کردیم و سپس یک واحد به بیت اول ورودی دیگر اضافه کردیم. این کار باعث می‌شود رقم نقلی به صورت دومینووار از تمام ۸ طبقه عبور کند تا در نهایت روی S_7 و C_{out} نهایی تاثیر بگذارد.

جدول ۱۲: بیشترین تاخیر sum و carry

پارامتر اندازه‌گیری شده	مقدار خروجی نرم‌افزار (ثانیه)	مقدار معادل (پیکوثانیه)
تاخیر بدترین حالت حاصل‌جمع	8.506×10^{-10}	$850.6\,\mathrm{ps}$
تاخیر بدترین حالت رقم نقلی	8.094×10^{-10}	$809.4\,\mathrm{ps}$

همان‌طور که از جدول پیداست، تاخیر کل مدار در حالت ۸ بیتی به شدت افزایش یافته است. در شبیه‌سازی‌های قبلی دیدیم که یک سلول Full Adder یک‌بیتی (ساختار B) تاخیری برابر با $206.2\,\mathrm{ps}$ برای خروجی Sum و $168.5\,\mathrm{ps}$ برای خروجی C_{out} داشت. دلیل این اختلاف این است که در مدار ۸ بیتی، تاخیر رقم نقلی طبقات با یکدیگر جمع می‌شود. خروجی S_7 برای محاسبه شدن باید منتظر بماند تا رقم نقلی از ۷ طبقه قبلی عبور کند و به همین دلیل بیشترین تاخیر کل مدار ($850.6\,\mathrm{ps}$) مربوط به آن است. این نتایج دقیقا دلیل انتخاب ساختار B برای طراحی ۸ بیتی را تایید می‌کند؛ در مدارهای RCA، مسیر بحرانی توسط انتشار C_{out} تعیین می‌شود. از آنجا که ساختار B تاخیر C_{out} کمتری نسبت به ساختار A داشت، استفاده از آن باعث شد تا اثر انباشتگی تاخیر در این ۸ طبقه مینیمم شود و سرعت کلی مدار بهینه بماند.