مقدمه

در این تمرین کامپیوتری با استفاده از نرم‌افزار HSPICE در تکنولوژی ۹۰ نانومتری CMOS، مدارهای مربوط به جمع‌کننده‌های مختلف را پیاده‌سازی کرده و سپس آن‌ها را از منظر توان و تأخیر با یکدیگر مقایسه خواهید کرد. در گام بعدی تأثیر نوسانات بر عملکرد این جمع‌کننده‌ها به کمک تحلیل Monte Carlo بررسی خواهد شد.

ولتاژ تغذیه VDD را برابر ۱ ولت در نظر بگیرید و طول و عرض کانال ترانزیستورها را برابر 90nm در نظر بگیرید.

فایل کتابخانه ۹۰ نانومتر در کنار صورت سوال در اختیار شما قرار داده خواهد شد، برای استفاده از این کتابخانه از دستور زیر استفاده کنید:

```
.lib 'cr90g_2d5_1k_v1d2p1.1' TT
```

سایز ترانزیستورها را به‌گونه‌ای تعیین کنید که مقاومت مسیرهای بالابر و پایین‌بر یکسان باشند.

زمان تغییر مقدار سیگنال‌های ورودی از یک به صفر یا بالعکس را برابر 50ps در نظر بگیرید با توجه به اینکه در بعضی از بخش‌ها شبیه‌سازی بارها تکرار می‌شود و این فرآیند زمان‌بر است، از همان ابتدا تعداد تکرار شبیه‌سازی‌ها را زیاد تعریف نکنید؛ بلکه بعد از اطمینان از عملکرد درست، تعداد تکرار را افزایش داده و مقادیر به‌دست آمده را گزارش نمایید.

بخش اول: (٪۷۵)

در این بخش دو جمع‌کننده ۸ بیتی Carry-ripple adder و Brent-Kung Tree Adder را پیاده‌سازی خواهید کرد. از صحت عملکرد هر دو اطمینان حاصل کرده و تأخیر بیشینه و توان استاتیک و دینامیک را برای آن‌ها به‌دست خواهید آورد، در نهایت به مقایسه نتایج خواهید پرداخت.

الف) ساختار Carry-ripple adder ۸ بیتی را پیاده‌سازی کنید. توجه کنید که طراحی شما باید تا حد ممکن ماژولار (Modular) باشد، زیرمدار (subcircuit)های مورد نیاز را بیان کرده و نحوه قرارگیری آن‌ها را شرح دهید.

ب) ساختار Brent-Kung Tree Adder ۸ بیتی را پیاده‌سازی کنید. توجه کنید که طراحی شما باید تا حد ممکن ماژولار (Modular) باشد، زیرمدار (subcircuit)های مورد نیاز را بیان کرده و نحوه قرارگیری آن‌ها را شرح دهید.

ج) برای اطمینان از درستی عملکرد این دو جمع‌کننده نیاز است از فایل Digital Vector File (DVF) استفاده شود. به کمک این فایل می‌توان ورودی‌های مدار را در طول زمان مشخص کرد و همچنین نتیجه مورد نیاز را بررسی کرد. DVF شامل سه بخش اصلی است:

۱. تعریف الگوی بردار: در این بخش، مشخصات اولیه بردارها شامل نام سیگنال‌ها، نوع آن‌ها (ورودی یا خروجی) و مبنای عددی (radix) جهت نمایش مقادیر تعیین می‌شود. این تعاریف معمولا در ابتدای فایل قرار می‌گیرند و امکان دسته‌بندی سیگنال‌ها به صورت برداری را فراهم می‌کنند. به عنوان مثال، به جای لیست کردن تک‌تک سیگنال‌های S_1 تا S_8 در نت لیست HSPICE، می‌توان آن‌ها را به‌صورت یکجا و با فرمت S[8:1] تعریف کرد. در مثال زیر، نحوه تعریف نام‌ها، مبنای عددی برای یک جمع‌کننده ۸ بیتی نمایش داده شده است:

```
; 8-bit Adder: A[8:1] B[8:1] Cin Sum[8:1] Cout
radix    44  44  1  44  1
; define name for each vector
vname  A[8:1]  B[8:1]  Cin  S[8:1]  Cout
; define IO
IO II II I OO O
```

۲. مشخصه‌های شکل موج: این بخش به تنظیم پارامترهای زمانی و سطوح ولتاژ منطقی اختصاص دارد. ویژگی‌هایی نظیر واحد زمانی، زمان صعود (rise time)، زمان سقوط (fall time)، آستانه‌های ولتاژ بالا (VOH) و پایین (VOL) در این قسمت تعریف می‌شوند. یکی از قابلیت‌های مهم در این بخش، تنظیم زمان تاخیر (tdelay) به کمک تعیین mask است. مقدار tdelay مشخص می‌کند که چه مدتی پس از اعمال ورودی‌ها، خروجی مدار باید با مقادیر مورد انتظار مقایسه و نمونه‌برداری شود؛ تطابق این مقادیر نشان‌دهنده عملکرد صحیح مدار و عدم تطابق آن‌ها به معنای بروز خطا خواهد بود. همچنین قابلییت mask تعیین می‌کند که کدام‌یک از بیت‌ها یا سیگنال‌های خروجی باید مورد بررسی قرار گیرند تا در صورت وجود تفاوت با مقدار مبنا، سیستم اعلام خطا کند. در مثال زیر، پارامترهایی مانند Period و Slope در کنار اعمال mask تأخیر مشاهده می‌شود:

```
; define waveform characteristics
tunit    ps
period  2100
tdelay  2090.00   00    00   0   FF   1
Slope   50
VOH   '0.8*Vdd'
```

۳. تعریف داده‌های جدولی: در این قسمت، مقادیر سیگنال‌های ورودی و مقادیر مورد انتظار برای سیگنال‌های خروجی در قالب یک جدول زمانی درج می‌شوند. چنانچه برای هر ردیف زمان مشخصی تعیین نشود، داده‌ها به صورت متناوب و بر اساس بازه زمانی (period) که در بخش قبلی تعریف شد، تغییر می‌کنند. جدول زیر نمایشگر تغییرات منطقی سیگنال‌ها در گام‌های زمانی متوالی است:

```
; tabular data
d2 e6 0 b8 1
f1 95 1 87 1
70 8f 1 00 1
e2 5f 1 42 1
```

در نهایت برای اعمال فایل آماده‌سازی شده به HSPICE، باید دستور زیر را به نت‌لیست خود اضافه نمایید.

```
.VEC    'DVF.vdc'
```

با این روش دیگر نیازی به تعریف جداگانه منابع ولتاژ برای ورودی‌ها نیست. همچنین می‌توان مانند دستورات زیر با استفاده از measure. پارامترهایی نظیر توان و تأخیر را با دقت بالا محاسبه کرد.

```
.measure    tran    avgpower    AVG    power    from=0n    to=2u

.measure    tran    tpd1    trig    V(Cin)  td=period  val='Vdd/2'  cross=1
+targ       V(Cout)  td=period  val='Vdd/2'  cross=1
```

پس از اتمام شبیه‌سازی، فایلی با پسوند err0. تولید می‌شود. اگر خروجی‌های مدار با مقادیر تعریف شده در فایل بردار مطابقت نداشته باشد، موارد عدم تطابق در این فایل درج می‌گردد. خالی بودن این فایل به معنای عملکرد صحیح مدار است. جهت اطمینان از خوانش صحیح فایل توسط نرم‌افزار، توصیه می‌شود عمداً یکی از داده‌های انتهای فایل را تغییر دهید تا ایجاد خطا در فایل err0. را مشاهده و در گزارش خود ثبت کنید.

برای آشنایی بیشتر با این نوع فایل می‌توانید فایل help_VEC.pdf را که در اختیار شما قرار داده شده است، مطالعه نمایید.

برنامه‌ای با پایتون/متلب بنویسید که قادر باشد یک فایل DVF برای یک جمع‌کننده ۸ بیتی ایجاد کند، به‌نحوی که که این فایل تعداد زیادی (بزرگ‌تر از ۱۰۰۰ نمونه) ورودی تصادفی به مدار بدهد و خروجی درست را نیز مشخص کرده باشد. تعداد نمونه‌ها باید توسط یک متغیر در ورودی قابل کنترل باشد. به کمک فایل تولید شده، عملکرد هر دو جمع‌کننده را به ازای تعداد زیادی نمونه بررسی کنید و از صحت آن مطمئن شوید.

د) پس از احراز صحت عملکرد منطقی مدارها، در این قسمت به اندازه‌گیری بیشینه تاخیر انتشار در هر دو جمع‌کننده خواهید پرداخت. برای این منظور، یک فایل DVF ویژه طراحی کنید که ابتدا مدار را در یک وضعیت پایدار اولیه (مثلاً ورودی‌های تماماً صفر) قرار دهد و سپس در گام بعدی، ترکیبی را اعمال کند که بدترین سناریوی تاخیر (مسیر بحرانی) را در هر دو ساختار جمع‌کننده تحریک و فعال کند. با استفاده از دستور measure. تاخیر بیشینه (زمان سپری‌شده میان ٪۵۰ لبه‌ی ورودی تحریک‌کننده تا ٪۵۰ لبه‌ی آخرین خروجی تغییریافته) را برای هر دو مدار محاسبه کنید. در نهایت، نتایج به‌دست‌آمده را به‌صورت کمی مقایسه کرده و با تکیه بر معماری داخلی این دو جمع‌کننده، اختلاف کارایی آن‌ها را تحلیل و توجیه کنید.

ه) در این بخش، هدف محاسبه و مقایسه توان دینامیک هر دو جمع‌کننده است. برای این منظور، از فایل DVF تولیدشده در قسمت (ج) که شامل بردارهای ورودی تصادفی متعدد است، استفاده کنید. به‌منظور

شبیه‌سازی مدار در حداکثر فرکانس کاری امن، دوره تناوب اعمال ورودی‌ها را در فایل DVF به‌گونه‌ای تنظیم کنید که تنها کمی فراتر از بیشینه تاخیر انتشار مدار باشد (به‌عنوان معیار، دوره تناوب را حدود ۱.۵ برابر تاخیر مسیر بحرانی محاسبه‌شده در قسمت «د» در نظر بگیرید). سپس با اجرای شبیه‌سازی، توان متوسط کل را برای هر دو مدار استخراج کنید. در نهایت، توان دینامیک به‌دست‌آمده برای دو جمع‌کننده را به‌صورت کمی با یکدیگر مقایسه کرده و اختلاف موجود را تحلیل و توجیه کنید.

و) توان استاتیک (نشتی) یکی دیگر از معیارهای کلیدی در ارزیابی کارایی مدارات دیجیتال است. توان اساتیک را برای مجموعه بردارهای قسمت (ج) محاسبه کنید. روند استخراج و محاسبات خود را در گزارش به‌طور کامل شرح دهید. در نهایت، توان استاتیک دو جمع‌کننده را به‌صورت کمی با یکدیگر مقایسه کرده و تفاوت آن‌ها را توجیه کنید.

بخش دوم: (٪۳۰)

در فرآیند ساخت مدارهای مجتمع، به‌دلیل نوسانات فیزیکی و شیمیایی در گام‌های مختلف ساخت (مانند کاشت یون، لایه‌نشانی و لیتوگرافی)، پارامترهای ساختاری ترانزیستورها (نظیر ولتاژ آستانه و ضخامت اکسید گیت) دچار تغییرات تصادفی می‌شوند. طراحان مدار برای تضمین عملکرد صحیح تراشه در بدترین سناریوهای ساخت، رفتار ترانزیستورهای NMOS و PMOS را در قالب سه حالت آماری متمایز دسته‌بندی می‌کنند: Typical، Fast و Slow. ترکیب دوگانه این حالت‌ها برای ترانزیستورهای NMOS وPMOS ، فضای طراحی دوبعدی ایجاد می‌کند که به مربع گوشه‌های فرآیند معروف است. این مربع شامل پنج نقطه کلیدی مبنا یعنی TT (حالت نامی)، FF (گوشه تماماً سریع)، SS (گوشه تماماً کند) و گوشه‌های ناهمگون SF و FS است.

برای شبیه‌سازی عملکرد مدار در هر یک از این فرضیات ساخت در نرم‌افزار HSPICE، کافی است هنگام فراخوانی فایل مدل کتابخانه توسط دستور lib.، شناسه گوشه مورد نظر را در انتهای دستور جایگزین کلمه TT کنید.

با اعمال این تغییرات در فایل نت‌لیست، مشخصه‌های کلیدی شامل بیشینه تاخیر انتشار، توان مصرفی دینامیک و توان مصرفی استاتیک را برای جمع‌کننده Brent-Kung در هر ۵ گوشه فرآیند استخراج کرده، نتایج را در قالب یک جدول مقایسه‌ای مرتب ارائه دهید.

با توجه به نتایج عددی جدول شبیه‌سازی، مشخص کنید بدترین سناریو برای تاخیر انتشار و توان مصرفی (استاتیک و دینامیک) مدار در کدام گوشه‌ها رخ داده است؟ توضیح دهید چرا لزوماً یک گوشه فرآیند خاص بدترین سناریو برای همه‌ی پارامترهای کارایی (سرعت و توان) نیست؟ توازن بین سرعت و توان را بر اساس این داده‌ها تحلیل کنید.

بخش سوم: (۴۵٪)

در طراحی مدارهای مجتمع با تراکم بالا، عوامل محیطی و فرآیندی متعددی می‌توانند عملکرد مدار را دچار انحراف کنند. در دنیای واقعی، پارامترهای فیزیکی و شرایط کاری مدار همواره از مقادیر نامی فاصله می‌گیرند و رفتار مدار را تحت‌شعاع قرار می‌دهند. در این بخش، به بررسی و شبیه‌سازی دو نمونه از مهم‌ترین نوساناتی که منجر به تغییر در معیارهای کارایی مدار می‌شوند، خواهید پرداخت.

الف) ولتاژ منبع تغذیه یکی از کلیدی‌ترین پارامترهای تعیین‌کننده در میزان تأخیر و توان مصرفی مدار است. برای ارزیابی میزان حساسیت مدار به نوسانات ولتاژ، از تحلیل آماری مونت‌کارلو (Monte Carlo) استفاده می‌شود. در این رویکرد، به پارامترهای مدار نه به عنوان مقادیر ثابت، بلکه به عنوان متغیرهای تصادفی با یک تابع توزیع احتمال مشخص در نظر گرفته می‌شوند.

برای مدل‌سازی نوسانات ولتاژ تغذیه، ابتدا یک متغیر تصادفی با توزیع گاوسی (میانگین صفر و انحراف معیار ۰/۱ به صورت زیر تعریف می‌کنیم:

```
.param          dev=agauss(0,0.1)
```

سپس مقدار نهایی ولتاژ منبع تغذیه را (با فرض ولتاژ نامی ۱ولت برای تکنولوژی مورد نظر) به صورت ترکیبی از مقدار نامی و مقدار نوسان تصادفی تعریف می‌کنیم:

```
.param          Vdd='1+dev'
```

در نهایت شبیه‌سازی مونت‌کارلو برای ۱۰۰ تکرار و در قالب تحلیل گذرا با دستور زیر اجرا می‌شود:

```
.tran    1p    20n   SWEEP   MONTE=100
```

با اجرای این دستور، شبیه‌سازی ۱۰۰ بار تکرار شده و در هر تکرار، نمونه‌ی جدیدی از متغیر تصادفی dev تولید و اعمال می‌شود. پس از اتمام شبیه‌سازی، دو فایل خروجی کلیدی ایجاد خواهد شد: فایل با پسوند mc0.، حاوی مقادیر تولیدشده برای پارامتر dev در هر یک از ۱۰۰ تکرار و فایل با پسوند mt0. حاوی مقادیر اندازه‌گیری‌شده به ازای هر ۱۰۰ تکرار شبیه‌سازی.

نکته مهم: مقادیر ثبت‌شده در فایل mc0. برای توزیع گاوسی، به صورت نرمال‌شده نسبت به انحراف معیار گزارش می‌شوند. بنابراین برای استخراج مقدار واقعی نوسان، باید اعداد این فایل را در مقدار انحراف معیار ضرب کنید.

پس از انجام شبیه‌سازی برای جمع‌کننده Brent-Kung، برنامه‌ای در پایتون/متلب بنویسید که داده‌های موجود در فایل‌های mc0. و mt0. را استخراج کرده و در ساختار آرایه‌ای ذخیره کند. در نهایت پس از ذخیره داده‌ها، برنامه شما باید نمودارهای پراکندگی توان دینامیک برحسب ولتاژ تغذیه، پراکندگی توان دینامیک برحسب ولتاژ تغذیه و هیستوگرام (توزیع فراوانی) تأخیر و توان دینامیک را رسم نماید.

روند کلی تغییرات تأخیر و توان دینامیک را با افزایش یا کاهش ولتاژ توجیه کنید. با توجه به هیستوگرام‌های رسم‌شده، آیا توزیع خروجی‌های مدار (تأخیر و توان) همچنان کاملاً گاوسی و متقارن است؟ اگر پاسخ منفی است، دلیل این پدیده چیست؟

ب) دما از دیگر عوامل محیطی بسیار مؤثر بر رفتار الکتریکی ترانزیستورها در نتیجه عملکرد مدار است. برای ارزیابی عملکرد مدار جمع‌کننده Brent-Kung در دماهای کاری مختلف، از دستور سوییپ دما به صورت زیر استفاده کنید:

```
.temp   15 20 25 30 35 40 45 50 55 60 65 70 75 80 85 90
```

با اضافه شدن این دستور، شبیه‌سازی مستقل از تحلیل مونت‌کارلو و صرفاً برای دماهای مشخص‌شده تکرار می‌شود (برای همگی دماها از یک فایل DVF. مشابه استفاده کنید). خروجی این شبیه‌سازی‌ها در فایل‌هایی با پسوندهای mt0. و mt16. (به ترتیب برای هر دما) ذخیره می‌گردند که حاوی مقادیر اندازه‌گیری‌شده در آن دمای خاص هستند.

برنامه‌ای در پایتون یا متلب بنویسید که اطلاعات خروجی مربوط به هر دما را از فایل‌های مربوطه استخراج کند و در آرایه‌هایی ذخیره گردند. سپس باید نمودارهای تغییرات تأخیر برحسب دما و تغییرات توان دینامیک برحسب دما را رسم کنید.

تحلیل کنید که با افزایش دما، رفتار تأخیر مدار چه تغییری می‌کند؟ روند تغییرات توان دینامیک را برحسب دما توجیه کنید. آیا دما تأثیر مستقیمی روی توان دینامیک دارد یا اثر آن غیرمستقیم و ناشی از تغییر تأخیر است؟

نکات کلی گزارش

- اگر در انجام هر یک از قسمت‌های تمرین کامپیوتری فرض اولیه‌ای در نظر گرفته‌اید، حتماً آن‌ها را در گزارش خود ذکر کنید، همچنین دقت کنید که مفروضات شما نباید به‌گونه‌ای باشند که ساختار کلی سوال را عوض کنند.
- در گزارش خود علاوه‌بر نتایج به‌دست آمده از شبیه‌سازی، محاسبات و تحلیل نتایج (نمودارها، جداول و..) هر سوال را نیز ذکر کنید، تمامی تصاویر باید دارای زیرنویس و تمامی جداول باید دارای بالانویس باشند. توجه داشته باشید که بخش قابل توجه‌ای از نمره شما به گزارش‌کار اختصاص خواهد یافت، لذا برای نگارش مناسب آن زمان کافی را اختصاص دهید.
- فایل‌های شبیه‌سازی را در یک پوشه قرار داده و گزارش را در کنار این فایل‌ها فشرده کرده و با نام CA3_Studentname_StudentID ارسال کنید.

بخش	خواسته	نمره
بخش اول	پیاده‌سازی ساختار هر جمع‌کننده	۱۵
	اطمینان از صحت عملکرد هر جمع‌کننده	۱۰
	محاسبه بیشترین تاخیر هر جمع‌کننده	۵
	محاسبه توان دینامیک هر جمع‌کننده	۲.۵
	محاسبه توان استاتیک هر جمع‌کننده	۲.۵
بخش دوم	محاسبه تاخیر بیشینه برای جمع‌کننده Brent-Kung در هر گوشه طراحی	۲.۵
	محاسبه توان دینامیک بیشینه برای جمع‌کننده Brent-Kung در هر گوشه طراحی	۲.۵
	محاسبه توان استاتیک برای جمع‌کننده Brent-Kung در هر گوشه طراحی	۲.۵
بخش سوم	بررسی تأثیر نوسان ولتاژ Vdd به کمک تحلیل Monte Carlo	۲۵
	بررسی تأثیر نوسان دما	۲۰