دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

تمرین کامپیوتری چهارم

نام و نام‌خانوادگی : فائزه میثاقی

شماره دانشجویی : ۸۱۱۹۰۲۱۴۲

نیم‌سال دوم

سال تحصیلی ۴۰۴-۴۰۵

فهرست مطالب

۱ بخش اول: طراحی مدار محاسباتی ۲

۱.۱ طراحی گیت‌های منطقی و تعیین ابعاد ترانزیستورها (Sizing) ۲

۱.۱.۱ محاسبه ابعاد Inverter پایه ۲

۲.۱.۱ گیت NAND۲ (با ضرایب ۲.۲) ۲

۳.۱.۱ گیت AND۲ (با ضریب ۴.۲) ۳

۴.۱.۱ گیت NOR۲ (با ضریب ۸.۲) ۴

۵.۱.۱ گیت XOR۲ (با ضریب ۴.۳) ۴

۶.۱.۱ گیت XNOR۲ (با ضریب ۸.۳) ۵

۷.۱.۱ گیت NOR۳ (گیت خروجی با ضریب ۵) ۶

۲.۱ بررسی و اندازه‌گیری بدترین تأخیر مدار ۷

۲ بخش دوم: طراحی رجیستر و قرار دادن مدار محاسباتی بین دو رجیستر ۸

۱.۲ تحلیل حساسیت به لبه کلاک ۸

۲.۲ بررسی عملکرد و تحلیل نمونه‌برداری ۸

۳.۲ اندازه‌گیری پارامترهای زمانی فلیپ‌فلاپ (Master-Slave D-FF) ۹

۱.۳.۲ اندازه‌گیری زمان تأخیر کلاک تا خروجی (t_{cq}) ۹

۲.۳.۲ اندازه‌گیری زمان آماده‌سازی (t_{setup}) ۹

۳.۳.۲ اندازه‌گیری زمان نگهداری (t_{hold}) ۹

۴.۲ اندازه‌گیری و محاسبه بیشترین فرکانس کاری مدار ۱۰

۱.۴.۲ محاسبه عملی بیشترین فرکانس کاری از طریق شبیه‌سازی ۱۰

۲.۴.۲ محاسبه تئوری بیشترین فرکانس کاری ۱۰

۳.۴.۲ مقایسه فرکانس تئوری و عملی و بررسی علل تفاوت ۱۱

۵.۲ طراحی سناریوی خطای نمونه‌برداری در فرکانس غیرمجاز ۱۱

۳ بخش سوم: قراردادن مدار محاسباتی بین آرایه ای از Latch ها ۱۲

۱.۳ تعیین نوع حساسیت Latch (Positive یا Negative) ۱۲

۲.۳ تغییرات لازم برای تبدیل به Latch حساس به سطح بالا (Positive Latch) ۱۲

۳.۳ شبیه‌سازی Positive Latch و Latch Negative ۱۳

۴.۳ شبیه‌سازی، تعیین حداکثر فرکانس کاری و تحلیل پدیده Borrowing Time ۱۴

۱.۴.۳ ۱. بیشترین فرکانس کاری مدار و نحوه اندازه‌گیری آن ۱۴

۲.۴.۳ ۱. بررسی و تحلیل وقوع پدیده قرض گرفتن زمان Time Borrowing ۱۴

۵.۳ مزیت استفاده از سه لچ (شکستن مدار) نسبت به دو رجیستر ۱۴

۶.۳ وضعیت $CLK1$ و $CLK2$ نسبت به یکدیگر برای کارکرد صحیح مدار ۱۵

۷.۳ اندازه‌گیری بدترین تأخیر حالت اول ۱۵

۸.۳ بررسی صحت عملکرد مدار پایپ لاین و Time Borrowing ۱۶

۹.۳ یافتن بیشترین فرکانس کاری مدار با شبیه سازی جاروبی ۱۷

۱۰.۳ تحلیل زمان‌بندی و کارایی مدار پایپ‌لاین شکل ۶ ۱۸

۱ بخش اول: طراحی مدار محاسباتی

۱.۱ طراحی گیت‌های منطقی و تعیین ابعاد ترانزیستورها (Sizing)

در این بخش از پروژه، هدف طراحی گیت‌های منطقی مدار ترکیبی و تعیین ابعاد ترانزیستورهای آن‌هاست، به‌گونه‌ای که قدرت جریان‌دهی شاخه‌های بالابر و پایین‌بر در تمامی گیت‌ها معادل یک اینورتر پایه باشد و در نهایت متناسب با ضرایب مشخص‌شده مقیاس‌بندی شوند. پیاده‌سازی گیت‌های منطقی مورد نیاز در فایل gates.sp انجام شده است.

۱.۱.۱ محاسبه ابعاد Inverter پایه

برای تکنولوژی ۱۸۰ نانومتر حداقل طول و عرض کانال ترانزیستورها $L_{min} = 180$nm و $W_{min} = 220$nm لحاظ شده است. برای برابر شدن قدرت جریان‌دهی ترانزیستورهای NMOS و PMOS باید تفاوت تحرک‌پذیری (Mobility) الکترون‌ها و حفره‌ها جبران شود.

با مراجعه به فایل کتابخانه mm018.l مقادیر پارامتر تحرک‌پذیری (U_0) استخراج گردید:

- تحرک‌پذیری الکترون‌ها در NMOS: $\mu_n \approx 0.03727$
- تحرک‌پذیری حفره‌ها در PMOS: $\mu_p \approx 0.01060$

با محاسبه نسبت این دو ضریب β به دست می‌آید:

$$\beta = \frac{\mu_n}{\mu_p} = \frac{0.03727}{0.01060} \approx 3.5$$

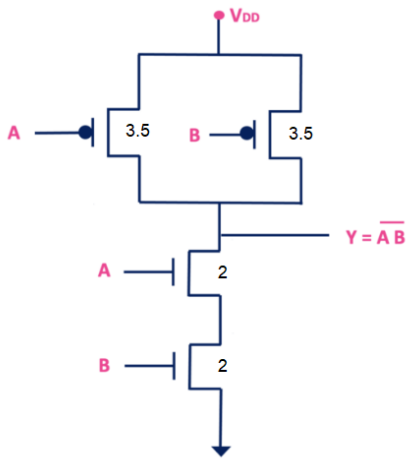
بر این اساس ابعاد ترانزیستورهای معکوس‌کننده پایه به شرح زیر تعیین شد:

- $L = 180$nm (برای تمامی ترانزیستورهای مدار)
- $W_{n_base} = 220$nm
- $W_{p_base} = \beta \times W_{n_base} = 3.5 \times 220 = 770$nm

۲.۱.۱ گیت NAND۲ (با ضرایب ۲.۲)

در گیت NAND دو ورودی ترانزیستورهای شبکه پایین‌بر با یکدیگر سری هستند بنابراین برای حفظ مقاومت معادل عرض کانال آن‌ها باید ۲ برابر شود. ترانزیستورهای شبکه بالابر موازی‌اند و سایز پایه را حفظ می‌کنند. در نهایت کل ابعاد در ضریب ۲.۲ ضرب شده است.

- NMOS (سری): $2.2 \times (2 \times 220\text{nm}) = 968\text{nm}$
- PMOS (موازی): $2.2 \times (1 \times 770\text{nm}) = 1694\text{nm}$

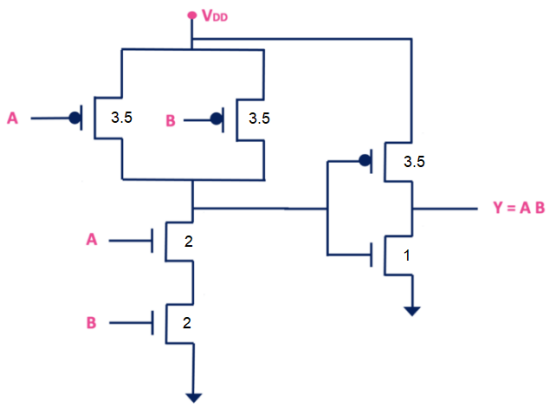


شکل ۱: شماتیک و سایزینگ گیت NAND

۳.۱.۱ گیت AND۲ (با ضریب ۴.۲)

این گیت از آبشار کردن یک گیت NAND2 و یک گیت NOT به‌دست می‌آید. ابعاد هر دو طبقه (بخش NAND و بخش NOT) بر اساس قواعد ساختاری مربوط به هرکدام، با این ضریب مقیاس‌بندی شده‌اند.

- بخش NAND2: ترانزیستورهای NMOS به‌صورت سری قرار دارند ($2.4 \times 2 \times 220 = 1056$nm) و ترانزیستورهای PMOS به‌صورت موازی هستند ($2.4 \times 770 = 1848$nm).
- بخش NOT: مقیاس‌بندی به‌صورت مستقیم انجام شده است ($W_n = 528$nm و $W_p = 1848$nm).

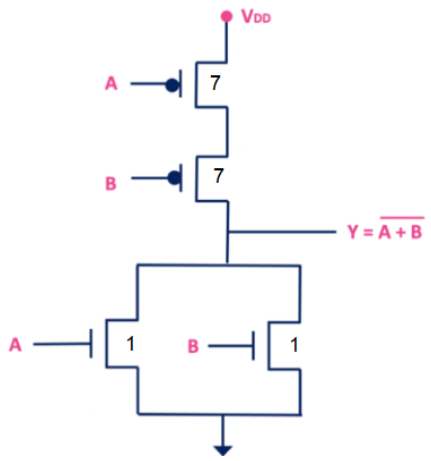


شکل ۲: شماتیک و سایزینگ گیت AND

۴.۱.۱ گیت NOR۲ (با ضریب ۸.۲)

در گیت NOR دو ورودی ترانزیستورهای شبکه بالابر سری هستند که باعث افزایش مقاومت مسیر می‌شود؛ لذا عرض کانال آن‌ها باید ۲ برابر گردد. ترانزیستورهای NMOS موازی‌اند و همان سایز پایه را دارند. در نهایت ضریب ۸.۲ اعمال شده است.

- NMOS (موازی): $2.8 \times (1 \times 220\text{nm}) = 616\text{nm}$
- PMOS (سری): $2.8 \times (2 \times 770\text{nm}) = 4312\text{nm}$

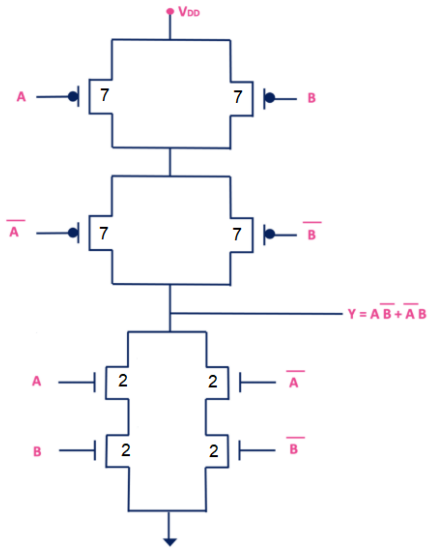


شکل ۳: شماتیک و سایزینگ گیت NOR

۵.۱.۱ گیت XOR۲ (با ضریب ۴.۳)

در پیاده‌سازی استاتیک CMOS برای گیت XOR بدترین مسیر شارژ و دشارژ خازن خروجی از دو ترانزیستور سری می‌گذرد (هم در شبکه Pull-up و هم در Pull-down). بنابراین برای معادل‌سازی با اینورتر پایه ابتدا سایز هر دو شبکه ۲ برابر شده و سپس در ضریب 3.4 ضرب گردیده است.

- NMOS (بدترین مسیر ۲ ترانزیستور سری): $3.4 \times (2 \times 220\text{nm}) = 1496\text{nm}$
- PMOS (بدترین مسیر ۲ ترانزیستور سری): $3.4 \times (2 \times 770\text{nm}) = 5236\text{nm}$

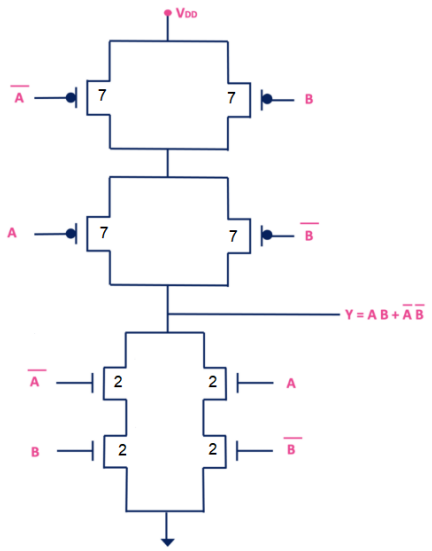


شکل ۴: شماتیک و سایزینگ گیت XOR

۶.۱.۱ گیت XNOR۲ (با ضریب ۸.۳)

ساختار گیت XNOR از نظر مسیرهای بحرانی جریان کاملاً مشابه XOR است و بدترین حالت آن عبور جریان از دو ترانزیستور سری است. محاسبات دقیقاً مشابه قبل بوده و تنها ضریب توان از 3.4 به 3.8 ارتقا یافته است.

- NMOS: $3.8 \times (2 \times 220\text{nm}) = 1672\text{nm}$
- PMOS: $3.8 \times (2 \times 770\text{nm}) = 5852\text{nm}$

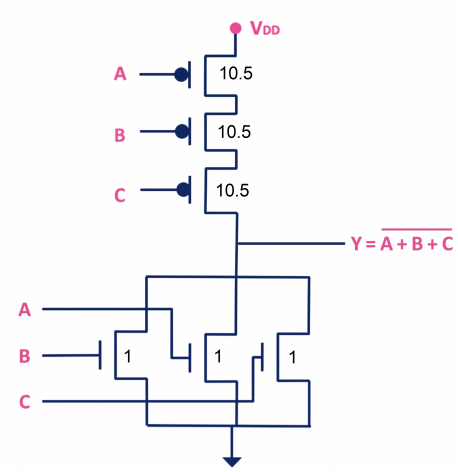


شکل ۵: شماتیک و سایزینگ گیت XNOR

۷.۱.۱ گیت NOR۳ (گیت خروجی با ضریب ۵)

در این گیت سه ورودی وجود دارد. شبکه بالابر از سه ترانزیستور PMOS سری تشکیل شده است به همین دلیل برای جبران کاهش جریان عرض کانال هر ترانزیستور باید ۳ برابر PMOS پایه در نظر گرفته شود. ترانزیستورهای NMOS به صورت موازی قرار گرفته‌اند و در نهایت اندازه کل گیت برای رسیدن به توان ۵ برابر مقیاس شده است.

- NMOS (موازی): $5.0 \times (1 \times 220\text{nm}) = 1100\text{nm}$
- PMOS (سه ترانزیستور سری): $5.0 \times (3 \times 770\text{nm}) = 11550\text{nm}$



شکل ۶: شماتیک و سایزینگ گیت NOR۳

در جدول زیر ابعاد نهایی اعمال شده برای ترانزیستورهای هر گیت مدار به صورت جداگانه محاسبه و گزارش شده است.

جدول ۱: ابعاد نهایی ترانزیستورهای گیت‌های مدار

Gate	Scaling Factor	NMOS Size	PMOS Size
NOT	1.2	264 nm	924 nm
NAND2	2.2	968 nm	1694 nm
AND2	2.4	1056 nm,528 nm	1848 nm
NOR2	2.8	616 nm	4312 nm
XOR2	3.4	1496 nm	5236 nm
XNOR2	3.8	1672 nm	5852 nm
NOR3	5.0	1100 nm	11550 nm

۲.۱ بررسی و اندازه‌گیری بدترین تأخیر مدار

در این بخش از پروژه هدف اصلی محاسبه‌ی بدترین تأخیر مدار و شناسایی مسیر بحرانی است. با توجه به ساختار مدارهای منطقی اعمال ورودی‌های تصادفی به مدار باعث می‌شود خروجی برخی از گیت‌های میانی روی یک مقدار ثابت قفل شده و مسیر عبور سیگنال مسدود گردد. بنابراین برای انجام یک ارزیابی دقیق و استخراج تأخیر واقعی از تکنیک حساس‌سازی مسیر (Path Sensitization) استفاده کردیم.

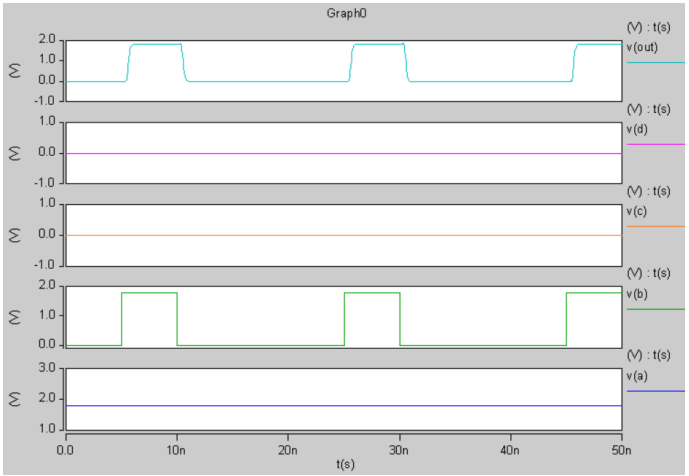
برای پیاده‌سازی این روش فرآیند شبیه‌سازی را به چهار بخش مجزا تفکیک کرده و چهار فایل تست‌بنچ جداگانه به نام‌های A.sp، B.sp، C.sp و D.sp توسعه دادیم. روند کار در هر یک از این فایل‌ها به شرح زیر است:

- در هر فایل تنها یکی از پایه‌های ورودی به عنوان سیگنال پالس در نظر گرفته شد.
- سایر ورودی‌های مدار روی مقادیر غیرکنترلی تنظیم شدند؛ به این معنا که مقادیر DC آن‌ها به گونه‌ای انتخاب شد که مسیر منطقی از ورودی مورد تست تا خروجی نهایی مدار کاملا باز بماند .

در نهایت با اجرای مستقل این چهار فایل در نرم‌افزار HSPICE و بهره‌گیری از دستور اندازه‌گیری measure. تخیر انتشار (Propagation Delay) سیگنال از هر ورودی تا خروجی ارزیابی شد. نتایج حاصل از این شبیه‌سازی‌ها برای هر دو حالت Rise Time و Fall Time استخراج شده و در جدول زیر خلاصه گردیده است:

مسیر ورودی	تأخیر لبه بالارونده (Rise)	تأخیر لبه پایین‌رونده (Fall)
تست A	465.9 ps	543.5 ps
تست B	625.8 ps	560.0 ps
تست C	343.2 ps	453.7 ps
تست D	415.4 ps	315.9 ps

با توجه به خروجی‌های دستور measure.، بدترین تأخیر کل مدار برابر با 625.8 پیکوثانیه (6.258e-10 ثانیه) است. این بیشینه تأخیر زمانی رخ می‌دهد که مقادیر ورودی‌های ثابت برابر با $A = 1.8V$، $C = 0V$ و $D = 0V$ باشند و یک لبه بالارونده (تغییر وضعیت از ۰ به ۱) به ورودی B اعمال شود.



شکل ۷: نمودار شبیه سازی

۲ بخش دوم: طراحی رجیستر و قرار دادن مدار محاسباتی بین دو رجیستر

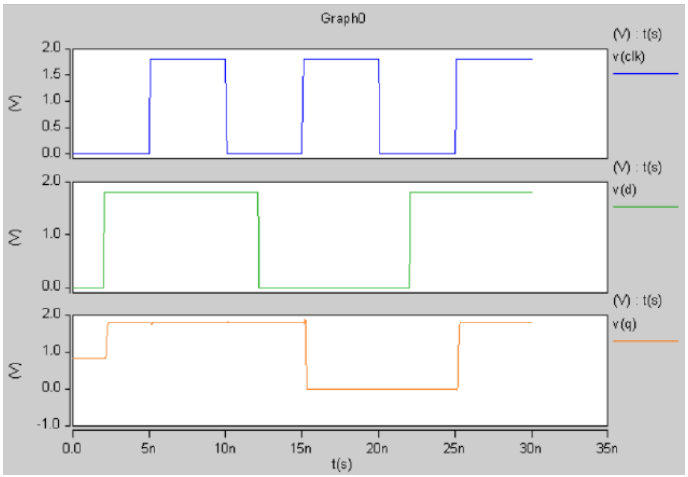
۱.۲ تحلیل حساسیت به لبه کلاک

مدار پیاده‌سازی شده در شکل ۳ یک فلیپ‌فلاپ Master-Slave حساس به لبه بالارونده (Positive Edge-Triggered) است. دلیل این حساسیت به لبه به شرح زیر است:

- مدار از دو بخش Master و Slave تشکیل شده است. لچ Master با استفاده از یک اینورتر در مسیر کلاک به سطح صفر کلاک حساس است در حالی که لچ Slave مستقیما با کلاک اصلی کنترل شده و به سطح یک حساس است.
- در زمانی که CLK=۰ است لچ Master شفاف بوده و داده ورودی D را دریافت می‌کند اما لچ Slave قفل است. به محض وقوع لبه‌ی بالارونده تغییر از ۰ به ۱ لچ Master قفل شده و دیتای لحظه‌ای را نگه می‌دارد و لچ Slave شفاف می‌شود و دیتای ذخیره شده در Master را به خروجی Q منتقل می‌کند. این ترکیب باعث می‌شود که خروجی تنها در لحظه‌ی تغییر کلاک به‌روزرسانی شود و در سایر زمان‌ها نسبت به تغییرات D ایزوله بماند.

۲.۲ بررسی عملکرد و تحلیل نمونه‌برداری

به منظور اثبات درستی عملکرد شبیه‌سازی گذرا با اعمال سیگنال‌های کلاک و داده انجام شد. نمونه‌ای از نمونه‌برداری صحیح در شکل زیر قابل مشاهده است:



شکل ۸: نمودار Waveform عملکرد فلیپ‌فلاپ Master-Slave و نحوه نمونه‌برداری خروجی Q از ورودی D در لبه بالارونده کلاک

همان‌طور که در نمودار مشخص است در زمان t=15 ns همزمان با وقوع لبه بالارونده کلاک خروجی Q مقدار داده ورودی D که در آن لحظه صفر است را می‌پذیرد. همچنین در زمان t=25 ns با وجود یک بودن مقدار D در لحظه لبه خروجی Q به سطح منطقی یک تغییر وضعیت می‌دهد که نشان‌دهنده دقت مدار در نمونه‌برداری است.

در بازه‌های زمانی که کلاک ثابت است مثلاً 12 ns تا 14 ns با وجود تغییرات ورودی D از سطح ۱ به۰ خروجی Q مقدار قبلی خود را حفظ کرده است. این رفتار نشان‌دهنده عملکرد صحیح فلیپ‌فلاپ در جداسازی ورودی از خروجی تا زمان رسیدن لبه بعدی کلاک است.

۳.۲ اندازه‌گیری پارامترهای زمانی فلیپ‌فلاپ (Master-Slave D-FF)

در این بخش مشخصه‌های زمانی رجیستر طراحی‌شده شبیه‌سازی و اندازه‌گیری شدند. برای واقعی‌تر شدن نتایج یک خازن بار 50 fF در خروجی رجیستر قرار داده شد . در تمامی شبیه‌سازی‌ها برای جلوگیری از بروز حالت‌های ناپایدار در لحظه صفر و پرش‌های ناگهانی ولتاژ شرایط اولیه گره‌های داخلی لچ با استفاده از دستور IC. مقداردهی شدند.

۱.۳.۲ اندازه‌گیری زمان تأخیر کلاک تا خروجی (t_{cq})

این پارامتر نشان‌دهنده مدت زمانی است که طول می‌کشد تا تغییرات ورودی پس از رسیدن لبه فعال کلاک در خروجی ظاهر شوند. برای محاسبه دقیق سیگنال D در فاصله‌ای کاملا امن پیش از لبه بالارونده کلاک تثبیت شد تا شرط زمان آماده‌سازی کاملا رعایت شود. سپس با استفاده از دستور MEASURE.، فاصله زمانی بین رسیدن ولتاژ کلاک به 50 درصد ولتاژ تغذیه (0.9V) تا رسیدن ولتاژ خروجی به 50 درصد ولتاژ تغذیه محاسبه شد. به منظور گزارش دقیق‌ترین نتیجه بدترین حالت $t_{(cq,LH)}$ و $t_{(cq,HL)}$ به صورت جداگانه اندازه‌گیری شدند:

- مقدار $t_{(cq,LH)}$ برابر با 470.2 ps به دست آمد.
- مقدار $t_{(cq,HL)}$ برابر با 497.4 ps به دست آمد.

با توجه به اصل در نظر گرفتن بدترین حالت بزرگترین مقدار به عنوان تأخیر نهایی فلیپ‌فلاپ گزارش می‌شود:

$$t_{cq} = 497.4 \text{ ps}$$

۲.۳.۲ اندازه‌گیری زمان آماده‌سازی (t_{setup})

زمان آماده‌سازی حداقل زمانی است که داده باید پیش از لبه فعال کلاک مقداری ثابت داشته باشد تا نمونه‌برداری به درستی انجام شود. برای یافتن این مرز بحرانی فاصله زمانی بین لبه تغییر داده و لبه کلاک به عنوان یک متغیر پارامتریک (t_{su}) تعریف شد. سپس با استفاده از تحلیل گذرا به همراه جاروب متغیر (.TRAN ... SWEEP)، لبه داده به صورت پله‌های 10 ps به لبه کلاک نزدیک شد. در فواصل دور تأخیر خروجی مقدار ثابتی داشت. با کاهش t_{su} به زیر 50 ps (در مقدار 40 ps)، لچ Master زمان کافی برای تثبیت ولتاژ گره‌های داخلی خود را از دست داد و خروجی دچار خرابی مطلق شد. آخرین زمانی که مدار نمونه‌برداری را با موفقیت و بدون افزایش چشمگیر تخیر انجام داد به عنوان زمان آماده‌سازی ثبت گردید. مقدار نهایی:

$$t_{setup} = 50 \text{ ps}$$

۳.۳.۲ اندازه‌گیری زمان نگهداری (t_{hold})

زمان نگهداری حداقل زمانی است که داده باید پس از لبه فعال کلاک مقدار خود را حفظ کند. برای اندازه‌گیری فرض شد داده با رعایت کامل زمان آماده‌سازی به مدار رسیده است. سپس با تعریف متغیر پارامتریک (t_h) و جاروب آن لبه پایین‌رونده داده از سمت راست به لبه کلاک نزدیک و حتی از آن عبور داده شد ( ). شبیه‌سازی نشان داد که مدار تا مقدار $t_h = -110ps$ به درستی کار می‌کند و تنها در 120 ps- دچار خطا می‌شود. دلیل منفی بودن این زمان تأخیر انتشار ذاتی گیت‌های اینورتر مسیر کلاک در داخل فلیپ‌فلاپ است که باعث می‌شود لچ Master کسری از ثانیه پس از صفر شدن کلاک در ورودی بلوک همچنان باز بماند. مقدار نهایی:

$$t_{hold} = -110 \text{ ps}$$

۴.۲ اندازه‌گیری و محاسبه بیشترین فرکانس کاری مدار

در این بخش هدف تعیین بیشترین فرکانس کاری مدار (f_{max}) در حالتی است که مدار محاسباتی طراحی‌شده در میان دو رجیستر قرار گرفته است. برای رسیدن به این هدف ابتدا فرکانس به صورت عملی و از طریق شبیه‌سازی استخراج شده سپس با محاسبه تئوری مقایسه گردید.

۱.۴.۲ محاسبه عملی بیشترین فرکانس کاری از طریق شبیه‌سازی

برای به دست آوردن فرکانس کاری عملی یک ساختار پایپ‌لاین طراحی شد که در آن ورودی‌ها همزمان با لبه کلاک وارد رجیستر اول شده از مدار ترکیبی عبور کرده و در نهایت توسط رجیستر خروجی نمونه‌برداری می‌شوند.

بدترین مسیر تأخیر مدار مسیر تست B با اعمال تحریک مناسب فعال گردید. سپس با استفاده از تحلیل گذرا و جاروب کردن دوره تناوب کلاک مقدار T_{clk} به تدریج کاهش یافت تا مرز خرابی مدار مشخص شود.

نتایج شبیه‌سازی نشان داد که در دوره‌های تناوب کوچکتر از 1260ps، ولتاژ خروجی به زیر سطح استاندارد منطق یک ۹۰ درصد ولتاژ تغذیه، معادل 1.62V افت می‌کند و مدار دچار خطای نمونه‌برداری می‌شود. بنابراین حداقل دوره تناوب مجاز در شبیه‌سازی عملی به شرح زیر است:

- حداقل دوره تناوب عملی: $T_{min(practical)} = 1260$ps
- بیشترین فرکانس عملی:

$$f_{max(practical)} = \frac{1}{T_{min(practical)}} = \frac{1}{1260 \times 10^{-12}}$$

فرکانس به دست آمده حدود 793.6MHz می‌باشد.

۲.۴.۲ محاسبه تئوری بیشترین فرکانس کاری

برای محاسبه کمترین دوره تناوب مجاز سیگنال کلاک به صورت تئوری از رابطه محدودیت بیشترین تأخیر استفاده می‌شود:

$$T_{min} = t_{cq} + t_{pd,comb} + t_{setup}$$

با جایگذاری پارامترهای زمانی که در شبیه‌سازی‌های پیشین به دست آمدند:

- تأخیر کلاک تا خروجی فلیپ‌فلاپ (t_{cq}): 497.4ps
- زمان آماده‌سازی فلیپ‌فلاپ (t_{setup}): 50ps
- بدترین تأخیر مدار ترکیبی ($t_{pd,comb}$): 625.8ps

$$T_{min(theory)} = 497.4 + 625.8 + 50$$

$$T_{min(theory)} = 1173.2\text{ps}$$

بنابراین، بیشترین فرکانس کاری مدار روی کاغذ برابر است با:

$$f_{max(theory)} = \frac{1}{1173.2 \times 10^{-12}}$$

فرکانس تئوری حدود 852.3MHz به دست می‌آید.

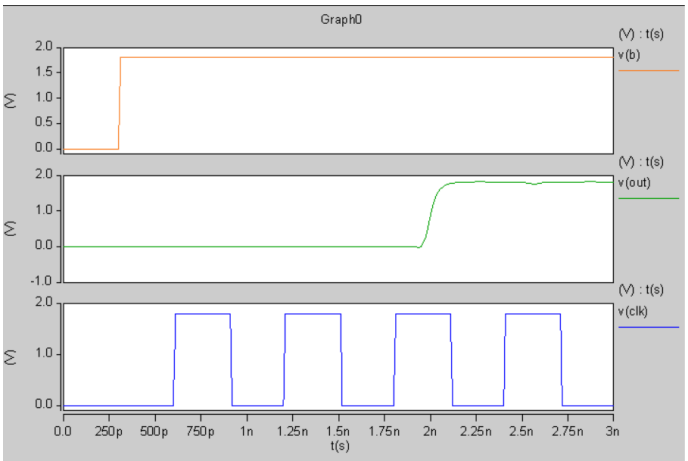
۳.۴.۲ مقایسه فرکانس تئوری و عملی و بررسی علل تفاوت

با مقایسه نتایج مشاهده می‌شود که فرکانس به دست آمده از شبیه‌سازی عملی (793.6MHz) کمتر از فرکانس محاسبه‌شده به روش تئوری (852.3MHz) است. این تفاوت حدودا ۶۰ مگاهرتزی کاملا منطقی بوده و به دلایل فیزیکی زیر در سطح ترانزیستور رخ می‌دهد:

- در محاسبه تئوری تأخیر گیت‌ها و فلیپ‌فلاپ‌ها به صورت ایزوله بررسی شد. اما در مدار عملی یکپارچه خازن‌های ورودی مدار ترکیبی مستقیما به عنوان بار روی خروجی رجیستر اول قرار می‌گیرند و خازن ورودی رجیستر دوم نیز بار مدار ترکیبی را افزایش می‌دهد. این اتصال باعث افزایش تخیر واقعی انتشار نسبت به حالت جمع جبری ساده می‌شود.
- در محاسبات مستقل سیگنال‌ها با لبه‌های ایده‌آل و تیز در نظر گرفته می‌شوند. در مدار پایپ‌لاین سیگنال پس از عبور از چندین طبقه منطقی، دچار کندی در لبه‌های بالارونده و پایین‌رونده می‌شود. این مسئله باعث می‌شود رجیستر خروجی برای ثبت صحیح داده به زمان Setup بیشتری نسبت به حالت ایزوله نیاز داشته باشد.
- مدار به طور ناگهانی از کار نمی‌افتد بلکه با نزدیک شدن به مرز فرکانس تئوری وارد ناحیه ناپایداری شده و سطح ولتاژ افت می‌کند. برای حفظ یکپارچگی سیگنال و رساندن خروجی به سطح استاندارد ولتاژ مدار در عمل به دوره تناوب بزرگ‌ترتی نیاز دارد.

۵.۲ طراحی سناریوی خطای نمونه‌برداری در فرکانس غیرمجاز

در این آزمایش دوره تناوب سیگنال کلاک روی تنظیم شده است که به مراتب از حداقل دوره تناوب مجاز کمتر است. سیگنال ورودی B (موج نارنجی رنگ) به گونه‌ای اعمال شده که در زمان یک شود تا بدترین مسیر تاخیر مدار محاسباتی فعال گردد.



شکل ۹: نمودار نمونه‌برداری و شبیه‌سازی سناریوی خطای همگام‌سازی

با بررسی شکل موج‌های خروجی روند بروز فاجعه در همگام‌سازی مدار به وضوح قابل مشاهده است:

۱. لبه اول کلاک : رجیستر اول دیتای ورودی B را نمونه‌برداری کرده و آن را وارد مدار ترکیبی می‌کند.

۲. تأخیر انتشار: با توجه به اینکه تأخیر مسیر بحرانی مدار ترکیبی بیش از است دیتای پردازش‌شده حوالی زمان به ورودی رجیستر خروجی می‌رسد.

۳. لبه دوم کلاک : لبه‌ی ثبت داده در رجیستر دوم فرا می‌رسد. از آنجا که داده‌ی جدید هنوز در راه است و نرسیده شرط زمان آماده‌سازی کاملا نقض شده است. در این لحظه رجیستر خروجی مقدار قبلی (صفر) را نمونه‌برداری می‌کند.

۴. لبه سوم کلاک : داده‌ی صحیح بالاخره تثبیت شده است. رجیستر خروجی در این لبه داده را ثبت می‌کند و خروجی نهایی (موج سبز رنگ) به سطح می‌رسد.

۳ بخش سوم: قراردادن مدار محاسباتی بین آرایه ای از Latch ها

۱.۳ تعیین نوع حساسیت Latch (Positive یا Negative)

مدار پیاده‌سازی شده در شکل ۲ یک لچ حساس به سطح پایین (Negative-Level Sensitive Latch) است.

در ساختار این مدار سیگنال کلاک (CLK) پیش از ورود به گیت‌های کنترل‌کننده از یک گیت معکوس‌کننده عبور کرده و به سیگنال CLK_bar تبدیل می‌شود.

هنگامی که کلاک در سطح منطقی صفر (CLK=0) قرار دارد سیگنال CLK_bar برابر با یک می‌شود. در این حالت گیت‌های NAND ورودی فعال شده و به داده‌ی D و معکوس آن (D_bar) اجازه می‌دهند تا مقادیر S_bar و R_bar را تغییر دهند. در نتیجه خروجی Q مقادیر ورودی D را دنبال می‌کند.

هنگامی که کلاک در سطح منطقی یک (CLK=1) قرار دارد سیگنال CLK_bar برابر با صفر می‌شود. این امر باعث می‌شود خروجی هر دو گیت NAND ورودی یعنی S_bar و R_bar در وضعیت منطقی یک قرار بگیرند. اعمال ورودی‌های ۱ و ۱ به لچ SR متقاطع باعث می‌شود مدار حالت قبلی خود را حفظ کند و تغییرات ورودی D هیچ تأثیری روی خروجی نگذارد.

بنابراین چون مدار در زمان CLK=0 داده را عبور می‌دهد یک Latch Negative است.

۲.۳ تغییرات لازم برای تبدیل به Latch حساس به سطح بالا (Positive Latch)

برای اینکه مدار دقیقا رفتار معکوس داشته باشد یعنی در زمان CLK=1 داده را عبور دهد و در CLK=0 قفل شود باید قطبیت سیگنال کلاک وارد شده به گیت‌های NAND ورودی را تغییر دهیم.

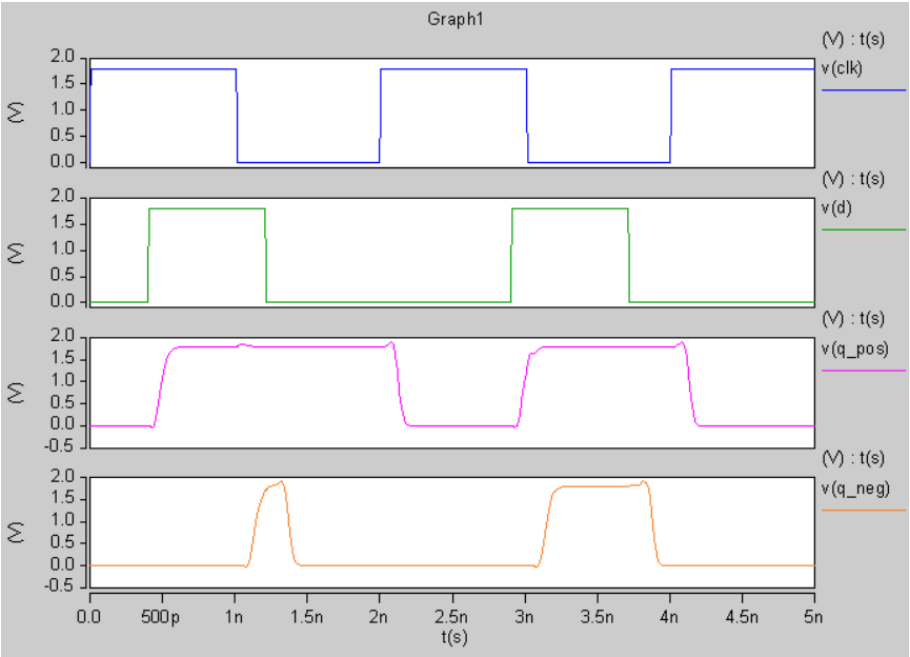
تغییر لازم در سطح مدار به این شرح است:

- گیت معکوس‌کننده کلاک باید از مسیر کلاک ورودی به گیت‌های X_NAND_S و X_NAND_R حذف شود.
- سیگنال CLK باید مستقیما بدون NOT شدن به یکی از پایه‌های این دو گیت NAND متصل گردد.

با این تغییر ساده گیت‌های ورودی تنها زمانی که CLK=1 است فعال می‌شوند و مدار به یک Positive-Level Sensitive Latch تبدیل می‌گردد.

۳.۳ شبیه‌سازی Positive Latch و Latch Negative

برای بررسی صحت عملکرد سیگنال داده D و سیگنال کلاک CLK با دوره تناوب یکسان اعمال شدند. مطابق نمودار زمانی به دست آمده:



شکل ۱۰: نمودار زمانی و بررسی صحت عملکرد لچ مثبت و لچ منفی

- **لچ مثبت (q_pos):** این مدار در فاز سطح بالای کلاک ($CLK = 1$) به صورت Transparent عمل می‌کند. مشاهده می‌شود که در بازه‌های 0ns تا 1ns و 2ns تا 3ns که کلاک یک است خروجی q_pos دقیقاً از سیگنال ورودی D تبعیت کرده و تغییرات آن را به خروجی منتقل می‌کند. در فاز سطح پایین کلاک ($CLK = 0$) لچ وارد حالت Hold شده و مقدار آخرین داده‌ی نمونه‌برداری‌شده را در خروجی ثابت نگه می‌دارد.

- **لچ منفی (q_neg):** این مدار با استفاده از معکوس‌کننده‌ی کلاک طراحی شده و رفتاری کاملا مکمل لچ مثبت دارد. همان‌طور که در نمودار دیده می‌شود در بازه‌های 1ns تا 2ns و 3ns تا 4ns که کلاک در سطح پایین ($CLK = 0$) قرار دارد لچ داده‌ی D را به خروجی q_neg منتقل می‌کند. با یک شدن کلاک مدار ورودی را ایزوله کرده و وضعیت فعلی خود را حفظ می‌کند.

شبیه‌سازی‌ها به وضوح تفاوت منطقی لچ‌های حساس به سطح را نشان دادند. لچ مثبت در سطح یک کلاک و لچ منفی در سطح صفرِکلاک اجازه عبور داده را صادر می‌کنند. انطباق کامل تغییرات خروجی با سطوح سیگنال کنترلی کلاک صحت طراحی و پیاده‌سازی هر دو ساختار را تایید می‌نماید.

۴.۳ شبیه‌سازی، تعیین حداکثر فرکانس کاری و تحلیل پدیده Borrowing Time

۱.۴.۳ ۱. بیشترین فرکانس کاری مدار و نحوه اندازه‌گیری آن

برای به دست آوردن بیشترین فرکانس کاری مدار دوره تناوب سیگنال کلاک (T_{clk}) را در فایل شبیه‌سازی HSPICE به صورت پله‌پله کاهش دادیم تا جایی که مدار در آستانه خطای زمان‌بندی قرار گیرد و لچ خروجی دیگر نتواند دیتای صحیح را به شکل پایدار نمونه‌برداری کند. بر اساس نمودار خروجی حاصل از این شبیه‌سازی بحرانی مقادیر زیر برای سیگنال کلاک استخراج گردید:

- **دوره تناوب کلاک (T_{clk}):** با توجه به لبه‌های بالارونده کلاک در زمان‌های $t = 0$ و $t = 1.5$ns و $t = 3.0$ns، کمترین دوره تناوب مجاز مدار برابر با 1490ps به دست آمد.
- **محاسبه بیشترین فرکانس کاری (f_{max}):**

$$f_{max} = \frac{1}{T_{min}} = \frac{1}{1.490 \times 10^{-9}\text{s}} \approx 671.14\text{MHz}$$

۲.۴.۳ ۱. بررسی و تحلیل وقوع پدیده قرض گرفتن زمان Time Borrowing

با بررسی Waveform پدیده Borrowing Time قطعا رخ داده است. تحلیل زمانی مدار به شرح زیر است:

- **تغییر ورودی:** سیگنال v(b) در $t = 1.35$ns تغییر می‌کند. چون لچ ورودی از نوع Negative Latch است، در فاز صفر کلاک کاملاً Transparent بوده و دیتا را فوراً عبور می‌دهد.
- **وضعیت در لبه کلاک ($t = 1.5$ns):** در لحظه Edge Rising کلاک ولتاژ خروجی مدار ترکیبی (v(out_comb)) هنوز صفر ولت است یعنی محاسبات مدار به دلیل Delay Propagation گیت‌ها تا لبه کلاک تمام نشده است.
- **مکانیزم Time Borrowing:** چون لچ خروجی از نوع Latch Positive است، با یک شدن کلاک وارد فاز Transparency می‌شود. در نتیجه به مدار ترکیبی اجازه می‌دهد تا محاسباتش را پس از لبه کلاک نیز ادامه دهد.
- **میزان زمان قرض گرفته شده:** خروجی مدار ترکیبی در $t \approx 2.0$ns پایدار شده و لچ خروجی آن را پاس می‌دهد. مدار دقیقاً به اندازه 500ps از فاز فعال کلاک بعدی زمان قرض گرفته است:

$$\Delta t_{borrow} = 2.0\text{ns} - 1.5\text{ns} = 500\text{ps}$$

۵.۳ مزیت استفاده از سه لچ (شکستن مدار) نسبت به دو رجیستر

مهم‌ترین مزیت این ساختار **افزایش چشمگیر فرکانس کاری** (Maximum Clock Frequency) و در نتیجه افزایش گذردهی (Throughput) سیستم است.

- در حالت قبل سیگنال باید در یک سیکل کلاک از کل مسیر منطقی عبور می‌کرد بنابراین حداقل دوره تناوب کلاک با مجموع تخیر کل مدار متناسب بود.
- در ساختار جدید با اعمال تکنیک Pipelining مدار محاسباتی سنگین به دو بخش کوچکتر (CLB_A و CLB_B) شکسته شده و یک لچ میانی ($L2$) بین آن‌ها قرار گرفته است. در این حالت دوره تناوب کلاک سیستم دیگر توسط تأخیر مجموع تعیین نمی‌شود بلکه توسط کندترین بخش مسیر بحرانی طولانی‌تر بین CLB_A یا CLB_B محدود می‌گردد. در نتیجه حداقل دوره تناوب کاهش یافته و سرعت مدار بالاتر می‌رود.

۶.۳ وضعیت $CLK1$ و $CLK2$ نسبت به یکدیگر برای کارکرد صحیح مدار

از آنجایی که در این ساختار از Latch استفاده شده است، سیگنال‌های کلاک باید از نوع کلاک‌های دو فازی غیر همپوشان (Non-overlapping Two-Phase Clocks) باشند.

- **تحلیل عملکرد:** برای جلوگیری از پدیده‌ی Condition Race کلاک‌ها باید فاز مخالف یکدیگر باشند. به عبارتی در ساده‌ترین حالت باید داشته باشیم:

$$CLK2 = \overline{CLK1}$$

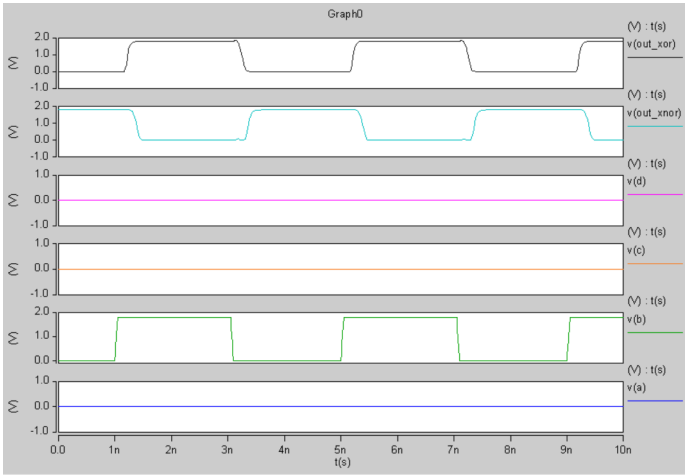
- **اهمیت عدم همپوشانی:** اگر در یک لحظه هر دو کلاک $CLK1$ و $CLK2$ همزمان فعال باشند داده‌ی ورودی می‌تواند در یک کلاک از لچ اول، CLB_A لچ دوم و CLB_B به صورت یک‌جا عبور کند و کل منطق خط لوله از بین برود. بنابراین زمانی که $L1$ در حال نمونه‌برداری و عبور داده است، $L2$ باید حتماً در وضعیت قفل باشد و بالعکس. در طراحی‌های عملی و دقیق، یک زمان مرده کوچک بین لبه‌های این دو کلاک لحاظ می‌شود تا از عدم تداخل آن‌ها اطمینان حاصل گردد.

۷.۳ اندازه‌گیری بدترین تأخیر حالت اول

در این بخش از پروژه مدار اصلی را به دو زیرمدار مجزا یعنی CLB_A و CLB_B تقسیم کردیم تا تاخیر هر قسمت را جداگانه بررسی کنیم برای محاسبه دقیق بدترین تاخیر از تکنیک حساس سازی مسیر استفاده کردیم یعنی در هر حالت فقط یک ورودی به عنوان پالس در نظر گرفته شد و مقادیر بقیه ورودی ها روی ولتاژ ثابت تنظیم شدند تا مسیر عبور سیگنال تا خروجی مسدود نشود

بدترین تاخیر بلوک CLB_A

با شبیه سازی تمامی مسیرهای ممکن مشخص شد که بدترین تاخیر این بلوک برابر با 361.9 پیکوثانیه است این بیشینه تاخیر زمانی رخ میدهد که پالس به ورودی B اعمال شود و بقیه ورودی ها یعنی A و C و D روی 0 ولت ثابت باشند در این حالت مسیر بحرانی تا خروجی out_xnor کشیده میشود

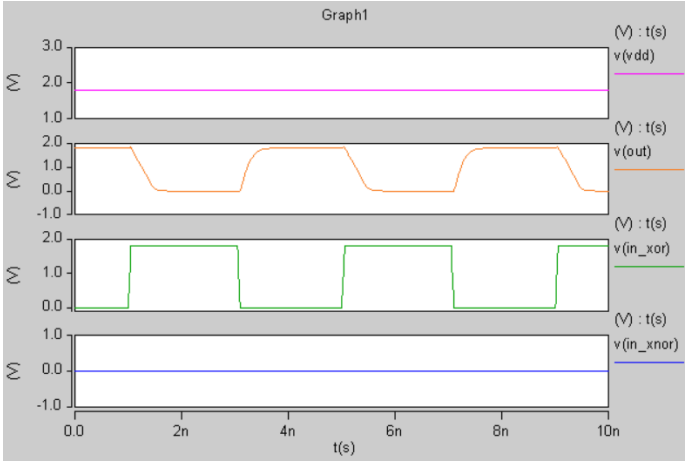


شکل ۱۱: نمودار زمانی مربوط به شبیه‌سازی بدترین تأخیر بلوک CLB_A

همانطور که در شکل بالا مشخص است ورودی های A و C و D روی صفر ولت قفل شده اند و ورودی B در حال نوسان است خروجی out_xnor به صورت معکوس تغییرات ورودی B را دنبال میکند با دقت در نمودار مشخص است که یک اختلاف زمانی بین تغییر لبه ورودی و واکنش خروجی وجود دارد که این فاصله دقیقاً همان تاخیر 361.9 پیکوثانیه ای مدار را نشان میدهد

بدترین تاخیر بلوک CLB_B

برای بلوک دوم نیز با بررسی ورودی ها بدترین تاخیر برابر با 256.9 پیکوثانیه محاسبه شد این تاخیر مربوط به زمانی است که پایه in_xnor روی صفر ولت ثابت نگه داشته شود و سیگنال متغیر به ورودی in_xor اعمال گردد



شکل ۱۲: نمودار زمانی مربوط به شبیه‌سازی بدترین تأخیر بلوک CLB_B

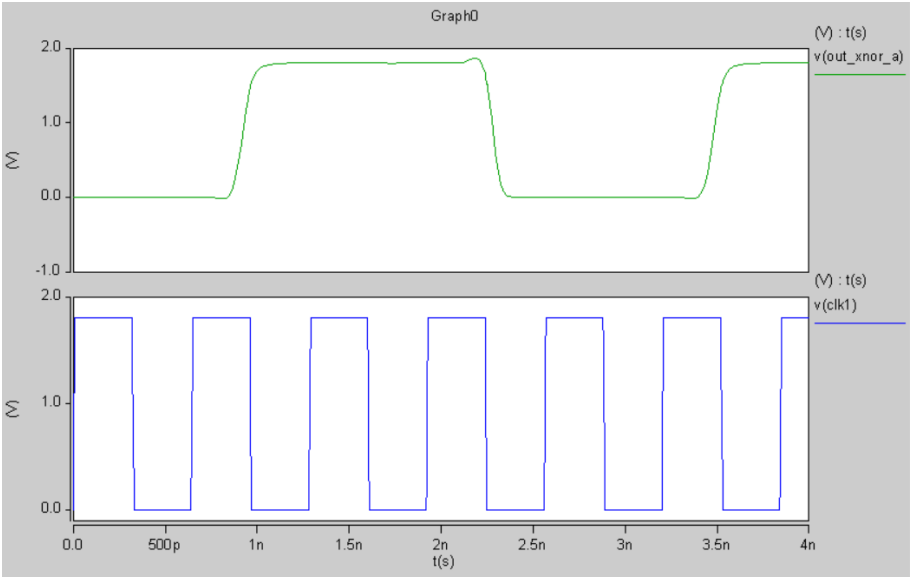
در این نمودار مشاهده میشود که با صفر بودن in_xnor مسیر منطقی برای عبور سیگنال باز است با اعمال لبه بالارونده به ورودی in_xor ولتاژ خروجی به سمت صفر افت میکند نکته قابل توجه در این نمودار شیب دار بودن لبه های سیگنال خروجی است که به دلیل وجود خازن بار 100 فمتوفارادی در خروجی این بلوک ایجاد شده است شارژ و دشارژ این خازن باعث افزایش زمان نشست سیگنال شده و تاخیر 256.9 پیکوثانیه ای را به همراه داشته است

۸.۳ بررسی صحت عملکرد مدار پایپ لاین و Time Borrowing

در این بخش از شبیه سازی درستی عملکرد مدار در بالاترین فرکانس کاری ممکن بررسی شد با وجود اینکه دوره تناوب کلاک را تا حد مرزی کاهش دادیم اما شبیه سازی ها نشان میدهد که مدار خروجی نهایی خود را به درستی تولید میکند و خروجی پایپ لاین تغییرات ورودی را با موفقیت دنبال میکند که این موضوع نشان دهنده صحت عملکرد طراحی و اتصالات لچ ها میباشد

برای محاسبه مقدار زمانی که قرض گرفته شده است باید بدانیم بلوک منطقی اول چقدر از زمان مقرر خود فراتر رفته است زمان مقرر برای پایان کار بلوک اول دقیقا لبه پایین رونده کلاک اول یعنی CLK1 است بنابراین در نرم افزار با استفاده از دستورات اندازه گیری اختلاف زمانی بین لبه پایین رونده کلاک و لحظه ای که سیگنال خروجی بلوک اول یعنی out_xnor_a به مقدار نهایی خود میرسد را حساب کردیم مقدار دقیق این زمان قرض گرفته شده طبق خروجی نرم افزار برابر با 241.2 پیکوثانیه محاسبه شد

در نمودار بالا سیگنال آبی رنگ نشان دهنده کلاک سیستم CLK1 و سیگنال سبز رنگ نشان دهنده خروجی مسیر بحرانی بلوک اول یعنی out_xnor_a است همانطور که در شکل کاملا مشخص است لبه



شکل ۱۳: نمودار زمانی شبیه‌سازی صحت عملکرد مدار پایپ‌لاین و پدیده Time Borrowing

های بالا رونده و پایین رونده سیگنال سبز رنگ با تاخیر قابل توجهی نسبت به لبه های کلاک رخ میدهند یعنی سیگنال سبز رنگ بعد از اینکه فاز کلاک تمام شده و کلاک تغییر وضعیت داده است تازه در حال رسیدن به سطح ولتاژ نهایی خود میباشد این بیرون زدگی و شیفت زمانی سیگنال نسبت به کلاک دقیقا همان زمان قرض گرفته شده است اما از آنجایی که لچ طبقه بعدی به سطح ولتاژ کلاک حساس است نه لبه آن این سیگنال تاخیر دار را به راحتی از خود عبور میدهد و مدار بدون خطا به کار خود ادامه میدهد

۹.۳ یافتن بیشترین فرکانس کاری مدار با شبیه سازی جاروبی

برای یافتن دقیق بیشترین فرکانس کاری مدار، مسیر بحرانی (اعمال پالس به ورودی B) را انتخاب کرده و با استفاده از دستور SWEEP در نرم افزار HSPICE، دوره تناوب کلاک (Tclk) را از 1000 پیکوثانیه تا 300 پیکوثانیه کاهش دادیم تا به مرز خرابی مدار برسیم. با بررسی جدول خروجی نرم افزار مشخص شد که حداقل دوره تناوب ممکن برای کارکرد صحیح این مدار پایپ لاین برابر با 410 پیکوثانیه است (پس از این مقدار، مدار دچار خطای Timing شده و خروجی نهایی تولید نمیشود). فرکانس متناظر با این دوره تناوب، یعنی 2.44 گیگاهرتز، بیشترین فرکانس کاری مدار میباشد.

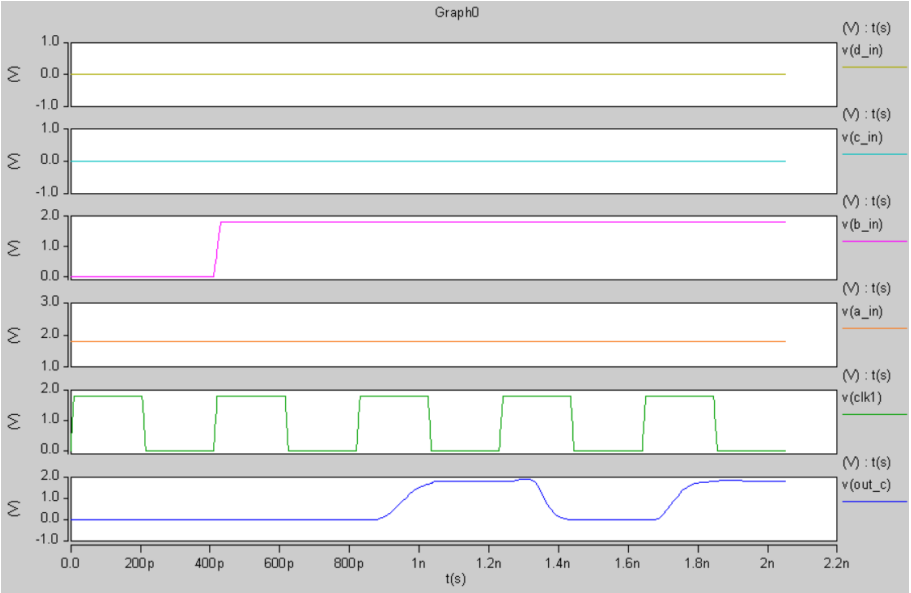
تحلیل فرکانس‌های کاری

با مقایسه فرکانس‌های به دست آمده مشخص است که ساختار پایپ لاین طراحی شده در این مرحله به فرکانس خیره‌کننده 2.44 گیگاهرتز دست یافته است که در مقایسه با ساختارهای قبلی (793.6 مگاهرتز و 671.14 مگاهرتز) افزایش فوق‌العاده‌ای را نشان می‌دهد.

دلایل این افزایش فرکانس:

- **بهینه‌سازی پایپ‌لاین (Pipelining):** دلیل اصلی این جهش فرکانسی، افزایش تعداد مراحل پایپ‌لاین است. در حالت‌های قبل مدار تنها دارای دو مرحله بود و تأخیر مسیر بحرانی به طور کامل در یک سیکل کلاک دیده می‌شد. اما با اضافه کردن لچ‌های میانی و تقسیم منطق به سه مرحله، تأخیر هر مرحله (Stage Delay) به شدت کاهش یافته است که مستقیماً باعث افزایش فرکانس کلاک می‌شود.

- **اثر ترکیبی Time Borrowing و Pipelining:** در این مدار، علاوه بر تقسیم‌بندی منطق، از ویژگی قرض گرفتن زمان نیز استفاده شده است. این تکنیک باعث شده است که محدودیت‌های زمانیِ سخت‌گیرانه (Hard Constraints) که در حالت رجیستری وجود داشتند، منعطف شده و فرکانس کاری به بیشترین مقدار ممکن در محدوده‌ی تکنولوژی ساخت برسد.



شکل ۱۴: نمودار تحلیل مسیر بحرانی مدار پایپ‌لاین

۱۰.۳ تحلیل زمان‌بندی و کارایی مدار پایپ‌لاین شکل ۶

تمامی شبیه‌سازی‌های زمان‌بندی و استخراج تاخیرهای این بخش مشابه با متدولوژی و ساختار توصیف‌شده در شکل ۵ انجام گرفته است. در این تحلیل رفتار دینامیکی مدار پایپ‌لاین تحت فرکانس‌های مختلف کلاک بررسی شد تا مرز پایداری سیستم مشخص گردد.

۱. تحلیل تاخیر بلوک‌های منطقی

پس از بررسی تمام مسیرهای بحرانی و شرایط گوناگون کلیدزنی بدترین تاخیرهای محاسباتی (Critical Path) در هر یک از بلوک‌های منطقی به شرح زیر استخراج شد:

- **بلوک منطقی CLB_A:** بدترین تاخیر محاسباتی در این بلوک برابر با 68.11 پیکوثانیه است. این تاخیر مربوط به تحریک ورودی از مسیر B و بالا رفتن خروجی گیت NOR در ساختار داخلی بلوک (delay_rise_b_nor) می‌باشد.
- **بلوک منطقی CLB_B2:** بدترین تاخیر محاسباتی در این بلوک به مراتب بزرگتر بوده و برابر با 478.1 پیکوثانیه است. این مسیر بحرانی مربوط به سیگنال in_nand و لبه‌ی صعودی خروجی نهایی مدار (delay_rise_nand_out) است.

۲. پدیده قرض گرفتن زمان (Time Borrowing) و تغییرات کلاک

با توجه به اینکه مدار از لچ‌های حساس به سطح (D_LATCH_POS) با دو فاز کلاکِ متقاطع (CLK1 و CLK2) استفاده می‌کند، مدار پتانسیل بروز پدیده Time Borrowing را دارد.

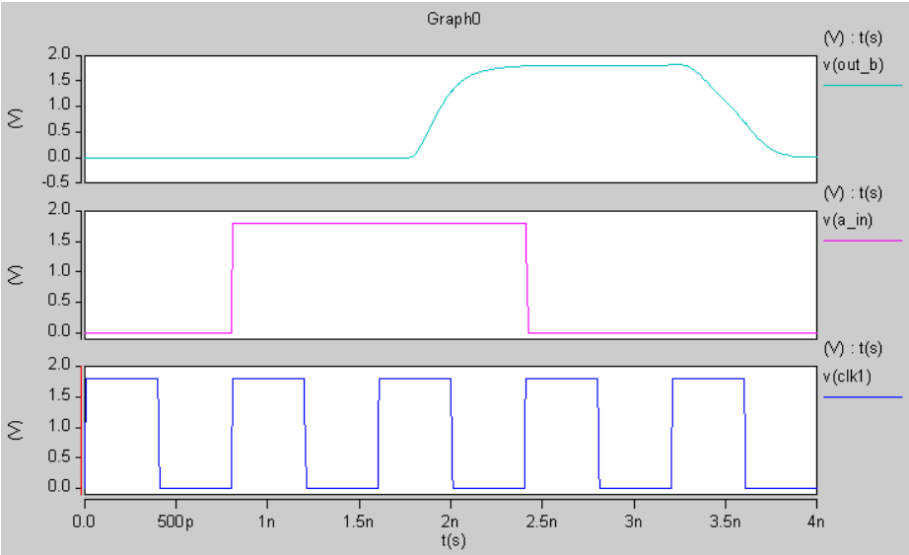
وقتی دوره تناوب کلاک روی $T_{clk} = 800\text{ps}$ تنظیم می‌شود زمان اسمی اختصاص‌یافته به هر نیم-سیکل برابر است با:

$$\frac{T_{clk}}{2} = 400\text{ps}$$

از آنجا که تاخیر بلوک CLB_B2 (478.1 ps) از نیم-سیکل قانونی آن (400 ps) بزرگتر است، این بلوک نمی‌تواند محاسباتش را در زمان مقرر تمام کند. در نتیجه مدار به طور خودکار وارد فاز پایداری موقت شده و زمان مورد نیاز خود را از فاز کلاک بعدی قرض می‌گیرد.

مقادیر دقیق استخراج‌شده از فایل خروجی شبیه‌سازی (.mt0) در این نقطه به شرح زیر است:

پارامتر شبیه‌سازی	مقدار استخراج شده
دوره تناوب کلاک (T_{clk})	800 ps
زمان نیم-سیکل	400 ps
زمان قرض گرفته شده (time_borrowed)	325.6 ps
تاخیر کل مدار (total_delay)	1.682 ns



شکل ۱۵: شکل موج خروجی شبیه‌سازی مدار پایپ‌لاین در کلاک ۸۰۰ پیکوثانیه

شکل موج تجربی کاملا تایید می‌کند که بلوک CLB_B2 بخش قرض‌گیرنده‌ی زمان در مدار است. هرچند مکانیزم Time Borrowing به لچ‌ها اجازه می‌دهد زمان کم‌آورده شده را جبران کنند، اما به دلیل بالا بودن بیش از حد این تاخیر (time_borrowed = 325.6 ps)، داده یک سیکل کلاک عقب افتاده و فرکانس کاری مدار در این نقطه محدود شده است.

۳. تعیین فرکانس ماکزیمم

با انجام یک سوئیپ عمیق روی کلاک، مرزهای عملکردی مدار به این صورت مشخص شد:

- **فرکانس ماکزیمم واقعی (f_{max}):** آخرین نقطه‌ای که مدار رفتار خطی و بدون خطا دارد، کلاک 820 ps است:

$$f_{\text{max}} = \frac{1}{820\text{ps}} \approx 1.22\text{GHz}$$

همان‌طور که نتایج نشان می‌دهند مدار شکل ۵، ۲ برابر سریع‌تر از مدار شکل ۶ عمل می‌کند. دلیل این اختلاف شدید به ساختار داخلی بلوک‌ها برمی‌گردد:

- در مدار شکل ۵، تاخیر محاسباتی به صورت کاملاً متوازن و هم‌اندازه بین مراحل تقسیم شده است؛ در نتیجه مدار به راحتی در فرکانس‌های بالای ۲ گیگاهرتز پایدار می‌ماند.
- در مدار شکل ۶، بلوک جدید CLB_B2 تاخیر بسیار سنگینی (478.1 ps) دارد. این بلوک عملا به عنوان یک گلوگاه در مسیر بحرانی عمل کرده و اجازه نمی‌دهد دوره تناوب کلاک از ۸۲۰ پیکو ثانیه کمتر شود.

این مقایسه به وضوح ثابت می‌کند که در طراحی مدارات دیجیتال سنکرون، توزیع یکنواخت و متوازن تاخیر بین مراحل پایپ‌لاین (Pipeline Balancing) اهمیت حیاتی دارد؛ چرا که سرعت نهایی کل سیستم را همیشه کندترین بلوک منطقی آن تعیین می‌کند.