در این پروژه، پردازنده ۶ بیتی که در کلاس طراحی شده را پیادهسازی کرده و برای آن برنامهنویسی میکنیم.

توجه: این پروژه در صورتی قابل قبول است که برای آن گزارش هم نوشته شود. در این گزارش نحوه پیادهسازی پردازنده و اجرای برنامه توسط آن با استفاده از عکسهای مناسب از خروجی شبیهسازی نشان داده شود.

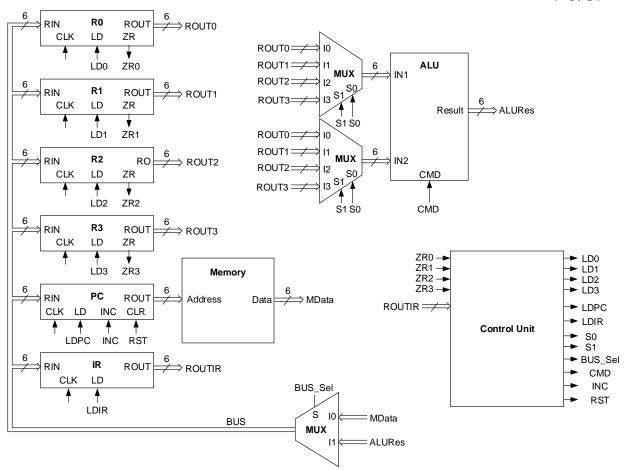
بخش اول (۴۰٪ نمره پروژه): برای انجام این پروژه ابتدا پردازنده را با استفاده از VHDL یا Verilog پیادهسازی کرده و صحت عملکرد آن را با اجرای کد زیر که دو عدد ۷ و ۴ را با هم جمع می کند بررسی کنید.

LOAD R0, 7 LOAD R1, 4 ADD R0, R1

بخش دوم (۲۰٪ نمره پروژه): با توجه به این که این پردازنده دستور ضرب ندارد، عمل ضرب را با استفاده از عمل جمع و به صورت نرمافزاری پیاده سازی کرده و صحت عملکرد آن را با یک مثال نشان دهید (مشابه بخش اول یک کد اسمبلی بنویسید که عمل ضرب را انجام دهد). به عنوان مثال، حاصلضرب عدد ۸ در ۶ را حساب کند.

بخش سوم (۴۰٪ نمره پروژه): دستور ضرب را با کمترین سربار سختافزاری به مجموعه دستورات اضافه کرده و صحت عملکرد آن را با نوشتن یک کد که حاصلضرب ۸ در ۶ را حساب کند نشان دهید. توجه کنید که برای این کار نیاز است تغییراتی در سختافزار و کد دستورات ایجاد کنید.

نمره اضافی (۱ نمره): پیاده سازی اسمبلر برای تبدیل کد اسمبلی به کد باینری با استفاده از زبانهای سطح بالا مانند جاوا و پایتون. معماری پردازنده:



دستورات پردازنده:

این پردازنده چهار دستور LOAD ،LOAD ،LOAD و JNZ با کد دستور (Op Code) زیر است:

| کد دستور | دستور | |
|----------|-------|--|
| 00 | LOAD | |
| 01 | ADD | |
| 10 | SUB | |
| 11 | JNZ | |

قالب دستورات:

| چینش در حافظه | RTL | اسمبلی دستور |
|--|---|-----------------|
| 00 Rx 00 مقدار دستور بعدی | Rx ← M[PC] | LOAD Rx, VALUE |
| 01 Rx Ry PC → دستور بعدی | $Rx \leftarrow Rx + Ry$ | ADD Rx, Ry |
| 10 Rx Ry PC → دستور بعدی | Rx ← Rx - Ry | SUB Rx, Ry |
| 11 Rx 00 الدرس پرش الدرس پرش الدرس يدى | If (Rx != 0) PC \leftarrow M[PC] else PC \leftarrow PC + 1 | JNZ Rx, Address |

