

题型

- 1. 填空题
- 2. 选择题
- 3. 名词解释
- 4. 简答题
- 5. 综合题

第零章 绪论

1. 集成电路产业链

产业分类	产业链中位置
设计	上游
制造加工	中游
封装测试	下游

2. 集成电路产业里程碑式的重大事件

时间	人物	创造
1906	Lee De Forest	三极真空管
1947	Bell Labs William Shockley & John Bardeen & Walter Brattain	固态晶体管（双极）
1958	Bell Labs, Martin Atalla	First Si-based MOSFET invented, 增强型MOSFET
1958	TI, Jack kilby	第一块集成电路
1958	Fairchild Semiconductor, Robert Noyce	第一块实用化集成电路
1960	Fairchild Semiconductor, Jean Hoerni	Planar technology

时间	人物	创造
1962	Fairchild, Frank M. Wanlass, C. T. Sah	CMOS技术, First CMOS circuit invented, 集成电路产业中占95%以上
1965	Fairchild	Moore's law
1971	Intel	1kb动态随机存储器（DRAM）
1971	Intel	微处理器——计算机的心脏
1988	-----	16M DRAM
20世纪90年代	-----	铜互连技术的发明（IBM）
2000以后	-----	0.18 μ m工艺——5nm工艺

3. 集成电路制造的5个步骤名称及简介

- ①**晶圆制备**：提供加工芯片的衬底材料
- ②**芯片制造**：最后在加工完的硅片上生产出**永久刻蚀**在硅片上的一整套集成电路
- ③**测试与筛选**：对硅片上的所有芯片进行单个芯片的探测和电学测试后，**选择出可用的芯片**，对有缺陷的芯片做出标记
- ④**组装与封装**：对通过测试的芯片进行装配和封装，便把单个芯片包装在一个**保护管壳内**
- ⑤**最终测试**：封装后的芯片进行测试，以确定是否满足电学和特性参数要求

4. 关键尺寸与特征尺寸

特征尺寸：芯片上器件的物理尺寸

关键尺寸：芯片上的**最小的特征尺寸**（作为定义制造工艺水平的标准）

当芯片的关键尺寸缩小时，所有尺寸都必须按比例缩小（横向加工尺寸和纵向深度尺寸）

5. 芯片加工环境的概念

指集成电路（或微电子）产品在加工过程中所接触的除衬底材料、加工设备、能源及加工技术之外的一切物质，包括空气、水、化学试剂、加工所用的各种气体及人员等。

6. 沾污的概念

半导体制造过程中引入到半导体硅片上的任何危害芯片成品率及电学性能的不希望有的物质

7. 现代**Fab**依赖的防止沾污的三道防线

- **净化环境**
- **硅片清洗**
- **吸杂**

8. 吸杂的概念

把硅片中的重金属离子和碱金属离子从有源区引导到不重要的区域

9. 吸杂的三个步骤

- i. **杂质元素从原有陷阱中被释放，成为可动原子**

ii. 杂质元素扩散到吸杂中心

iii. 杂质元素被吸杂中心俘获

10. 芯片的三种衬底材料（举例）

- 元素半导体（Si、Ge）
- 化合物半导体（GaAs、InP）
- 绝缘体（蓝宝石 Al_2O_3 ）

第一章 半导体工艺的基本原理

1. 集成电路工业的基本类型

- 薄膜制作 (thin film/layer): 形成不同材料构成的工艺层
典型工艺：**氧化、淀积**
- 掺杂(doping): 根据设计的需要，将各种杂质掺杂在需要的位置上，形成晶体管、接触等；
典型工艺：**扩散、离子注入**
- 图形加工(pattern): 将设计的电路图形转移到半导体晶片的各材料层上
典型工艺：**掩模制作、光刻、刻蚀**

2. 掺杂的定义

掺杂是指在集成电路生产过程中要对半导体材料的特定区域加入一定浓度的特定杂质来改变该部分材料的类型或杂质浓度从而制作各种器件的方法。故掺杂工艺是一种非常重要的基础工艺

3. 化学机械抛光（**CMP**, *Chemical Mechanical Polish*）

是一种将化学腐蚀与机械研磨相结合从而使硅圆片表面达到全面平坦化的工艺方法

4. 标准埋层双极晶体管的制作过程及结构（**综合题**）

.....

5. MOS IC 中的器件隔离（1-2, P51）

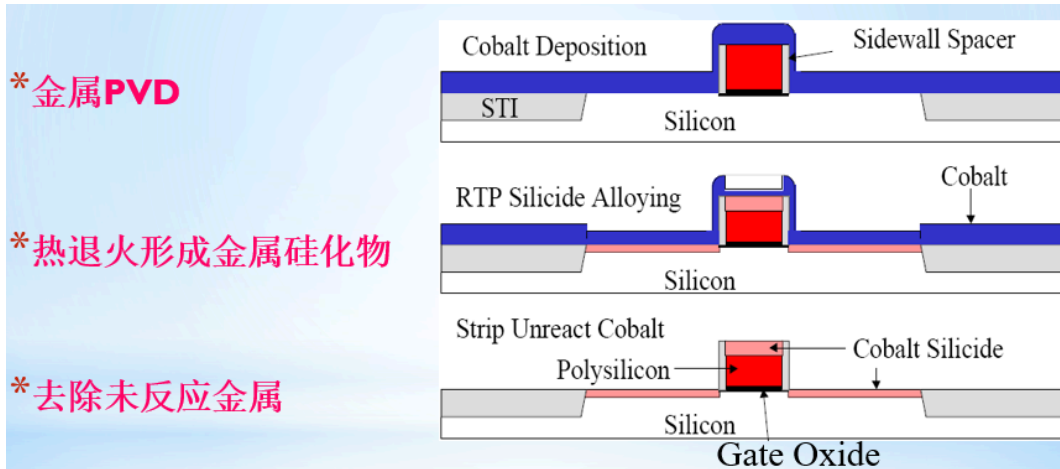
- **局部氧化隔离 (LOCOS):**
 - 工艺简单，成本低，产率高
 - 集成度低， $0.3\mu\text{m}$ 以上工艺使用
- **浅槽沟道隔离 (STI):**
 - 无“鸟嘴”，表面平坦性好，工艺相对复杂
 - $0.25\mu\text{m}$ 以下IC制造的标准隔离工艺

6. 三种不同的自对准工艺

i. 自对准双阱工艺:

- a. 初始P型衬底
- b. 生长 SiO_2 + 沉积 Si_3N_4
- c. 光刻：开N阱窗口 → 注入磷 (N型)

- d. 热氧化：N注入区形成厚氧 (自对准掩膜)
- e. 去氮化硅 → 注入硼 (P型)
- f. 高温驱入 → 形成N阱与P阱 (边界自对准)
- g. 去除氧化层 → 继续栅工艺
- ii. 硅栅自对准工艺：
先利用光刻胶保护刻出栅极，再以多晶硅为掩膜，刻出源、漏区域；此时多晶硅还是绝缘体或非良导体。再经过掺杂，杂质不仅进入硅中形成了源和漏，还进入多晶硅使它成为导电的栅极和栅极引线。
- iii. 自对准硅化物工艺：



7. 双阱CMOS IC工艺的主要流程

- i. 双阱工艺
- ii. 浅槽隔离工艺
- iii. 多晶硅栅结构工艺
- iv. 轻掺杂漏注入工艺
- v. 侧墙的形成
- vi. 源/漏注入工艺
- vii. 接触工艺
- viii. 局部互连工艺
- ix. 通孔1和钨塞1的形成
- x. 第一层金属(金属1)互连的形成
- xi. 通孔2和钨塞2的形成
- xii. 第二层金属 (金属2) 互连的形成
- xiii. 制作第三层金属(金属3)直到制作压点和合金
- xiv. 参数测试

8. 浅槽隔离工艺的主要步骤

- i. 槽刻蚀
- ii. STI氧化物填充 (选择CVD方法并说明)
- iii. STI氧化层抛光及去除氮化硅

9. 轻掺杂漏区 (LDD) 作用

降低沟道中漏附近的电场 (在整个沟道区最大), 减少源漏间的沟道漏电流效应, 提高FET的可靠性。

10. 为什么要使用LPCVD来制作钨栓 (第七步)

• 优异的孔填充能力 (Step Coverage)

- 钨栓需要填充高深宽比的接触孔。
- LPCVD 属于气相沉积, 反应物可均匀扩散至孔底。
- 各向同性沉积可避免空洞 (void) 或缝隙 (seam), 实现完整填充。

• 低压环境提高均匀性

- 在低压下气体分子平均自由程更长。
- 可在晶圆全表面保持沉积厚度均匀。
- 提高成膜一致性与良率。

• 低温工艺, 兼容后段互连 (BEOL)

- 沉积温度一般为 350–450 °C。
- 不会损伤下层金属或介质层。
- 与 Ti/TiN 粘附层兼容良好。

• 可控的选择性成核

- WF_6 在 Ti、TiN、Si 上可自成核, 而在 SiO_2 上不易成核。
- 可选择性地在接触孔中沉积钨。
- 避免额外刻蚀和平坦化操作。

• 高纯度与高致密度薄膜

- 化学反应沉积得到的钨纯度高、晶粒细小。
- 膜致密、空洞少、机械强度高。
- 接触电阻低, 器件可靠性好。

第二章 氧化

1. 氧化硅的四种主要作用(2-1,P20)

- 掺杂阻挡层
- 表面钝化层
- 电学隔离层
- 器件介质层

2. SiO_2 中的杂质主要类型(2-1,P32)

- 网络形成者
 - 定义: 可替代 SiO_2 四面体中心的硅, 并能与氧形成网络结构的杂质, 即替位式杂质
 - 常见类型: 通常是和硅原子大小相近或更小的一类杂质, 如硼、磷、铝等

- 影响：网络的结构和性质发生变化: 硼使原网络结构变疏松，磷使原网络结构结合得更紧密
- 作用：1.用来改善其物理性质 2.改变氧化层中有氧桥和无氧桥的比例 3.改变其密度、硬度、流动性、熔点及扩散系数;
- 网络改变者
 - 定义：指存在于SiO₂网络间隙中的杂质; 在网络中一般是以**离子形式存在**(由于离子半径较大，故不能取代网络中硅原子的位置，而只能占据网络中的空隙处。)
 - 常见类型：主要是离子半径较大的一类杂质，如钾、钠、钡、铅、铝等
 - 影响：网络改变者多以氧化物的形式加入到氧化硅中去**：(氧化物在网络中离化后，造成非桥键氧的数目增加，使网络结构弱化和疏松,)1. **氧化层熔点降低**；(网络空隙处的杂质更容易运动，些微的温度和电场作用，就可使杂质变成可动性的正离子) 2. **从而可引起器件不稳定和劣化**

3. 三种热氧化的方法

方法	氧化剂	优点	缺点
干氧化	O ₂	SiO ₂ 结构致密， 均匀性和重复性好，掩蔽能力强	生长速率慢
水汽氧化	H ₂ O	氧化速度快	SiO ₂ 质量差， 掩蔽能力不强
湿氧化	通过高纯水的氧气	生长速率介于上述两者间	-----

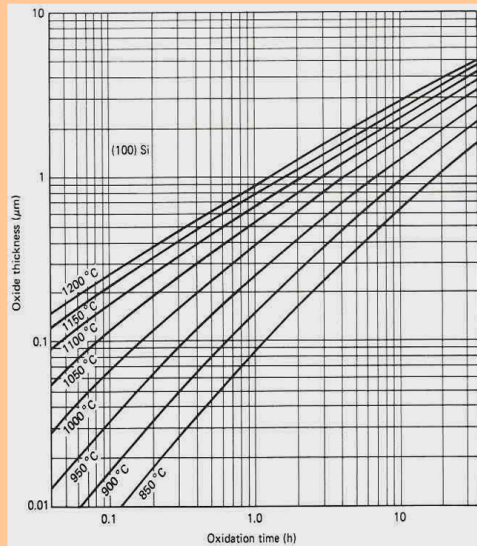
查表（厚度和时间的关系）

4. D-G模型

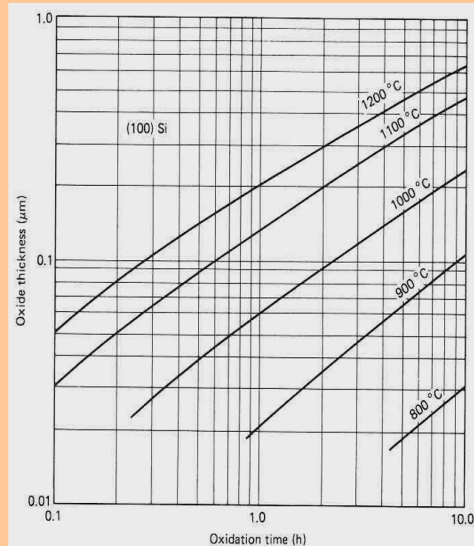
线性阶段（反应控制阶段）

抛物线型阶段（扩散控制阶段）

题目：DG模型分为哪两个阶段，若需生长20nm厚的栅氧，应选用哪种热氧化方法。若氧化温度为1000°，需多长氧化时间。



水汽氧化



干氧氧化

5. Si-SiO₂界面存在的四种电荷(2-2 P15)

- 可动离子电荷
- 氧化层固定电荷
- 界面陷阱电荷
- 氧化层陷阱电荷

6. 立式氧化炉的基本组成结构(2-2 p50)

- 工艺腔
- 硅片传输系统
- 气体分配系统
- 尾气系统
- 温控系统
- 微控制器

第三章 扩散

1. 扩散的两个必要条件(3 p10-11)

- 浓度差
- 过程所必须的能量

2. 间隙式杂质与间隙式扩散(P15-16)

- 间隙式杂质：存在于晶格间隙处的杂质称为**间隙式杂质**
- 间隙式扩散：间隙式杂质从一个间隙到另一个间隙的运动是通过原子间的缝隙进行的，这种依靠间隙方式而逐步跳跃前进的扩散称为**间隙式扩散(Interstitial diffusion)**
- 间隙杂质扩散较**快**，但对掺杂水平**没有直接贡献**
- 硅中的间隙式杂质：O, Au, Fe, Cu, Ni, Zn, Mg

3. 替位式杂质和替位式扩散

- 替位式杂质：占据晶格格点位置的杂质称为**替位式杂质**
- 替位式扩散：从一个晶格格点位置到另一个晶格位置的运动称为**替位式扩散(Substitutional Diffusion)**
- 替位式杂质扩散较**慢**，但**改变了材料的结构和性质**
- 硅中的替位式杂质：P, B, As, Al, Ga, Sb, Ge

4. 扩散系数(P26,作业题)

- 定义：**流密度和杂质浓度梯度之间的比例**

$$D = D_0 e^{\frac{\Delta E}{kT}} = \gamma_0 \cdot a^2 e^{\frac{\Delta E}{kT}}$$

- 物理意义：表征了杂质粒子在基体材料中扩散的快慢
- 决定扩散系数的因素： ΔE （空位扩散所需激活能，负相关）、 D_0 （表观扩散系数，正相关）、 T （温度，正相关）

5. 杂质扩散方式（P33）：**恒定表面源扩散、有限表面源扩散**

- 恒定表面源扩散：
 - 如果在整个扩散过程中，硅片表面的杂质浓度始终不变，这种类型的扩散称为恒定表面源扩散；工艺上又称其为预淀积扩散
 - 恒定表面源扩散的杂质分布是归一化距离的函数，为余误差分布。
- 有限表面源扩散
 - 扩散前先在硅片表面淀积一定数量的杂质，然后在整个扩散过程中将这层杂质作为扩散的杂质源，不再有新源补充，这种扩散方式称为有限表面源扩散。工艺上又称其为推进扩散，其扩散条件借助于预淀积扩散来实现。
 - 有限表面源扩散时的杂质浓度分布为一个中心在 $x=0$ 处的高斯分布。

6. 三种关键的扩散参数：**表面浓度、结深、薄层电阻**（P50）

7. 实际扩散工艺的三个步骤（P80）

- 预淀积
- 推进扩散
- 激活

第四章 离子注入

1. 离子注入定义 (4, P9)

离化后的原子在强电场的加速作用下，注射进入靶材料的表层，以改变特定区域材料表层的物理或化学性质的一种掺杂方法。

2. 三大基本要素(4,P10)

离子的产生、加速、控制

3. LSS(能量损失)模型{核阻止、电子阻止} (作业题, P18)

- 核阻止：(低能量时，核阻止本领随能量增加而线性增加；中等能量时，达到最大值；高能量时，核阻止本领变小) **回答：随能量增加核阻止本领先增加后减小**
- 电子阻止：在注入离子常用能量范围内，电子阻止本领与注入离子能量的**平方根成正比**

低能区：核阻止起主要作用，电子阻止作用可忽略

高能区：以电子阻止作用为主，核阻止可忽略；

中能区：在中间一个较宽的范围内，核阻止本领和电子阻止本领同时起作用。

4. 剂量 (Q)

$$Q = \frac{I \cdot t}{q \cdot n \cdot A}$$

其中：

I 为硅片背面搜集到的离子束的流量，称为束流，单位是**mA** 0.01 $\mu A \sim mA$ ；

t 为注入时间，单位为秒；

A 为注入面积，单位是平方厘米；

q 为电子电荷，等于 1.6×10^{-19} 库仑；

n 为注入离子电荷，如B⁺等于1

峰值浓度 N_{max} ：

$$N_{max} = 0.4 \frac{N_s}{\Delta R_p}$$

结深：

$$x_j = R_p + \Delta R_p \sqrt{2 \ln \frac{N_{max}}{N_B}}$$

题目：

7. 140 keV的B⁺离子注入到半径为10cm的圆形硅靶中（衬底浓度为 $2.2 \times 10^{16} / cm^3$ ）。

(1)如束流为 $0.2 \times 10^{-3} A$ ，注入时间为1分钟，试计算注入的剂量。

(2)试估算注入离子的峰值浓度、结深。(平均投影射程 R_p 为 $0.43\mu\text{m}$ ，投影射程标准偏差 ΔR_p 为 $0.086\mu\text{m}$ ，单电子/离子的电荷为 1.6×10^{19} 库仑)

5. 沟道效应(什么是沟道效应及其产生的主要原因，影响因素，以及它对注入分布的影响)

- 定义：对单晶靶进行离子注入时，当离子沿主晶轴方向注入时部分离子会沿沟道运动，几乎不会受到原子核的散射，方向基本不变，可行进很长的距离，使注入深度增大很多，这种现象称为沟道效应
- 原因：当离子进入沟道沿主晶轴向行进时，当原子相距较远时，受到的核阻止作用很小，以电子阻止作用为主但沟道中的电子密度很低，注入离子受到的电子阻止作用也很小，故注入离子在沟道中行进的距离变得很长
- 影响/作用：沟道效应的存在，将使得对注入离子在深度上难以控制，可能导致注入距离超过了预期的深度，从而使元器件失效；对于单晶靶，由于沟道效应很难控制注入离子的浓度分布。在晶体中注入将偏离LSS理论在非晶体中的高斯分布，并使注入离子的浓度分布产生一个很长的拖尾。由于沟道效应的出现受很多因素的影响，故很难获得重复的浓度分布。因此，沟道效应的使用价值很小，故要尽量避免。

6. 沟道效应的影响因素（与5结合）

- 离子注入方向
- 单晶靶取向（晶向）
- 靶温
- 注入剂量和注入速度

7. 离子注入机的组成（P108）

- 离子源
- 磁分析仪
- 加速管
- 聚焦和扫描系统
- 工艺腔

第五章

1. 溅射法的定义(P36)

应用高能离子与高纯度固体靶材料的表面原子进行碰撞，由于能量转移而使原子从固体表面溅射出来，并穿过真空最后淀积在材料表面，利用这种物理过程来制作薄膜的方法称为溅射法。

第六章

1. CVD两个阶段 (P29)

i. 反应速率限制淀积工艺

- 在较低的反应温度下，淀积速率受到表面化学反应速率的限制，这一区域的工艺称为反应速率限制淀积工艺。
- 温度控制是该工艺的一个重要指标，要求在硅片表面各处保持恒定的温度。
- 工作在反应速率限制的CVD系统，必须具有良好的温度控制和温度均匀性。

ii. 质量输运速率限制淀积工艺

- 温度提高到一定程度，淀积速率由质量输运速率控制，这一区域的工艺称为质量输运速率限制淀积工艺。
- 这种淀积工艺对温度不敏感，因而温度不再是主要参数，而反应剂气体的浓度成为控制淀积速度的主要参数，主要和反应腔体几何形状以及基片的排列方式有关
- 工作在质量输运限制的CVD系统，必须具有良好的流量控制和腔体几何形状设计。

2. 常用CVD工艺

• 常压化学气相淀积 **APCVD**

- 定义：在1个大气压下进行化学气相淀积；
- 优点：淀积速率高(100nm/min)，操作简便
- 缺点：产率低，易污染，薄膜均匀性差
- 主要应用：早期主要用于厚介质层和硅外延层淀积，如SiO₂、Si₃N₄。

• 低压化学气相淀积 **LPCVD**

- 定义：系统工作在较低的压强下(一般在100Pa以下)进行化学气相淀积的方法
- 优点：薄膜均匀性和台阶覆盖性好，低成本，高产量
- 缺点：相对低的淀积速率，相对高的工作温度
- 主要应用：多晶硅Poly Si，介质层钝化层SiO₂、Si₃N₄、PSG、BPSG及金属W、Ti等

• 等离子体化学气相淀积 **PCVD**

- 定义：RF激活气体分子（等离子体），使其在低温（室温）下发生化学反应，淀积成膜进行化学气相淀积的方法
- 优点：温度低（200—350℃），膜特性好(附着性、台阶覆盖、高深宽比间隙填充能力、针孔和空洞密度、电学特性)，更高的淀积速率
- 缺点：产量低，有颗粒污染
- 主要应用：当前ULSI中最主要的CVD技术，在填充小几何尺寸的结构和高深宽比间隙方面有非常好的性能，主要用来淀积绝缘层

第七章

1. 外延工艺的定义：(P3)

用物理的或化学的方法，按衬底晶向排列（生长）单晶膜的工艺过程被称为外延

2. 高温、低生长速率时，易生长单晶；而低温、高生长率易生成多晶。(P13)

3. 外延工艺时常见的两个效应：(P23)

扩散效应、自掺杂效应

第八章

1. ULSI对于光刻的基本要求（P23）

- 高分辨率
- 高灵敏度
- 精密的套刻对准
- 低缺陷率
- 对大尺寸硅片的加工

2. 光刻10步骤及简要作用（P26）

- 气相成底膜 Vapor Prime
 - 增强硅片和光刻胶间的粘附性
- 涂胶 Photoresist Application
 - 在晶圆表面形成薄的、均匀的光刻胶，长时间内得到硅片间可重复的胶厚。
- 前烘 Soft Bake
 - 去除光刻胶中的部分溶剂
- 对准&曝光 Align & Expose
 - 将掩膜版与涂了胶的硅片上的正确位置对准
 - 使被光源照射到的光刻胶改变性质
- 曝光后烘焙 Post-Exposure Bake
 - **对于常规i线光刻胶**，曝光后烘是常规的作业，可提高光刻胶的粘附性并减少驻波缺陷
 - 是**CA DUV光刻胶**工艺中重要的一步，用于促进光刻胶的化学反应
 - 提高对线宽的控制和对比度
- 显影 Develop
 - 将掩膜版的图形转移到光刻胶上
- 坚膜烘焙 Hard Bake
 - 挥发掉存留的光刻胶溶剂和水分以提高光刻胶对硅片的粘附性，稳固光刻胶
- 显影目检 Develop Inspection
 - 区分出通过最终掩膜检验可能性很低的晶圆；

- 提供工艺性能和工艺控制数据；
- 分拣需重做的晶圆。
- 刻蚀 Etch
 - 在硅片上正确地复制掩膜版图形
- 去胶及最终目检 Final Inspection
 - 去掉不再需要的作为刻蚀阻挡层的光刻胶层
 - 证明送到下一步工艺的晶圆质量，并充当显影目检有效性的一个检验

3. 分辨率和焦深（作业）

i. 分辨率（R）

- 定义：清晰分辨出硅片上间隔很近的特征图形对的能力，用每mm内能刻蚀出可分辨的最多线条数来描述
- 影响因素：
 - 光源波长
 - 数值孔径
 - 工艺因子
- 公式：

$$R = \frac{k_1 \cdot \lambda}{NA}$$

ii. 焦深

- 定义：是指焦点周围的一个范围，在此范围内图像连续地保持清晰
- 影响因素：
 - 光源波长
 - 数值孔径
 - 工艺因子
- 公式：

$$DOF = \frac{k_2 \cdot \lambda}{(NA)^2}$$

4. 光刻胶的类型（8_2P3）

- 按材料对紫外光的光学反应分类：
 - 正性光刻胶和负性光刻胶。
- 按光刻胶形成图形关键尺寸的能力分类：
 - 传统光刻胶：适用于紫外光波，最小线宽尺寸在0.35mm以上；
 - 化学放大(CA)光刻胶：适用于深紫外光波，加工的最小特征尺寸在0.25mm以下的。

5. 正负胶的区别（P4）

- 负性光刻
 - 把与掩膜版上相反的图形复制到硅片表面上。

- 最早应用在半导体工艺中的光刻技术。
- 正性光刻
 - 把与掩膜版上相同的图形复制到硅片表面上。
 - 亚微米光刻的主流工艺。

6. 光刻胶的成分 (P11)

- 聚合物：保证光刻胶膜的附着性和抗腐蚀性，同时也决定光刻膜的其他一些机械和化学性质
- 感光剂：
 - a. 控制和调节光化学反应
 - b. 决定曝光时间和曝光强度
- 溶剂：
 - a. 使光刻胶处于液态，从而使光刻胶能通过旋转的方法被涂在晶圆表面；
 - b. 适当的溶剂可溶解光刻胶中的染色剂；
 - c. 对光刻胶的化学性质几乎不影响，但可控制光刻胶的某些机械性能。
- 添加剂：控制和改变光刻胶材料的特定化学性质或光刻胶材料的光响应特性

7. 光源的分类 (P52)

- 光学光源:高压汞灯 (UV) 和准分子激光器 (DUV)
- 非光学光源:X射线和电子束等

8. 曝光方法的分类 (P63)

- 接触式曝光
- 接近式曝光
- 投影式曝光

9. 刻蚀的概念：用化学反应或物理作用的方法有选择地去除硅片表面层材料的工艺过程称为刻蚀 (P95)

10. 刻蚀法的分类和应用领域

方法	优点	缺点	应用范围
湿法腐蚀	选择性好、重复性好、 生产效率高、 设备简单、成本低	钻蚀严重、各向同性腐蚀， 对图形的控制性较差	大于 $3\mu m$ 线宽
干法刻蚀		对下层材料的刻蚀选择比较差， 等离子体诱导损伤，设备昂贵	小于 $3\mu m$ 线宽