

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ «Национальный исследовательский ядерный университет «МИФИ»
ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ
КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12)

## КУРСОВАЯ РАБОТА

по дисциплине

### СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ

**Тема: Анализатор протокола генератора сигналов (кодирование и модуляция)**

Студент	Ахметов Азат Фаридович, Сазиков Никита Денисович	Группа	C20-501
	ФИО		
Руководитель	Решетько Валерий Михайлович		
	ФИО		

Москва, 2022

## **СОДЕРЖАНИЕ**

<b>ВВЕДЕНИЕ</b>	<b>2</b>
<b>1. СИГНАЛЫ ИНТЕРФЕЙСА И ИХ ОПИСАНИЕ</b>	<b>3</b>
<b>2. ОТЧЕТ О ВЕРИФИКАЦИИ</b>	<b>8</b>
2.1. Верификация модуля	8
2.2. Проверка согласования с соседними модулями	11
<b>3. СИНТЕЗ СХЕМЫ И ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ</b>	<b>12</b>
<b>ЗАКЛЮЧЕНИЕ</b>	<b>15</b>

## **ВВЕДЕНИЕ**

Генераторы сигналов (функциональные генераторы) играют важную роль при проведении измерений электрических параметров и испытаний. Они служат источниками тестовых сигналов, которые подаются на такие испытуемые компоненты, как фильтры, усилители или готовые модули с целью проверить их работу и изучить их поведение и характеристики. Помимо формирования простых сигналов (импульсы, периодические сигналы), генераторы сигналов могут формировать сигналы с аналоговой и цифровой модуляцией (векторные генераторы).

Сигнал, формируемый модулем функционального генератора, подается на исследуемое устройство (ИУ) (усилитель, фильтр и т.п.). Затем выходной сигнал модуля анализируется с помощью подходящего контрольно-измерительного оборудования, например, анализатора спектра или сигналов, осциллографа, измерителя мощности и т.д. По анализу результатов таких измерений можно определить, корректно ли устройство выполняет свои функции.

Модуль функционального генератора предназначен для генерации аналоговых сигналов произвольной формы. Генерация цифрового сигнала производится с помощью отладочной платы cys1000 с установленной на ней ПЛИС Cyclone 10LP 10CL025 фирмы Intel. Далее цифровой сигнал преобразуется в аналоговый с помощью платы ЦАП, на которой установлен цифро-аналоговый преобразователь (ЦАП) AD9761 фирмы Analog Devices. Полученный аналоговый сигнал можно вывести на экран осциллографа.

Логическое наполнение проекта состоит из модулей, разбитых в соответствии с выполняемыми ими функциями, для удобства написания и отладки проекта.

Модуль кодирования и модуляции, разработанный в курсовой работе, — часть анализатора протокола векторного генератора сигналов. Он используется для модуляции сигналов (для режимов QPSK, 8-PSK, 16-QAM), а также формирует данные, необходимые для работы модуля синтеза периодических сигналов.

## **1. СИГНАЛЫ ИНТЕРФЕЙСА И ИХ ОПИСАНИЕ**

Анализатор протокола предназначен для конфигурирования системы (например, задания режима работы), выполнения квадратурной модуляции сигнала для режимов QPSK, 8-PSK, 16-QAM, формирование необходимых значений амплитуды, начальной фазы и частотного слова гармонического сигнала.

Реализуемый в данной курсовой работе модуль является частью анализатора протокола и выполняет модуляцию и кодирование данных. В данной работе применяется кодирование 8b/10b.

Возможные режимы модуляции:

- 1) QPSK (Квадратурно-фазовая модуляция);
- 2) 8-PSK (Восьмипозиционная фазовая модуляция);
- 3) 16-QAM (Квадратурная амплитудная модуляция 16-позиционного сигнала).

На рис. 1.1 изображено условное графическое обозначение модуля кодирования и модуляции анализатора протокола.

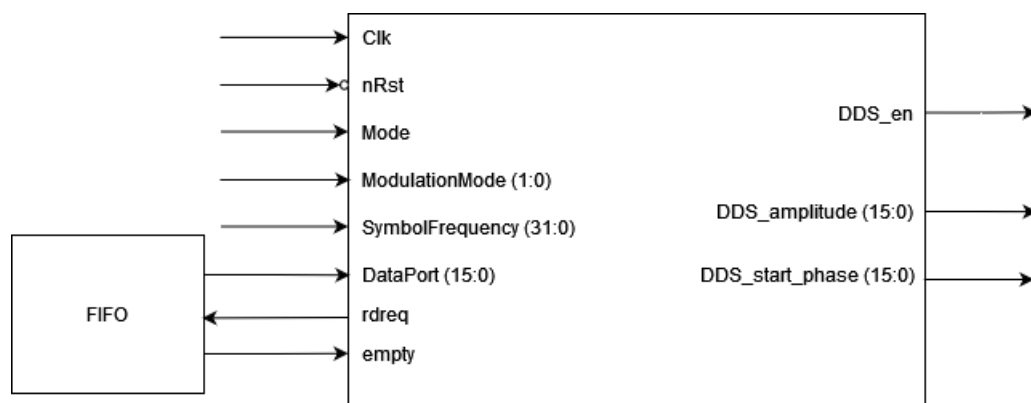


Рис.1.1. УГО модуля кодирования и модуляции анализатора протокола.

Описание сигналов представлено в таблице 1.1.

Таблица 1.1. Описание сигналов

№ п.п.	Сигнал	Напр.	Описание
<b>Системные сигналы</b>			
1	Clk	in	Тактовый сигнал
2	nRst	in	Сигнал сброса
<b>Входные сигналы</b>			
3	Mode	in	Режим работы: 0 – обычный режим; 1 – режим PSK.
4	ModulationMode (1:0)	in	«00» – QPSK; «01» – 8-PSK; «10» – 16-QAM; «11» – модуляция не используется.
5	SymbolFrequency (31:0)	in	Частотное слово символьной частоты
6	DataPort (15:0)	in	Порт записи данных FIFO
7	empty	in	Сигнал, информирующий об отсутствии данных в FIFO
<b>Выходные сигналы</b>			
8	rdreq	out	Запрос чтения с FIFO
<b>Сигналы схемы прямого цифрового синтеза</b>			
9	DDS_en	out	Сигнал разрешения работы для модуля синтеза периодических сигналов
10	DDS amplitude (15:0)	out	Амплитуда периодического сигнала
11	DDS start phase (15:0)	out	Начальная фаза

В таблице 1.2 приведено описание регистра порта записи данных с побитным указанием информации, хранящейся в нем.

Таблица 1.2 — Описание регистра порта записи данных

15	87	0
Byte1		Byte0
RW, 0x0000		

Byte0 и Byte1 — младший и старший байты данных соответственно. Данные для пересылки по каналу модуляции. Пересылка осуществляется младшими байтами вперед. При записи данных в этот порт они отправляются в FIFO буфера пересылки.

На рисунке 1.2 изображена схема формирования фрейма. Все части данной схемы необходимы для корректной передачи данных.



Рис. 1.2. Структура формирования фрейма.

Для упрощения взаимодействия в команде и поддержки проекта, реализация модуля была разбит на несколько файлов компонентов. Схема соединений модуля приведена на рисунке 1.3.

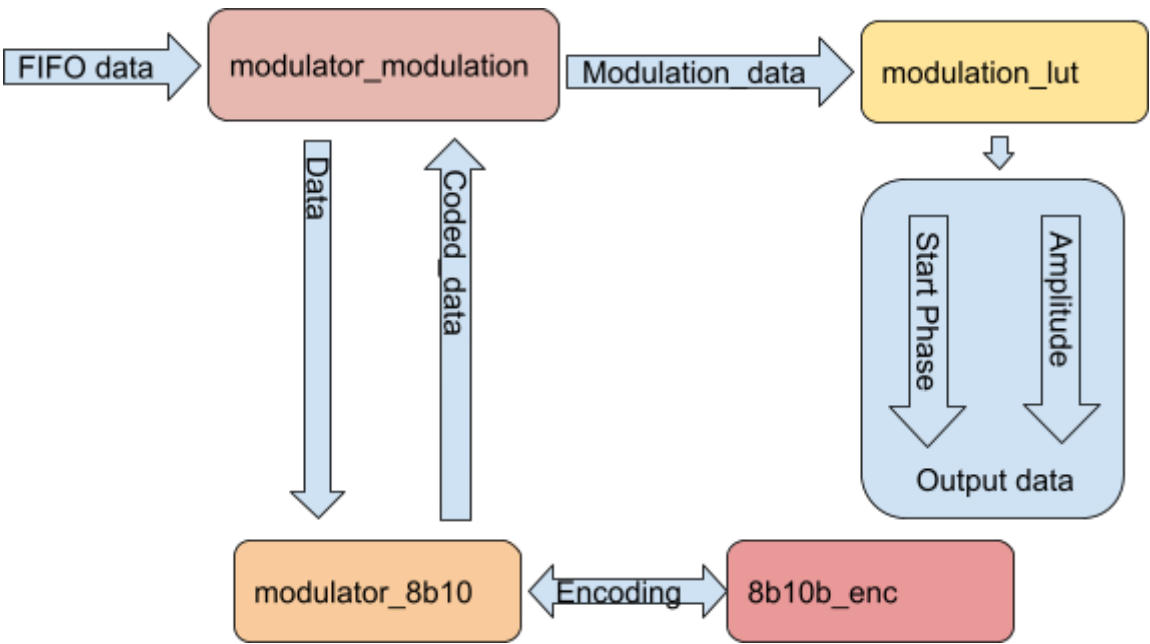


Рис. 1.3. УГО модуля кодирования и модуляции анализатора протокола.

Никита Сазиков вёл разработку модуля управления кодированием 8b\10, а также модуля памяти (файлы modulator\_lut.vhd и modulator\_8b10.vhd).

Модуль управления кодированием 8b\10b предназначен для обработки данных с FIFO (запрос новых двухбайтных слов и выбор обрабатываемого байта), а также передачи его модулю кодирования данных — 8b10b\_enc.vhd. В качестве модуля кодирования используется готовая реализация The OpenCores 8b10b\_encdec Project.

В дальнейшем, кодированное 10-битовое слово передается на модуль подготовки кодовых слов и модуляции.

В таблице 1.3 представлена структура памяти ROM, в которой хранится кодировка для трех режимов модуляции с представлением амплитуды и фазы в виде числа с фиксированной точкой. Данная память адресуется только внутри, доступ извне невозможен.

Таблица 1.3 — Структура памяти, хранящая кодировку для всех режимов модуляции

Режим модуляции	Начальная фаза	Амплитуда
QPSK (“00”) 000000-000011	A000 6000 E000 2000	FFFF FFFF FFFF FFFF
	00000000	
8-PSK (“01”) 010000 - 010111	A000 8000 4000 6000 C000 E000 2000 0000	FFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFF
	00000000	
16-QAM (“10”) 100000 - 101111	A000 A666 E000 D333 9333 A000 E666 E000 6000 5333 2000 2666 6666 6000 1333 2000	FFFF DFFF FFFF DFFF DFFF 7FFF DFFF 7FFF FFFF DFFF FFFF DFFF DFFF 7FFF DFFF 7FFF



## 2. ОТЧЕТ О ВЕРИФИКАЦИИ

### 2.1. Верификация модуля

На рис. 2.1. изображена диаграмма реакции модуля на сигнал сброса. В момент низкого сигнала на сбросе происходит обнуление начальной фазы (StartPhase), амплитуды (Amplitude), данных, хранящихся в DataPort. Также на сигнал разрешения работы для модуля синтеза периодических сигналов подается 0.

При сигнале Mode, установленным в 0, схема не производит модуляцию, она происходит лишь при Mode=1.

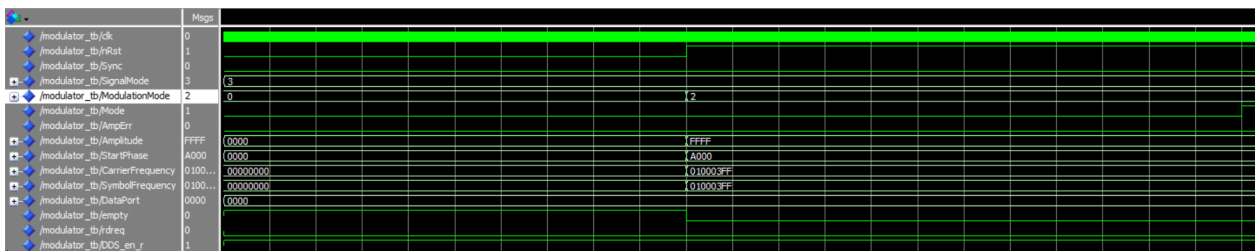


Рис. 2.1. Временная диаграмма сброса модуля.

На рисунках 2.2–2.4 показан ход работы при разных видах модуляции.

На рисунке 2.2 происходит модуляция 16-QAM, при которой изменяется как начальная фаза (StartPhase), так и амплитуда (Amplitude). ModulationMode в данном случае равен 10.

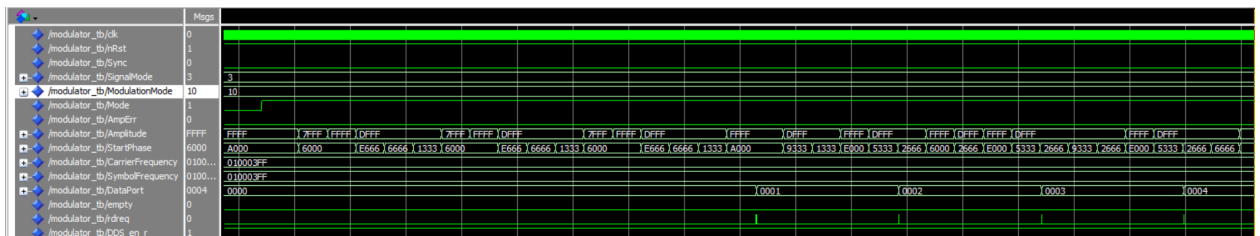


Рис. 2.2. Временная диаграмма работы модуля при модуляции 16-QAM.

На рис. 2.3. происходит модуляция QPSK (может иметь в данном случае 4 состояния), при которой изменяется только лишь начальная фаза.

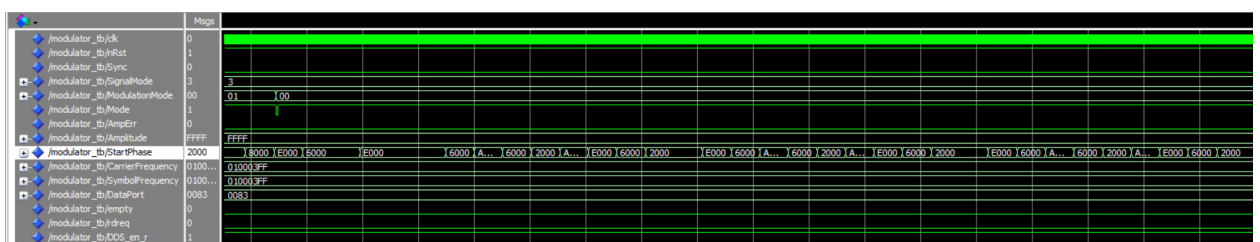


Рис. 2.3. Временная диаграмма работы модуля при модуляции QPSK.

На рис. 2.4. происходит модуляция 8-PSK (может иметь в данном случае 8 состояний), при которой изменяется только лишь начальная фаза.



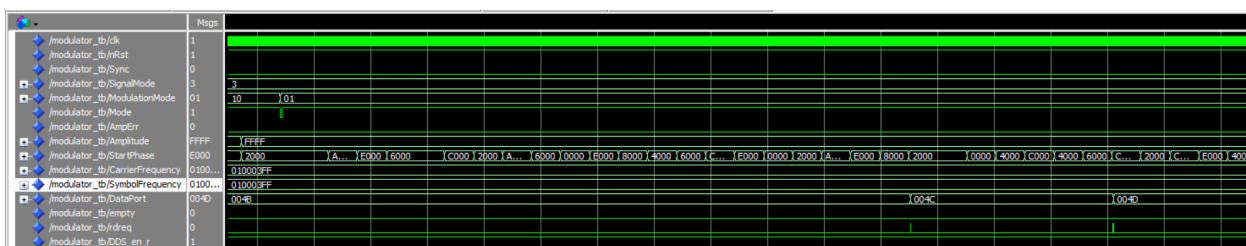


Рис. 2.4. Временная диаграмма работы модуля при модуляции 8-PSK.

На рис 2.5. показано, что при увеличении символьной частоты увеличивается и частота изменения начальной фазы сигнала

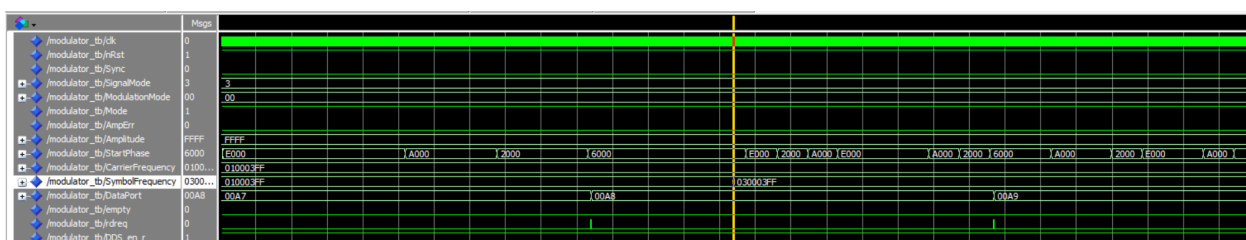


Рис. 2.5. Временная диаграмма работы модуля при изменении символьной частоты.

На рисунке 2.6 отображен процесс передачи данных внутри модуля (работа сдвигового регистра). На вход модуля модуляции поступают кодированные данные (CodedData), которые записываются в старшие биты регистра сдвига (data\_r). Эта часть регистра (data[13:4]) отображена на диаграмме как current\_data.

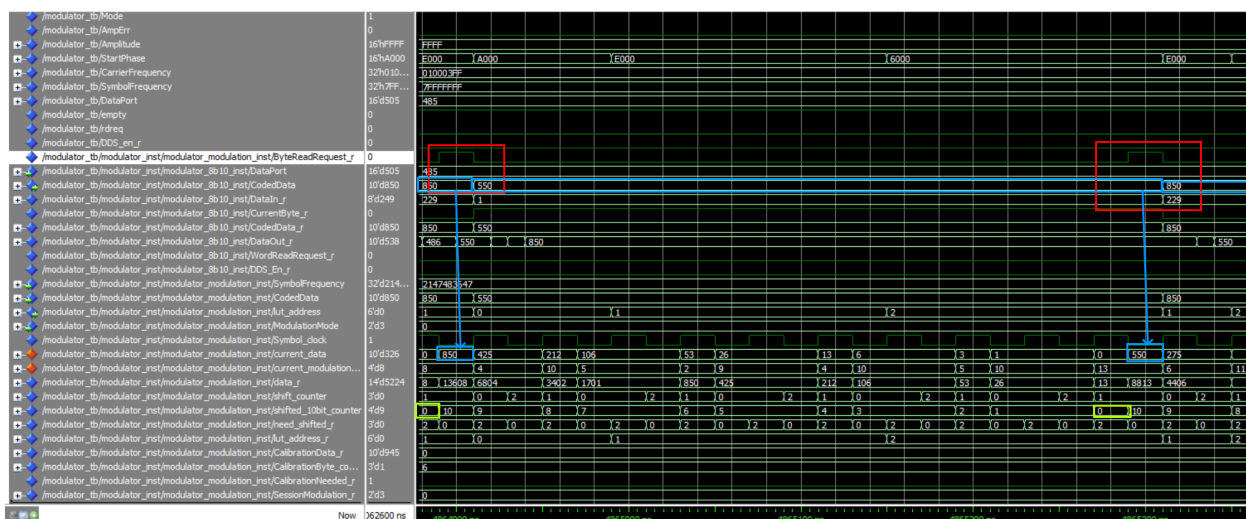


Рис. 2.6. Временная диаграмма переноса данных.

Для определения режима модуляции, перед передачей полезных данных передаются специальные калибровочные данные размером 60 бит. В течение этой передачи, вне зависимости от режима модуляции, будет передано необходимое количество

изменений фазы и амплитуды для однозначного различения режима модуляции. Диаграмма первоначальной калибровки приведена на рис. 2.7.

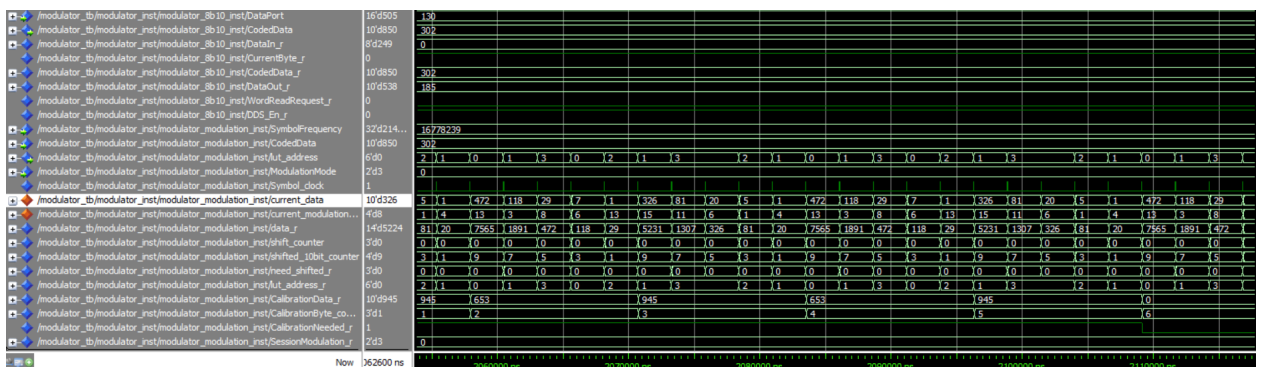


Рис. 2.7. Временная диаграмма калибровки.

Из рис. 2.8. наблюдается, что необходимость калибровки устанавливается ( $\text{CalibrationNeeded}_r = 1$ ) при сбросе или установке режима модуляции ( $\text{Mode} = 0$ ). Данные для калибровки передаются и обрабатываются также, как и обычные полезные данные, полученные извне. В качестве калибровочных данных используется последовательность бит, при модулировании которой будет наблюдаться достаточная вариативность сигнала для однозначного распознавания типа модуляции: 3 изменения фазы при QPSK, 5 изменений фаз при 8-PSK и 16QAM. Эта последовательность повторяется 3 раза для достижения количества 60 бит: наименьшего общего кратного между количеством бит в каждом пакете при любом режиме модуляции, и общим количеством бит в слове (соответственно, 2, 3, 4, и 10 бит).

За ходом работы следит счётчик  $\text{CalibrationByte\_counter}$ . При сдвиге всех 60 бит калибровки, режим калибровки завершается, и модуль переходит в нормальный режим работы.

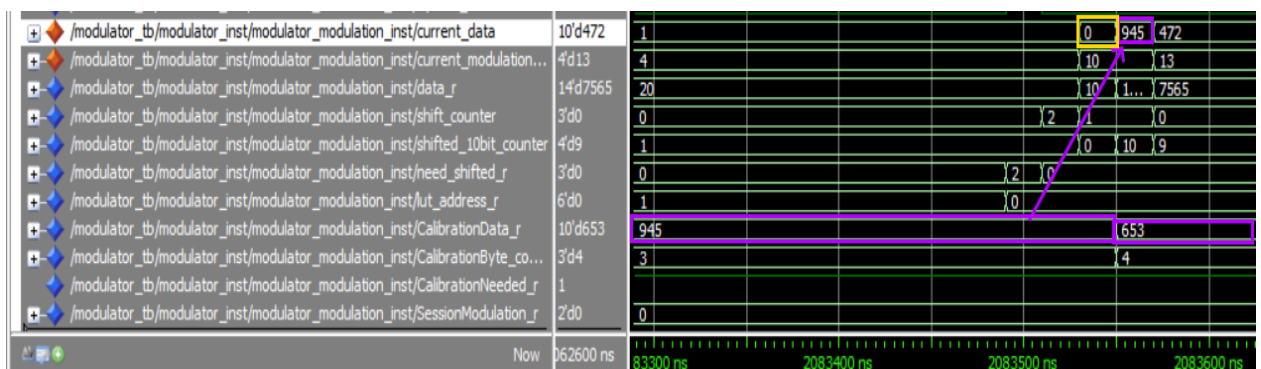


Рис. 2.8. Временная диаграмма передачи данных в режиме калибровки.

## 2.2. Проверка согласования с соседними модулями

Для проверки согласования и возможности интеграции в проект был собран специальный тестбенч, содержащий три модуля: часть анализатора протокола, отвечающая за хранение данных, модуль кодирования и модуляции и модуль генератора сигналов. Структурная схема межсоединений показана на рисунке 2.9.

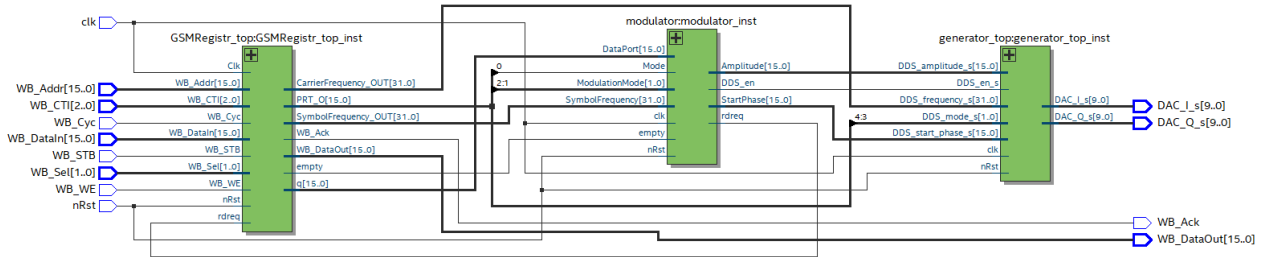


Рис. 2.9. Соединение соседних модулей в проекте.

На временной диаграмме (рис. 2.10) видно, что входные конфигурирующие сигналы анализатора протокола управляют работой модуля кодирования и модуляции, а модуль генерации сигнала синтезирует необходимую форму сигнала.

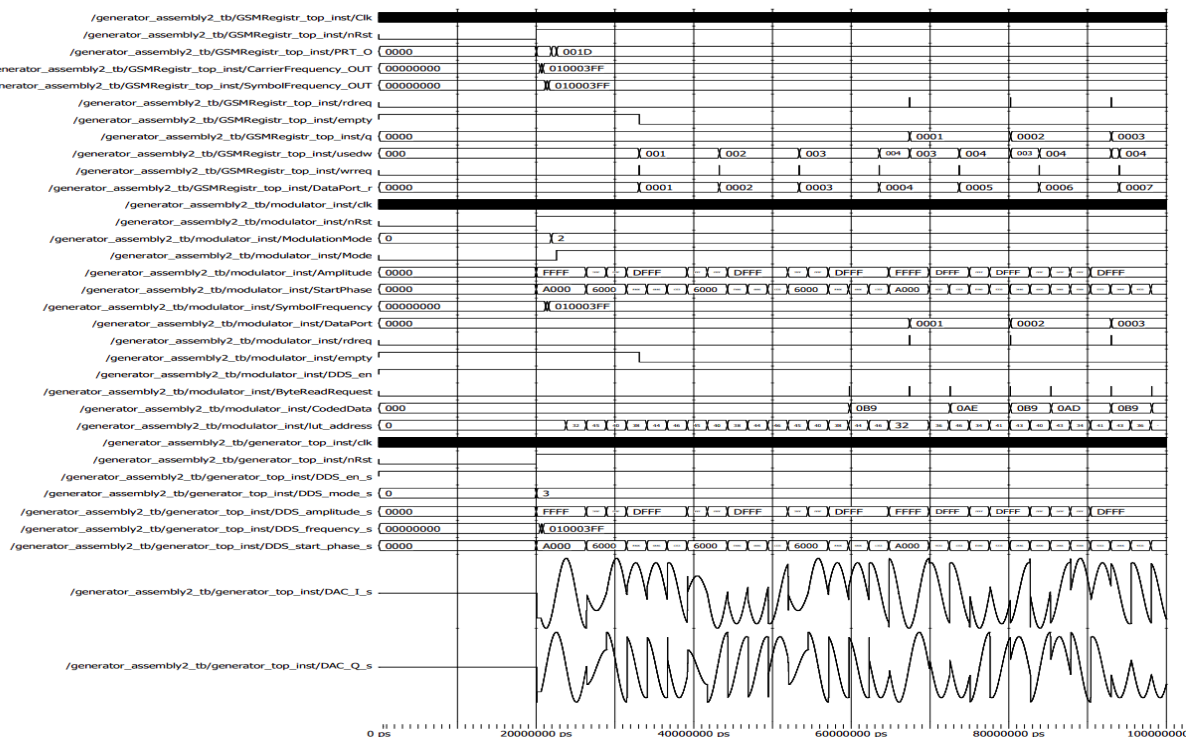


Рис. 2.10. Временная диаграмма общей сборки из трёх модулей.

В начальный момент времени сигнал разрешения работы для модуля синтеза периодических сигналов установлен в 0 (DDS\_en\_r=0), и синфазная и квадратурная составляющие генератора сигналов нулевые (DAC\_Q\_s=0 и DAC\_I\_s=0).

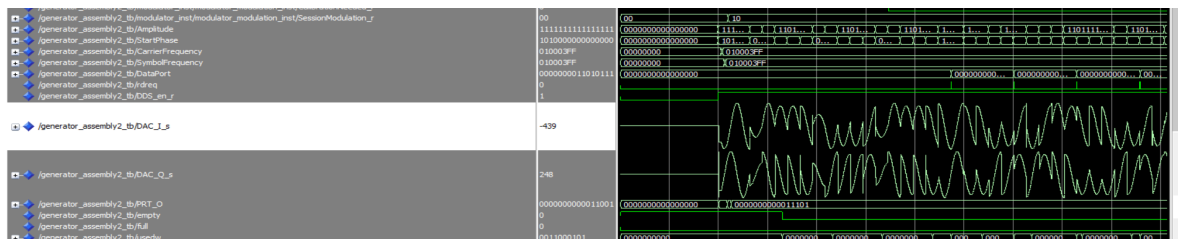


Рис. 2.5..Временная диаграмма в начальный момент времени

На рис.2.6. продемонстрированы сигналы на генераторе в момент времени, когда символьная частота (SymbolFrequency=0010FFFF) меньше, чем несущая частота(CarrierFrequency = 010003FF)

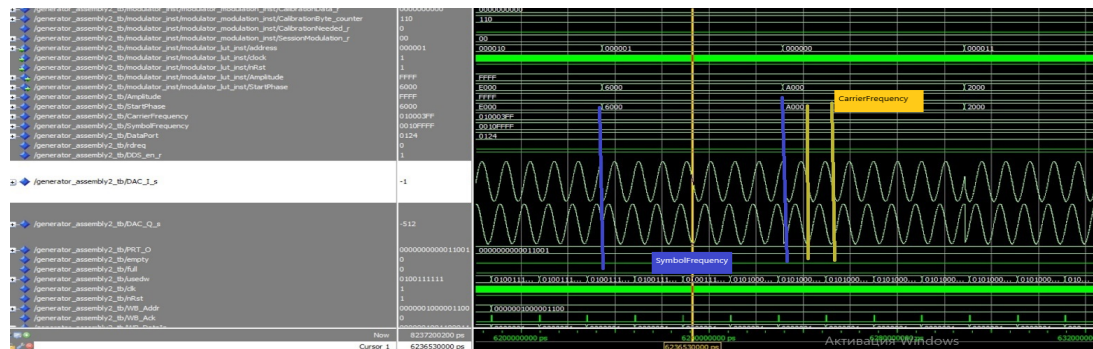


Рис. 2.6. Временная диаграмма в момент времени, когда SymbolFrequency меньше CarrierFrequency

### 3. СИНТЕЗ СХЕМЫ И ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ

Для проверки синтезируемости были проведены стадии Analysis & Synthesis, Place & Route, Generate programming files и Timing Analysis спроектированной схемы для ПЛИС семейства Cyclone 10 LP.

На рисунках 3.1-3.7 представлены результаты проведенного синтеза. Все этапы синтеза пройдены успешно.

Flow Status	Successful - Sun Jan 15 22:41:44 2023
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Standard Edition
Revision Name	modulator
Top-level Entity Name	modulator
Family	Cyclone 10 LP
Device	10CL010YU256C8G
Timing Models	Final
Total logic elements	222 / 10,320 ( 2 % )
Total registers	100
Total pins	88 / 177 ( 50 % )
Total virtual pins	0
Total memory bits	0 / 423,936 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 46 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

Рис. 3.1. Отчёт о занимаемых ресурсах.

Clocks						
<<Filter>>						
	Clock Name	Type	Period	Frequency	Rise	Fall
1	clk	Base	25.000	40.0 MHz	0.000	12.500

Рис. 3.2. Используемые тактовые сигналы.

Slow 1200mV 85C Model Fmax Summary			
<<Filter>>			
	Fmax	Restricted Fmax	Clock Name
1	139.1 MHz	139.1 MHz	clk

Рис. 3.3. Отчёт о временных характеристиках модуля при 85 C.

Slow 1200mV 0C Model Fmax Summary			
<<Filter>>			
	Fmax	Restricted Fmax	Clock Name
1	146.07 MHz	146.07 MHz	clk

Рис. 3.4. Отчёт о временных характеристиках модуля при 0 C.

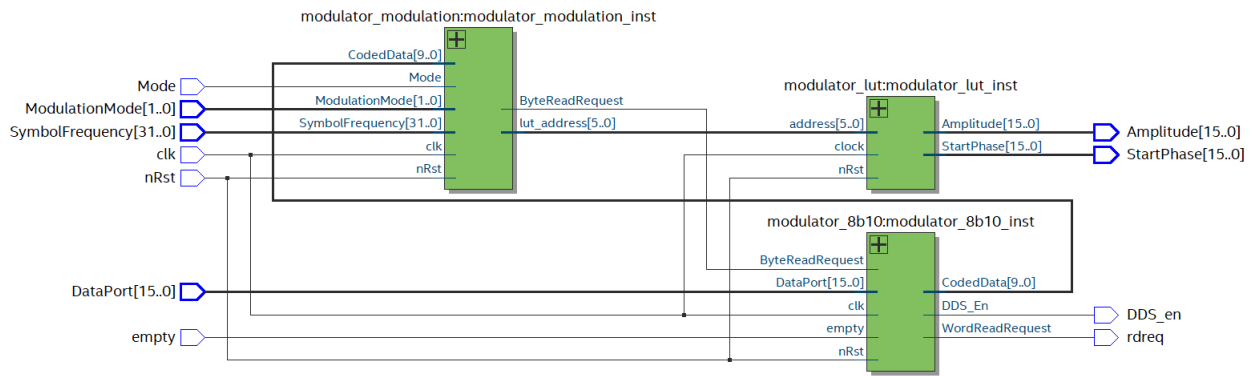


Рис. 3.5. Схема модуля анализатора протокола.

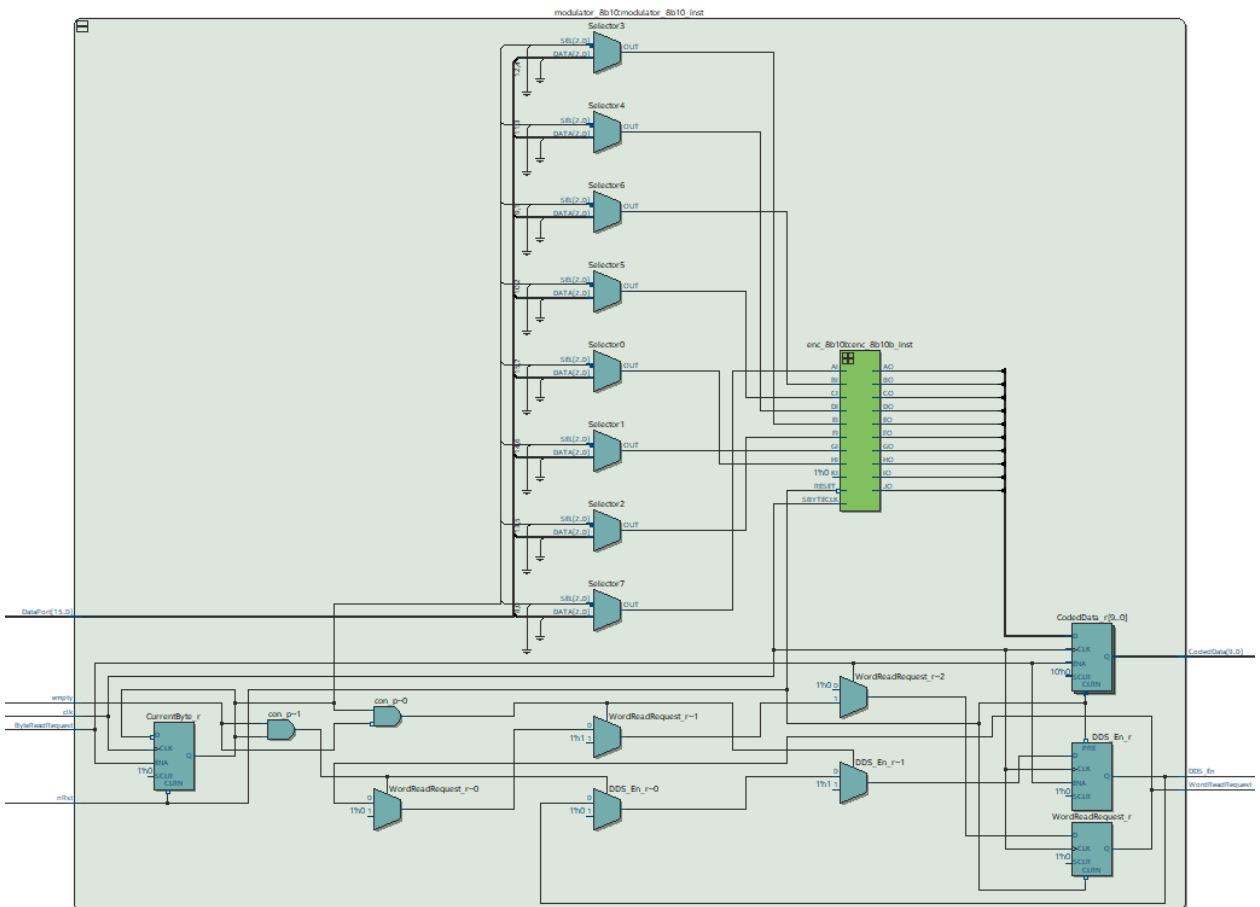


Рис. 3.6. Синтезированная схема модуля кодирования информации.

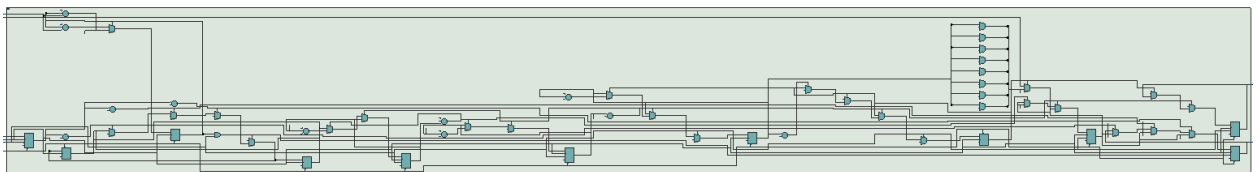


Рис. 3.7. Синтезированная схема модуля модуляции сигнала.

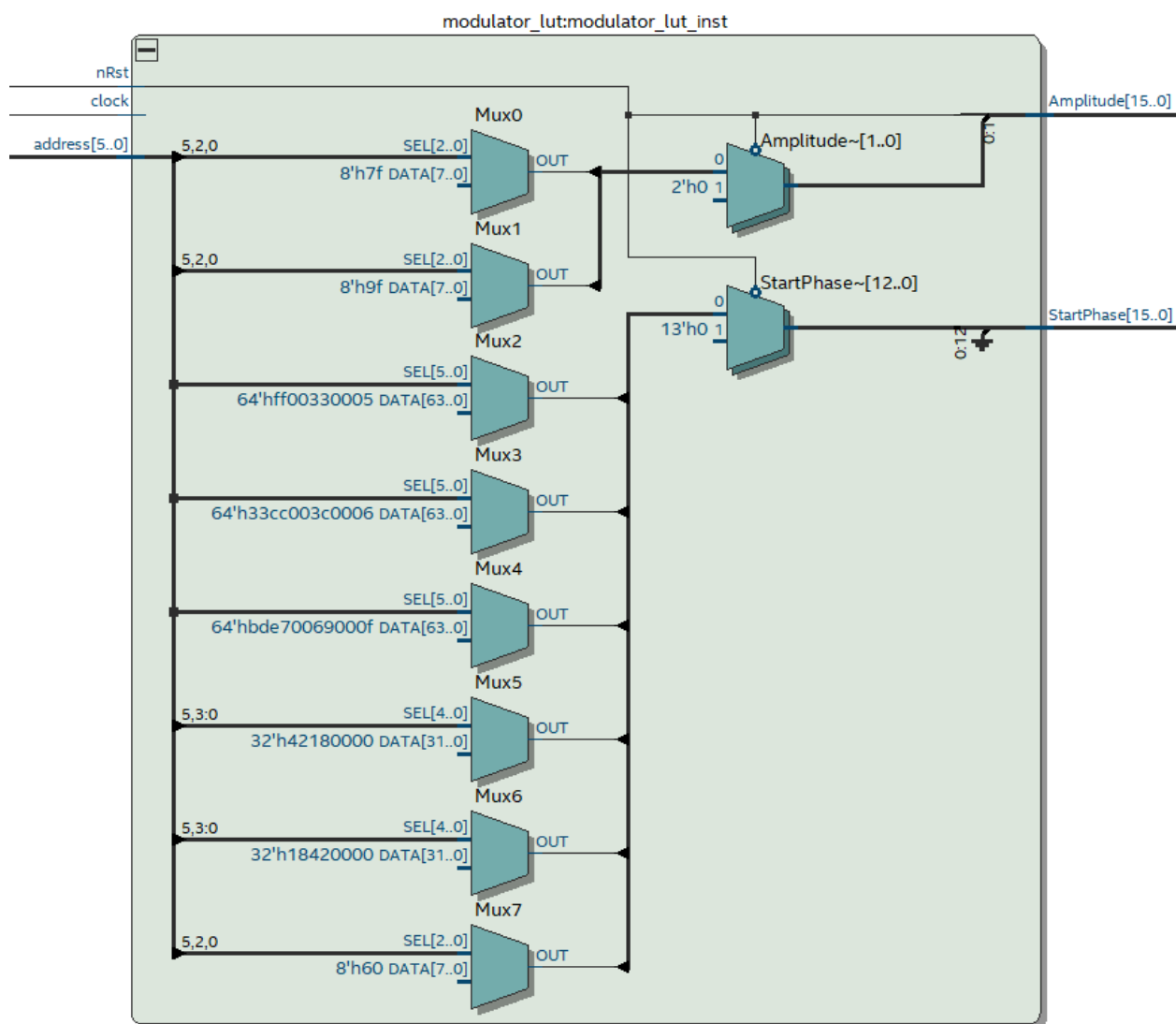


Рис. 3.8. Синтезированная схема модуля хранения данных (таблица поиска).

## ЗАКЛЮЧЕНИЕ

В процессе выполнения курсовой работы были разработаны модуль для кодирования и модуляции информации анализатора протокола.

С помощью ModelSim 10.5b проведена симуляция работы устройства с различными входными данными, а также с соседними модулями.

Также с помощью Quartus Prime 18.0 была выполнена проверка проекта на синтезируемость для ПЛИС семейства Cyclone 10 LP.

В рамках выполнения курсовой работы были получены практические навыки в разработке проекта на языке описания оборудования VHDL, его тестирования в среде ModelSim 10.5b и синтеза в Quartus Prime 18.0.