

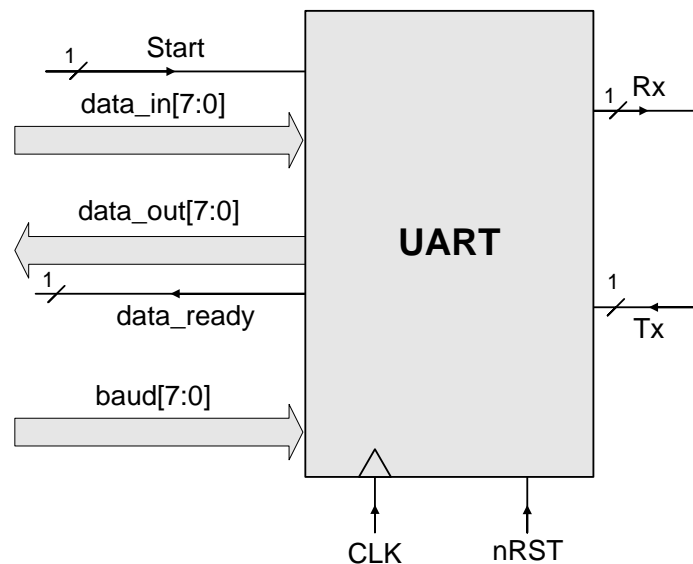


دانشگاه شهید بهشتی

دانشکده‌ی مهندسی و علوم کامپیوتر

طراحی یک UART ساده دو سویه

شرح پروژه: UART (Universal Asynchronous Receiver / Transmitter) سخت‌افزاری برای تبدیل سیگنال‌های موازی به سریال و بالعکس می‌باشد. ورودی و خروجی‌های این سخت‌افزار بصورت شکل زیر است.



این سخت افزار دارای دو بخش متمایز است که هر بخش میتواند در قالب یک PROCESS مجزا مدل شود. این بخش‌ها عبارتند از:

بخش ارسال (S2P): این بخش داده موازی را از طریق خط `data_in` که یک خط ۸ بیتی است، دریافت می‌کند و آن را روی خط `tx` بصورت سریال ارسال می‌کند. روند کار به این صورت است که در تمام مدتی که `start` فعال نشده است، خروجی `tx` برابر '1' است. هر گاه پایه `start` برابر '1' شود، عمل تبدیل داده موازی به سریال آغاز می‌شود. در ابتدا یک بیت '0' روی `tx` قرار داده میشود و به مدت `baud` کلاک روی خط می‌ماند. سپس طی ۸ سیکل که هر سیکل `8*baud` کلاک طول می‌کشد، ۸ بیت `data_in` از بیت صفر تا بیت ۷ روی خروجی قرار می‌گیرد و سپس خروجی '1' می‌شود.

بخش دریافت (P2S): این بخش داده سریال روی خط rx را دریافت کرده و پس از موازی سازی آن را روی خط data_out قرار می-دهد. در حالت عادی خط rx در حالت عادی برابر '1' است. هرگاه روی این خط یک صفر دیده شود، به معنای شروع یک داده سریال است و پس از آن طی ۸ سیکل که هر سیکل baud کلاک طول می کشد، ۸ بیت داده سریال از خط rx خوانده شده و روی خط data_out قرار داده می شود. پس از سیکل هشتم، خط data_ready برابر '1' می شود که اتمام دریافتی یک بایت داده را از روی خط سریال نشان می دهد.

نکات:

- کلیه عملیات در لبه بالارونده کلاک صورت می گیرد.
- '1' شدن پایه start نشان دهندهی شروع تبدیل داده موازی به سریال است. این پایه تنها یک سیکل '1' باقی می ماند و در طول کل عملیات تبدیل داده موازی به سریال برابر '1' نیست.
- زمانی که خط data_ready فعال شود، تنها یک سیکل فعال باقی می ماند و سپس '0' می شود.

مدار فوق را به صورت قابل سنتز طراحی کنید و با استفاده از ابزار Moelsim تست کنید. در ابزار Modelsim تیک Check for synthesis را فعال کنید تا مشکلات سنتز را نشان دهد.