

The Design and Implementation of TCAM Development Board based on FPGA

Abstract

TCAM is essentially a kind of search engine using hardware to implement. Because of the advantage of quick search, it causes more and more attention on the market and has been the key technology of touters' touting node currently. However, due to its drawbacks, it requires constant innovation and improvement. Manufacturers are racing against time to introduce new products. Therefore, how to accelerate the introduction of new TCAM has become the focus of research in the field of TCAM. TCAM development board systems which are made simply and have high accuracy have important theoretical and practical value for shortening their development cycles and accelerating TCAM's industrial development.

Based on the analysis of current research, this paper proposes a modular architecture of TCAM development board based on FPGA, which consists of power supply module, FPGA control module, TCAM module, active crystal module and FLASH circuit module. TCAM module uses a unified interface and it can replace different types of TCAM chips automatically. Besides, it supports debugging verification of different TCAM chips and can be reused. Therefore, it greatly reduce duplication of work for researching development board. Based on the above overall systematical block diagrams, this paper researches and analyzes the structure of FPGA and command control set of TCAM, designs a power supply module and other periphery circuits, and achieves the goal of energy supply for TCAM module and FPGA module. Meanwhile this paper designs TCAM's functional implementation process and verification test mode based on FPGA, then completes the design of schematic, and at the same time makes physical development board based on the design of PCB board. Complete the verilog code, to verify the TCAM development board based on the FPGA. Finally the two ways viewing results of LED testing lamps on PCB board and ChipScope of ISE also have been designed. Comprehensive validation results show that the proposed development board can work normally, finished the test validation of TCAM's function, and achieve the goal of design.

TCAM development board systems which are proposed in this paper are based on FPGA, have practical high-value, and are easy to upgrade and expand. The systems can help manufacturers accelerate the pace of research and innovation, then accelerate the process of TCAM's industrial development.

Key Words: Development Board; Ternary Content Addressable Memory; Online Logic Analyzers; Verilog

目 录

摘 要.....	I
Abstract.....	II
1 绪论.....	1
1.1 课题背景与意义.....	1
1.2 国内外研究现状及发展趋势.....	2
1.3 论文主要研究内容.....	3
1.4 论文结构安排.....	3
2 系统概述.....	4
2.1 TCAM 简介.....	4
2.1.1 TCAM 概述.....	4
2.1.2 TCAM 管理规则.....	5
2.1.3 TCAM 功能分析.....	6
2.1.4 TCAM 的应用发展.....	8
2.2 系统功能概述.....	9
2.3 应用前景.....	10
2.4 面临的挑战.....	10
2.5 本章小结.....	11
3 系统架构设计及原理分析.....	12
3.1 系统架构框图.....	12
3.2 基于 FPGA 的设计原理分析.....	13
3.2.1 FPGA 概述.....	13
3.2.2 FPGA 设计流程.....	14
3.3 JTAG 接口.....	16
3.4 ISE 在线逻辑分析仪.....	18
3.5 本章小结.....	19
4 系统硬件设计与制作.....	20
4.1 系统设计.....	20
4.2 开发板各模块参数及硬件电路设计.....	20
4.2.1 电源模块.....	20
4.2.2 FPGA 控制模块.....	25
4.2.3 TCAM 模块.....	31

4.2.4 有源晶振模块.....	34
4.2.5 FLASH 电路模块.....	35
4.3 PCB 版图的设计.....	37
4.4 BOM 清单.....	37
4.5 PCB 板实物.....	39
4.6 本章小结.....	39
5 测试方法与结果分析.....	40
5.1 PCB 板基本性能测试.....	40
5.1.1 静电测试.....	40
5.1.2 电源电压测试.....	40
5.1.3 晶振波形测试:	41
5.2 测试代码编写.....	41
5.2.1 初始化.....	41
5.2.2 读写操作.....	42
5.2.3 搜索操作.....	43
5.2.4 Device ID 功能测试.....	43
5.2.5 顶层文件.....	43
5.3 测试结果.....	44
5.3.1 读写搜索结果验证.....	44
5.3.2 Device ID 验证结果.....	47
5.4 本章小结.....	48
结 论.....	49
参 考 文 献.....	50

1 绪 论

1.1 课题背景与意义

进入 21 世纪以来，信息产业蓬勃发展，互联网的用户数目爆炸式增长，以往很少使用的高宽带也越来越被应用于更多的行业，这些因素都要求着互联网的传输速度更高更快更便捷。Gilder 定律告诉我们互联网的传输速度增长速度很快，达到每十年就能增加一千倍左右，这是个惊人的速度。路由查表传统上是由软件方法来实现的，这种方法已经遇到了瓶颈，尤其是在主节点方面。所以现今利用三态按内容寻址存储器(Ternary Content-Addressable Memory, TCAM)，这一新型技术来实现路由查表已经成为一种必然趋势。

TCAM，即三态按内容寻址存储器，一种高速硬件搜索引擎^[1]。当今而言，TCAM 的最主要的应用是在互联网中实现路由表高速查找的功能。近年来，光纤的快速发展使得其传输速度得到了极大的提高^[2]，相应的较低速的路由已经成为提高网络速度的关键所在。这些因素都迫使研究者们亟需提高 TCAM 的性能以适应新的路由需求。因此研究如何缩短 TCAM 的设计周期和加快市场化步伐的课题显得尤为重要，引起了广大研究者们的广泛关注。在研究、设计和制造应用产品的过程中，一款好的开发板能够大量缩短开发的周期。缩短开发板的研制设计周期也就相应的缩短了产品设计开发周期，进而也就加快了产品市场化的应用进程^[3]。

因此，本文拟采用 FPGA 来验证 TCAM 快速寻址的精确性，根据接受信号条件和内部算法，快速验证 TCAM 设计可行性^[4]。其次，本文拟采用可扩展性设计，这样系统不仅可以利用开发板已有资源来完成多种类型实验，并且具有完全的向外接口，可以连接外部其它合适电路从而实现联合性实验开发，从而可以提供充足的研究创新设计空间^[5]。此外，本课题将架构模块化处理，分为负载部分和核心部分。其中负载板部分使用一致的接口，让它可以支持不同的核心板的调试和验证工作；核心板部分拥有一套系统的逻辑功能，可以直接以一个模块的形式出现在设计的产品里面，这样的设计，可以大大压缩开发板的研究设计和制作的周期，并且有助于降低成本。

TCAM 应用广泛，除了上述互联网方面，在其他许多方面都有着其他产品无法比拟的吸引力。例如 ATM 设备中地址映射表项的存储和查找，全相联高速缓冲存储器 cache，数据压缩图像处理等^[6]。最近几年 TCAM 的应用飞速发展，不仅扩展到了移动设备病毒检测方面的高速实时屏蔽病毒攻击模式匹配，还扩展到应用于生物信息中的 DNA 基因

模式匹配搜索，作为辅助研究设计的开发板对于缩短研制开发周期也起着举足轻重的作用。

1.2 国内外研究现状及发展趋势

系统开发板被大量应用在嵌入式系统的研究中。在研究设计嵌入式系统的时候，硬件部分有目标平台和开发平台之分，一般由设计者根据需求进行设计制造的电路板，会广泛应用于开发学习，产品评估和工业生产中。普遍来说，开发板系统的组成部分一般包括中央处理器 CPU、内外部存储器、I/O 输入输出设备、数据总线以及外部接口等硬件组件。

自现场可编程逻辑阵列问世以来，已经接近 30 年了，由一开始的逻辑器件模型，经过一步步演变，现下已经融合了数字信号处理技术，embedded 技术，以及当前流行的前沿技术。为了迎合未来发展趋势，FPGA 着重了硬件和软件开发环境的开发，这种可持续发展的理念使得 FPGA 具有较为广泛的应用领域。在这 5 到 10 年中，由于它在快速运算、改善硬件设计、同步执行、可靠性以及研发时间一些方面的优势，FPGA 迎来了高速发展，尤其是在 TCAM 领域的应用十分普遍^[7]。

当今社会数字信息化逐渐推广，为开发板系统产品提供了前所未有的商机，同时也对开发板系统产品制造商们提出了新的要求和挑战。以下是开发板系统未来发展的几个特点：

- (1) 信息技术、互连技术随着网络技术的日益完善、传输速度的不断提高而影响深远，使得之前单一的需求跟不上发展，结构也逐渐变得复杂。这就要求开发板系统设计厂商在 PCB 开发板上实现集成扩展功能，从而来满足产品的不断升级^[8]。
- (2) 网络互联成为必然趋势。未来开发板系统设备必将广泛应用于互联网络，这就要求开发板系统能够支持各种网络通信接口。
- (3) 追求低功耗低成本。通过实现系统的精简化和算法的低功耗优化，来实现产品更加适应市场，提高市场竞争力。
- (4) 友好的人机交互界面。提供非常舒适友好的用户操作界面相当重要，它是与用户建立长久关系的关键点。赏心悦目的交互界面图像，简单而灵活的操控方式，让用户感觉到就好象是在与一个熟悉的老朋友进行对话。这方面亟需研究者们在图形界面以及多媒体技术方面上投入精力精心研究，但按现在的研究现况来说，这方面的发展还有很长的路要走。

1.3 论文主要研究内容

本文以 TCAM 外围电路的设计和建立，以 FPGA 开发技术为核心，结合 TCAM 的指令系统和体系结构，实现了基于 FPGA 的 TCAM 开发板系统的设计与实践。本文完成的工作如下：

- (1) 基于 TCAM 的技术指标，并结合塞灵思（Xilinx）公司生产的 Spartan 系列的 FPGA 的优缺点，设计了基于 FPGA 的 TCAM 功能以及实现此功能的结构，完成了基于 FPGA 的 TCAM 的开发，研制和测试。
- (2) 根据 TCAM 的体系结构原理，特点以及 FPGA 的开发流程设计的电源转换模块，利用 FPGA 丰富的接口模块，大大降低了使用了外围器件。
- (3) 根据 TCAM 以及 FPGA 的工作功能，设计出外围电路，并依据 PCB 板图设计原理，设计出 PCB 开发板的光绘文件，并制作出 PCB 板，同时测试 PCB 板期望功能有效没有。
- (4) 测试了开发板的软件系统以及其赖以运行的硬件基础，同时写入 TCAM 测试代码，运行观察测试结果，结果表明 TCAM 的查找搜索功能得到了实现，以及设计方案的可行性和预期功能都达到了先期规划的要求。

1.4 论文结构安排

本文具体的结构安排：

第一章 首先阐述了行业的背景以及本文的研究意义。在此之上还介绍了国内外开发板系统的研究现状以及未来的发展趋势，最后介绍了本文的主要工作方向和结构的安排。

第二章 对当下的开发板系统做了相关概述。首先介绍了 TCAM 的原理及特点，给出了 TCAM 系统的总体框图以及各个模块的作用，最后分析了开发板系统的应用前景和面临的挑战。

第三章 提出了本文设计的开发板的系统结构，并仔细分析了其原理。还对 FPGA 的研究和开发进行了探讨，并简单介绍了常用开发工具 ISE 和逻辑分析仪等。

第四章 介绍了本文开发板系统各个模块的硬件电路设计，标明参数，画出原理图并分析硬件设计原理，最后给出了 PCB 板的光绘文件。

第五章 介绍了本开发板系统的测试原理，测试步骤和方法，结果验证以及最终结果分析。

最后总结全文工作，指出本文所提出的开发板系统的研究意义，对开发板系统在搜索引擎方面的应用前景以及发展趋势进行了预测，并对以后的工作进行了展望。

2 系统概述

2.1 TCAM 简介

TCAM(Ternary Content Addressable Memory)，即“三态内容可寻址存储器”。它所具有的大容量、搜索关键字长度可变和高速搜索等特点，使得 TCAM 被广泛应用于路由表项查找、病毒入侵检测以及报文分类等操作中^[9]，因此 TCAM 在互联网应用中更加有着其他产品无法比拟的吸引力。TCAM 在互联网中的应用一般都是结合网络处理器来实现快速的高速路由和数据分类转发等功能^[10]。

2.1.1 TCAM 概述

按内容寻址存储器（Content Addressable Memory，CAM）不仅可以像 SRAM 等普通存储器存取数据，而且还可以进行高速搜索数据。所以从本质上讲，CAM 是一种硬件实现的高速搜索引擎，故而其在对庞大数据量进行搜索的应用中得到青睐，例如全相联高速缓冲存储器 cache，ATM 设备中地址映射表项的存储和查找，数据压缩图像处理等。目前 CAM 的发展也颇有商业价值，其最主要的商业用途集中在互联网路由器中实现报文分组转发和分类。近年来，随着光纤技术的发展，光纤传输越来越快、互联网的每日业务量越来越多、IPv6 的使用越来越广泛以及类似于 VPN 网络防火墙、实时病毒入侵检测等许多新型网络应用的出现，这一切都要求 CAM 具有更高的速度，更低的功耗和成本。因此，研究如何在降低 CAM 功耗的同时又保证高速搜索的研究就越来越迫切了^[11]。

CAM 是随机存储器 RAM 的一个分支，不仅具有读、写功能，而且还具有查找匹配功能。现今 CAM 主要有两种：二值 CAM(BiCAM)和三值 CAM(TCAM)。BiCAM 的二值是指其只能存储“0”和“1”，而相对应的 TCAM 的三值是指可以存储“0”，“1”和“X”，其中“X”是“屏蔽位”^[12]。所以根据这个特征分析可知，BiCAM 只能实现精确查找匹配，而 TCAM 则既可以实现 BiCAM 所具有的精确查找匹配功能，还可以通过带有屏蔽字“X”来实现模糊搜索匹配。

TCAM 不限制所存储关键字表项的长度，这正是最长前缀匹配迫切需要的。这是因为由于最长前缀匹配的规则，需要忽略一些不必要的位，而 TCAM 恰好允许第三种屏蔽“X”，“X”就代表忽略此关键字上相应位，故可以通过使用 TCAM 的关键字掩码方式来实现^[13]。TCAM 通常可以达到 50-100 百万次/秒的查找速度，满足了 IP 包的快速转发要求。并且 TCAM 的性能与路由表的内容和大小没有关系，这个特点从根本上使得

TCAM 和基于软件的路由查表策略区别开来，也同时在查表速度上远远超越了其它软件算法。所以说 TCAM 标志着高速路由的发展方向。

2.1.2 TCAM 管理规则

虽然 TCAM 的型号多种多样，不同型号标志着它们在速度上或者容量上，特殊的还在接口时序上有不同之处，但它们所支持的指令操作大致相似^[14]。TCAM 的典型指令集如表 2.1。

表 2.1 TCAM 指令集统计表
Tab. 2.1 Statistics table for Instruction set

指令类型	描述
Read or Write 读或写	读或写数据
Move and copy 移动和复制	从源地址移动或复制数据到目的地址
Lookup 查找	查找关键字，关键字的有效位宽为 72 位，144 位，288 位或 576 位
Learn 学习	向 TCAM 中写入新的表项，查找过程中可用
NFA Lookup NFA 查找	查找下一个可用的空闲地址
Parity 奇偶	执行奇偶性校验操作
Re-issue 重发射	不间断地持续执行关键字查找
Dual write 双重写	TCAM 初始化时，并行地写数据和 SRAM
SRAM No Wait Read SRAM 非等待读	执行其他操作时执行流水非读外部 SRAM
Multi Match Scroll and Scroll 多重匹配滚动和滚动	执行多重查找操作并且输出读搜索结果中优先级最高的结果给用户
Multi Match Invalidate 多重匹配无效	当出现多匹配结果时，根据查找结果有效位移动匹配地址

分析上表可知，read、write、move、copy、Multi Match Scroll、scroll、Multi Match Invalidate、NFA Lookup 和 Learn 指令都可以用于对 TCAM 中的表项进行管理。但是，基于 TCAM 层次设计的考虑，专门的 TCAM 规则管理模块需要在 MDS 系统中设置，针对 NIDS 应用的需求，完成 TCAM 规则的管理^[15]。

2.1.3 TCAM 功能分析

TCAM 自上世纪 90 年代发明以来，作为一种快速的查找引擎被广泛地部署在高速网络设备中。传统上，TCAM 被用来执行相对简单的包处理任务如 IP 地址查询和基于包头的包分类。

表 2.2 TCAM 的 IP 转发表
Tab. 2.2 IP transmit table of TCAM

TCAM	SRAM
目的 IP 地址	转发端口 (Port)
192.168.100.*	Port 1
192.168.*.*	Port 2
..*.*	Port 3

无需增加额外的硬件代价，这些高速网络设备中的 TCAM 也可以用于实现正则表达式匹配等功能^[16]。

TCAM 的总体结构如图 2.1 所示。从其总体结构图中可以看出 TCAM 主要包含处理器接口、到达索引寄存器、TCAM 存储矩阵和优先译码器。在此结构中，查找结果是由优先译码器传递给相关的外部器件。

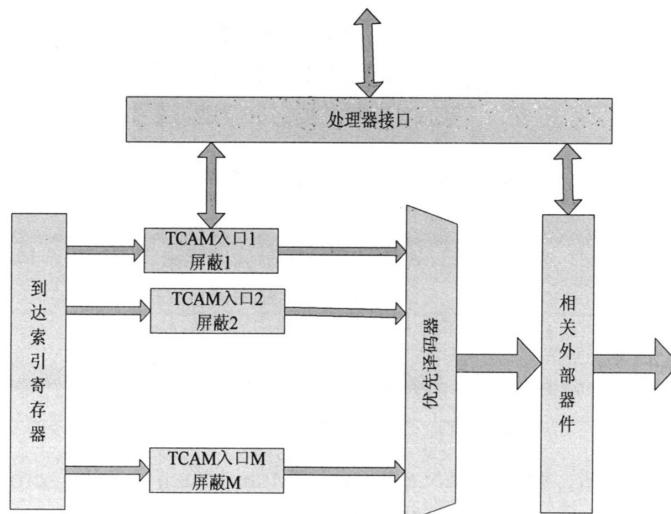


图 2.1 TCAM 的总体结构图
Fig. 2.1 The overall structure diagram of TCAM

TCAM 存储矩阵中表项的存储形式是<数据, 掩码>序偶。若掩码为 0, 相应的存储矩阵中数据单元就会被屏蔽; 若掩码为 1, 那么相应的存储矩阵中的数据单元就不会被屏蔽, 可以进行查找^[17]。这里我们可以进行举例说明分析: 设存储矩阵中的数据关键字的最大长度为 N, 则可知关键字的数据和掩码宽度都为 N, 所以当某个表项关键字长度为 M ($1 \leq M \leq N$) 时, 则此表项关键字的掩码前 M 位是 1, 而剩下的 $N-M$ 位为 0。这样就代表着屏蔽了数据的后 $N-M$ 位, 所以关键字的数据后 $N-M$ 位就会被忽略不用去考虑, 可以是 0 也可以是 1^[18]。举例说明若 N 是 6, 那么数据前缀 101* 就可以使用 <101101,111000> 序偶来表示。执行查找匹配时, TCAM 需要进行奇偶校验, 检查搜索关键字和掩码按位与结果与目的数据和掩码按位与结果是否相等。若相等则判断为匹配, 查找完成, 否则判断为不匹配。

从上文论述可知 TCAM 可以实现通配符查找。图 2.2 给出了 TCAM 单元的或非型和与非型两种不同电路图。从图 2.2 中可知, TCAM 单元中是用两个 SRAM 单元来存储表示三态中某一态的^[19]。也就是说若想表示出 “X”, “1” 或 “0”的任意一个状态, 都需要两个 SRAM。相对应的编码方式见表 2.3。其中在或非型 TCAM 单元中, D 和 D# 都是 “0”的情况没有意义, 不使用。由于 TCAM 表示的是三态, 所以电路中的 D#(SL#) 并不一定是 D(SL) 的取反值, 也就是说相应的两值不一定是互为相反数。

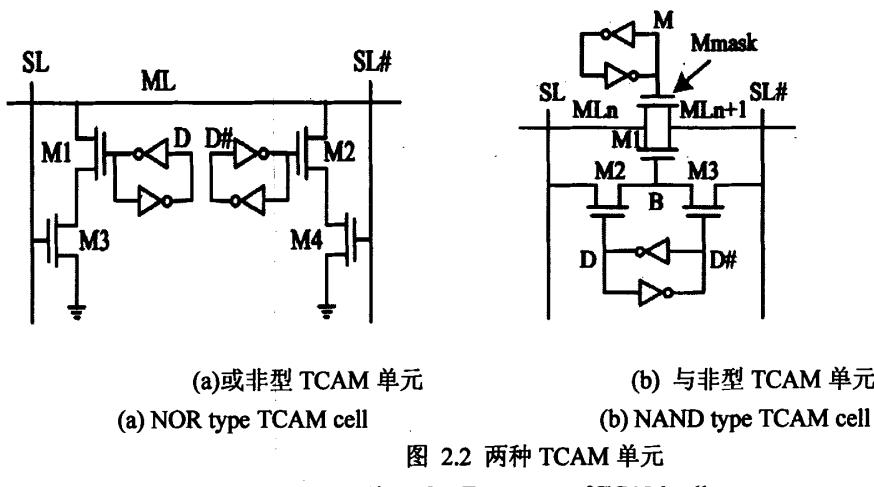


Fig. 2.2 Two types of TCAM cell

图 2.2(a) 表示的是或非型 TCAM, 其中匹配线 ML 的两个下拉通道分别是 M1、M3 和 M2、M4, 分析电路图可知他们是彼此独立的。当要存储 “X” 时, 使 D, D# 均为 1 即可, 这种情况称为 “内部屏蔽”。而当 SL, SL# 均为 0 的时候, 不论单元内是何值都会产生匹配, 此时称为 “全局屏蔽(X)” 或 “外部屏蔽”^[19]。内部屏蔽仅存在于 TCAM

中，而全局屏蔽是 BiCAM 和 TCAM 都可以实现的。当然一个三态单元也可以用两个二态单元 CAM 来表示。

分析与非型 TCAM 电路图 2.2(b)可知，与非型 TCAM 单元的节点 M 处需要一个屏蔽位 Mmask。若要存储“X”，需将晶体管 Mmask 打开，则需置屏蔽位为“1”，这样不管 D 是何值，搜索结果都是匹配的。与或非型 TCAM 单元类似，当 M 为“1”时，表明此时 TCAM 单元内存储的是“X”，也就是处于“内部屏蔽”状态。当(SL, SL#) = (1, 1)时，意味着此时 TCAM 单元处于“全局屏蔽”状态，那么这个时候不管 TCAM 存储单元中是何值，进行搜索都会匹配^[20]。

表 2.3 TCAM 单元编码
Tab. 2.2 Unit code of TCAM

NOR 型 TCAM 单元			NAND 型 TCAM 单元		
表示值	节点值 (D, D#)	搜索位 (SL, SL#)	表示值	节点值 (D, M)	搜索位 (SL, SL#)
0	(0,1)	(0,1)	0	(0,0)	(0,1)
1	(1,0)	(1,0)	1	(1,0)	(1,0)
X	(1,1)	(0,0)	X	(0,1)	(1,1)
Reserved	(0,0)	(1,1)	X	(1,1)	(1,1)

2.1.4 TCAM 的应用发展

虽然 TCAM 也有它的缺点：比如较 RAM 价格更昂贵；消耗功率大；更新操作较复杂等。但总体来看，这些年来 TCAM 的容量在逐渐增大，速度也在日益加快，性能也提升的越来越好^[21]。而由于 TCAM 的出现，CAM 现在已经不再使用。到 2005 年中旬 Netlogic 公司的 NSE (Network Search Engine) 系列产品已经能在一片 NSE x512 上存储 18M 字节信息（可配置为 512K x 36, 256K x 72, 128K x 144, 64K x 288, 32K x 576），最大搜索速率为 133MSPS。举例说明：若配置成 128K x 144，表明一条表项占 144 比特位宽，那么两片 NSE TCAM 芯片就能最多存储 256K 条路由表项，这个容量足以用来容纳一般 IPv4 路由器的路由表项。这样路由查表在未涉及复杂的数据结构和算法的情况下，仅使用两片 NSE TCAM 中就可以完成，实现简单功耗低速度也快。若需要适合于存放 IPv6 的路由表项，可以将单元容量配置为 288 比特位宽^[22]。

2.2 系统功能概述

本文设计的 TCAM 开发板系统可以实现路由查表功能。从上文分析可知 TCAM 可以实现基于硬件的路由查表，图 2.3 表示的是传统 TCAM 查表流程图。

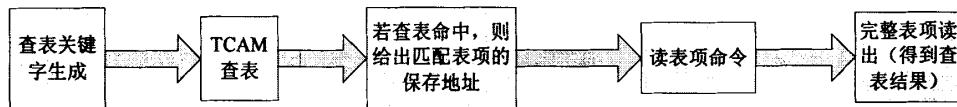


图 2.3 TCAM 查表流程图

Fig. 2.3 TCAM table match chart

通过分析 TCAM 的查表流程图，可以设计出本文开发板系统的系统框图，如图 2.4。

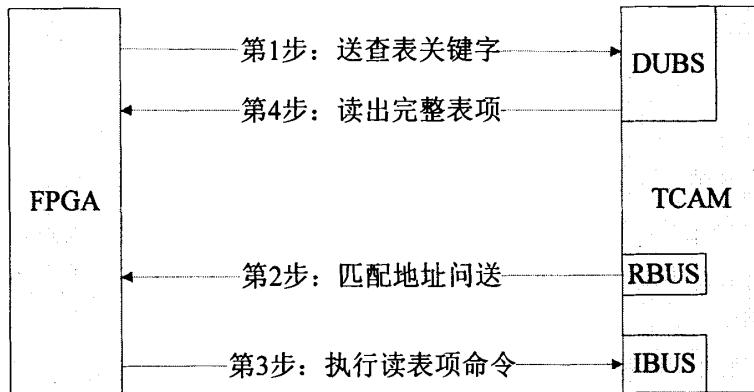


图 2.4 系统框图

Fig. 2.4 The system block diagram

通过本文的理论分析，我们对路由表项有了一定的了解和认识，知道了它是由查表结果和查表关键字来组成的，查表结果用来存储匹配不匹配的状态，而查表关键字则是指搜索关键字。从这点我们可以看出在 TCAM 中，路由表项都是按照一定的顺序进行存储的。在单播查表过程中，TCAM 转发报文就是根据其目的 IP 地址进行查表，也就是说这个目的 IP 地址就是路由表项的查表关键字。而查表结果就是查找得到的目的 IP 地址所对应的目的口号。这样查表关键字和查表结果就组成了一条完成的单播表项，同时按照一定的地址顺序存储在 TCAM 某个相应的地址上^[23]。

IP 报文转发和查表过程如图 2.4。DBUS 是 TCAM 的数据总线，负责传输转发引擎从报文的报头信息中提取的查表关键字。当转发 IP 报文到达的时候，并且 DBUS 已经将报文所带的有效查表关键字 Key 传输到 TCAM 中后，TCAM 就会开始进行查找操作^[24]。如果能够查找到匹配结果，则 TCAM 将匹配表项所在地址输出到 TCAM 的结果总

线 RBUS 上。在最后, FPGA 还要再读出匹配表项的完整表项传送到 DBUS 上并输出,这样就完成了转发报文的查表结果的输出。

通过以上对 IP 报文转发和查表过程的分析, 可知此过程是由不可采用流水形式的两个操作串行实现的, 分别是搜索和读操作。所以可以计算出查表过程所用最短周期大概是十几个时钟周期, 也就是搜索操作和读操作的两者所占时间周期的和^[25]。

2.3 应用前景

路由查找广泛应用于高端路由器, 转发引擎是其核心所在, 它的系统级流水线如图 2.5 所示:

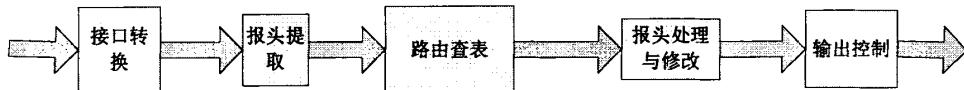


图 2.5 转发引擎系统级流水线

Fig. 2.5 Forwarding engine system level pipeline

在整个流水线时间周期中, 占最大比例的功能段就是路由查表。所以可以通过提高 TCAM 搜索处理速度, 减少路由查表的时间, 也就随之能提高高端路由器的性能。

高速路由器作为 Internet 网络互联的主要设备, 它的性能优越与否直接影响着 Internet 网络的发展。高速路由器的转发速度、体系结构和交换网络的容量是三大主要瓶颈。而路由查表功能模块是高速路由器转发引擎中最核心也是最能体现路由器速度的模块, 所以只要提高了路由查表模块的查找速度, 并想法设法再将相应功耗降低, 从而最大限度的增强高速路由器的性能^[26]。

2.4 面临的挑战

从 20 世纪末至今, 集成电路产业得到了快速的大规模发展, 同时不断更新发展的互联网应用也在刺激着集成电路的产业层次 TCAM 性能的提高, 促使着 TCAM 健康良好而又迅速的发展。集成电路产业中最主要的研究点就是速度和功耗, 同时对于市场应用来说, 芯片面积等实际制造成本也是一个不断研究的关注点^[27]。所以现今许多研究者们都在致力于这三点, 力求不断达到高速、低功耗以及低成本, 使 TCAM 的这三种特性不断得到增强并达到平衡。可以说正是 TCAM 的市场应用不断刺激着 TCAM 技术实现长足良好发展。

与此同时路由表项的更新速度也是一个困难和挑战, 同时也成为了研究的一个热点。路由更新包括添加和删除^[28]。更新路由表就意味着重建转发表数据结构。研究表明,

路由表更新频率很高，可以达到 100 次/秒。如果能够实现路由器路由表动态更新，并且动态更新的时间尽可能短，这对路由器的性能提升起着非常大的影响^[29]。所以对于高端核心路由器来说，查找速度和更新速度是两个重要指标。

2.5 本章小结

本章主要介绍了开发板路由查找系统及其核心模块 TCAM。介绍分析了 TCAM 的特点，功能指令以及存在的缺陷。接着分析了高速路由器开发板系统的功能实现流程，以及它的应用前景和面临的挑战。

3 系统架构设计及原理分析

基于 FPGA 的 TCAM 开发板系统是由电源模块，FPGA 控制模块，TCAM 模块，以及有源晶振模块等组成。

3.1 系统架构框图

如图 3.1 所示，本设计中 TCAM 开发板的系统架构示意图。

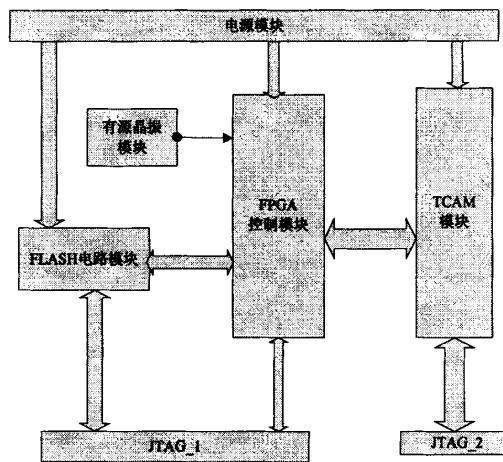


图 3.1 基于 FPGA 的 TCAM 开发板系统架构示意图

Fig. 3.1 TCAM development board system architecture based on FPGA

TCAM 模块是需要测试开发的模块。整个开发板的工作机能如下：电源模块为 TCAM 模块，FLASH 电路模块以及 FPGA 控制模块提供电源，让这三个模块能够正常工作。有源晶振模块则负责产生具有固定频率的时钟信号，以此来激励和驱动 FPGA 控制模块。FLASH 电路模块不掉电存储数据，FPGA 控制模块中下载测试代码，向 TCAM 模块发出不同的指令，通过读取 TCAM 返回的管脚信息来测试验证 TCAM 模块的工作性能^[30]。外界通过 JTAG 向各个模块进行下载返回代码数据等信息。

本系统采用 FPGA 作为核心控制器件，利用 Verilog 硬件描述语言编写代码产生指令，通过指令来控制 TCAM（三态按内容寻址存储器）运作，从而实现 TCAM，实质上就是一个硬件高速搜索引擎，所具有的高速数据搜索功能，实现了路由查表的核心功能^[31]。

由于 FPGA 中内部存储空间太小，无法存储过大的激励文件，所以将产生指令的激励文件在板子上电开始工作时暂时存储在 SDRAM 中。而由于 SDRAM 会掉电丢失，故需要利用具有掉电不丢失数据的闪存 FLASH 来存储固有文件。与此同时，FPGA, FLASH 以及 TCAM 所需电压 VCC 各有不同，并且 FPGA 在不同的 VCC 情况下，具有不同的工作状态^[32]，故开发板中还需要较复杂的电源模块，来满足各个模块对多种不同电压 VCC 的需求。

3.2 基于 FPGA 的设计原理分析

3.2.1 FPGA 概述

FPGA 的前身是一些功能相对较弱的可编程逻辑器件，如复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD)，可程式阵列逻辑器(Programmable Array Logic, PAL)以及通用阵列逻辑器 (Generic Array Logic, GAL)。上世纪 80 年代中叶，总部位于加利福尼亚圣何塞市的 Xilinx 公司首次推出了 FPGA 芯片，这款芯片主要是由他们公司始的开创者设计发明的，这是一种开放式的的集成电路芯片，成品没有预先设计好的或者固定的逻辑运算能力，用户需要根据实际需求进行二次开发。与此前传统的可编程逻辑器件相比，FPGA 芯片扩展了其规模，而且大大增加了门电路的数量。它区别于 ASIC 的主要特点是多次编码，具有可持续性^[33]。

人们倾向于使用 FPGA 器件的原因如下：首先与传统的工艺投片和 NRE 费用相比它成本低廉，芯片设计往往在使用者的办公桌上就可以完成；作为 ASIC 电路信息传输和储存的媒介，FPGA 对 ASIC 电路进行充分的原理论证和检测，确认无误后再应用于生产，降低了风险；FPGA 集成了各种各样千变万化的数字逻辑，基本上可实现各种和数字相关的设计环境；可以多次擦写，并支持网络直接下载，这样使得 FPGA 二次开发的时间缩短，而且低成本低风险^[34]；将 CMOS 工艺应用到工业生产中，能够在一定的时期内实现利益最大化，而且产品相互配合的程度好，可以满足目前普遍的电平接口输入。综上，到目前为止在 ASIC 原理验证的多种选择中，FPGA 是其中最好，而且此技术方案，能够以最快的速度推出符合市场需求的机器原形。区别于 ASIC 的这些显著特点，以及 FPGA 芯片这将近 30 年的持续开发与完善，使得它在越来越多的领域被人们熟知并逐步取代 ASIC 器件，并且这种势头在一点一点的扩大。目前，在涉及国计民生的各个领域，FPGA 都在发挥着不可替代的作用^[35]。

3.2.2 FPGA 设计流程

前文中已提到, FPGA 的设计在办公桌上就能完成, 它的设计流程相对简单, 是在其相应的开发系统和环境下(EDA), 经历设计、模拟和下载三个阶段来完成。其典型的设计流程包括以下几个关键阶段: 定义功能, 根据目标功能选择器件类型, 并在 FPGA 的开发环境下进行设计输入、功能仿真、综合、综合后仿真、映射与布局布线和后仿真等, 最终产品成形后要在系统级环境下来完成板级仿真, 然后进行对芯片进行编程与调整测试, 如图 3.2 所示。

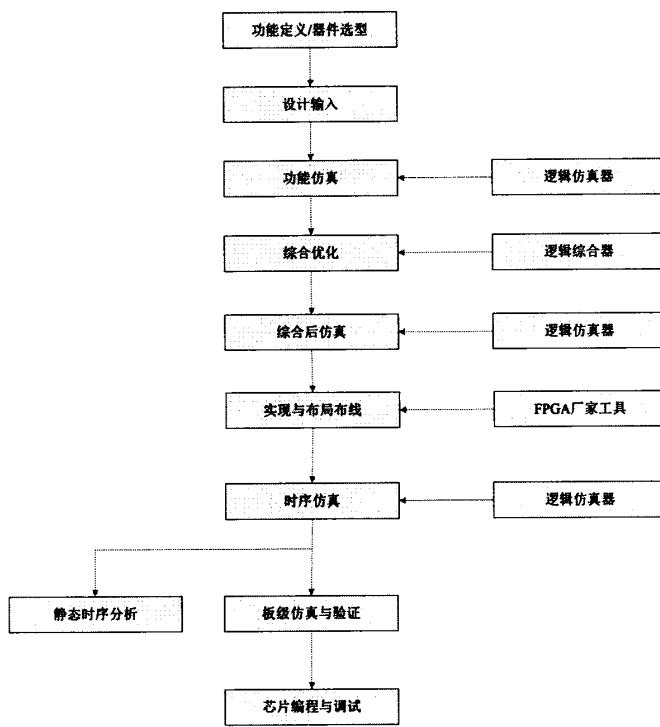


图 3.2 典型 FPGA 设计流程
Fig. 3.2 Typical FPGA design flow

3.2.2.1 功能定义与器件选型

FPGA 相关的设计项目, 跟普通的电路设计项目没有太大差别, 而且符合项目管理的流程, 当处于项目概念阶段, 必须要在项目章程中仔细全面的定义技术实施的相关规范, 需要具体到模块的分解和功能确定以及实现这些功能的端口。对具体的 FPGA 设计项目, 要仔细分析预期的技术规范的诉求, 然后预测系统的功能和确定与之相适应的规模, 根据这些分析结果来定义 FPGA 应具备的各项参数指标, 然后兼顾当前主流 FPGA

的成本，来挑选一款合适的芯片；并非越贵的芯片越好，在成本允许范围内，能最大限度实现预期设计功能的最好。FPGA 有几种设计方法，使用比较多的是由上而下的方法，这种方法的主要思想是，将整个系统分为几个层次和相关模块，根据模块之间相互影响关系来定义接口以及接口之间的时序。如有需要，有一些子模块还可以细分为更小的单元，接下来项目成员的工作就是由低层模块一个个展开设计输入^[36]。

3.2.2.2 设计输入

设计输入就是要根据 FPGA 的输入格式，设计出一款电路原理图能来提供读写的硬件支持，再用相关软件进行读取。而先前的 FPGA 设计输入需要工程师自行设计电路方案。但是随着系统的完善，现在的开发环境把各种门电路集成到电子器件库中（74 系列），设计者可以直接从元件库中调用所需要的门电路，从而画出自己的原理图，相反工程师也可以将自己曾经设计过的设计方案，甚至板级的，存储到 FPGA 数据库里。原理图输入方式简单易用，设计图十分直观，而且分析和仿真也特别容易。但此方法向上兼容性十分差，由此导致效率不是很理想，在器件型号换代升级时，它不能直接被移植到新系统中，这就说相关的原理图都要根据新的元件库进行更新。

HDL（硬件描述语言，Hardware Description Language）语言输入是另一种设计输入方式，这种方法在目前的实际应用中占有很大比例。HDL 语言有两种常用的类型，即普通硬件描述语言和行为级硬件描述语言。普通硬件描述语言以 ABEL 最具代表性，这种语言支持逻辑方程，真值表和状态图，就相当我们所学的汇编语言，它抽象层次不高，所以一些难度低规模小的项目设计中用得相对多一些，但对大型设计它的适用性比较差。那些中大型的设计，就需要 HDL 语言来支持开发工作，我们称它是抽象层次较高的行为级硬件描述语言。以上提到的两种语言就是美国权威机构电气与电子工程师协会（IEEE）的标准语言：VHDL 以及 Verilog HDL。这两种语言不依赖于芯片，是一种完全的逻辑思维，由于此优点它们的可移植性特别强^[37]。这两种语言能够很恰当的反映设计者的数字设计想法，十分类似我们熟知的 C++，工作效率极高。但在我们日常的 FPGA 设计中，设计者往往会根据实际情况组合使用 HDL 和原理图两种工具。原理图用于上层设计，确定模块，然后用 HDL 进行下层模块开发，这种混合方式使得两种设计输入的优点发挥得淋漓尽致，并且结构一目了然^[38]。

3.2.2.3 功能仿真

功能仿真，又称为前仿真（Pre-layout Simulation），主要是证明设计功能是否正确的过程，目的是分析电路的逻辑关系的正确性，仿真速度快，可以根据需要观察电路输入输出端口和电路内部信号和寄存器波形，以便设计人员及时利用功能仿真来证明自己的设计是否有错误，并做出及时地修改。在目前的设计环境下，大家经常用到的仿真软

件有 Sysnopsys 公司的 VCS, Model Tech 公司的 ModelSim 和 Cadence 公司的 NC-Verilog 以及 NC-VHDL。

3.2.2.4 板级仿真与验证

为了保证系统运行的可靠性，在高速电路板设计过程中，板级仿真尤其重要。由于 FPGA 具有速度快和性能优的特点，顺其自然的成为高速电路板的首选。为了迎合大众，几乎所有的 FPGA 供应商都会提供相应的数据库，来辅助设计者使用 PCB 板级仿真工具实现含 FPGA 的板级仿真。

3.3 JTAG 接口

通用的 JTAG 都是 4 PIN 结构：其中一个引脚是用作测试模式选择(Test Mode Select, TMS); 另外有两根输入引脚，一根用来输入测试时钟(Test Clock Input, TCK)、另外一根输入引脚用来输入测试数据(Test Data Input, TDI)、有了测试模式和输入，剩下那根引脚就用作输出了，主要输出测试数据(Test Data Outputs, TDO)。另外，TRST(Test Reset, 测试复位)引脚是可选的，既可以用 TRST 来实现电路复位，又可以在 TMS 测试模式选择上连续加 5 个以上(含 5 个)TCK 脉冲宽度的高电平信号也可以实现电路复位。

Xilinx 公司 FPGA 本身就具有现成的 JTAG 接口，只需要通过调用 Xilinx 公司提供的 BSCAN 原语，并通过扫描链和 JTAG 指令来实现 ICON 和 ILA 的连接。Xilinx 公司的生产标准是 IEEE1149.1 和 IEEE1532，所以其品牌下的所有产品的 JTAG 接口都是标准的。在早期的 FPGA 产品中，只有两个自定义接口，即 USER1 和 USER2，但是在 Virtex4 以后，就将自定义接口扩充到了 4 个，即 USER1, USER2, USER2, USER4。如图 3.3，是 JTAG 的典型结构。

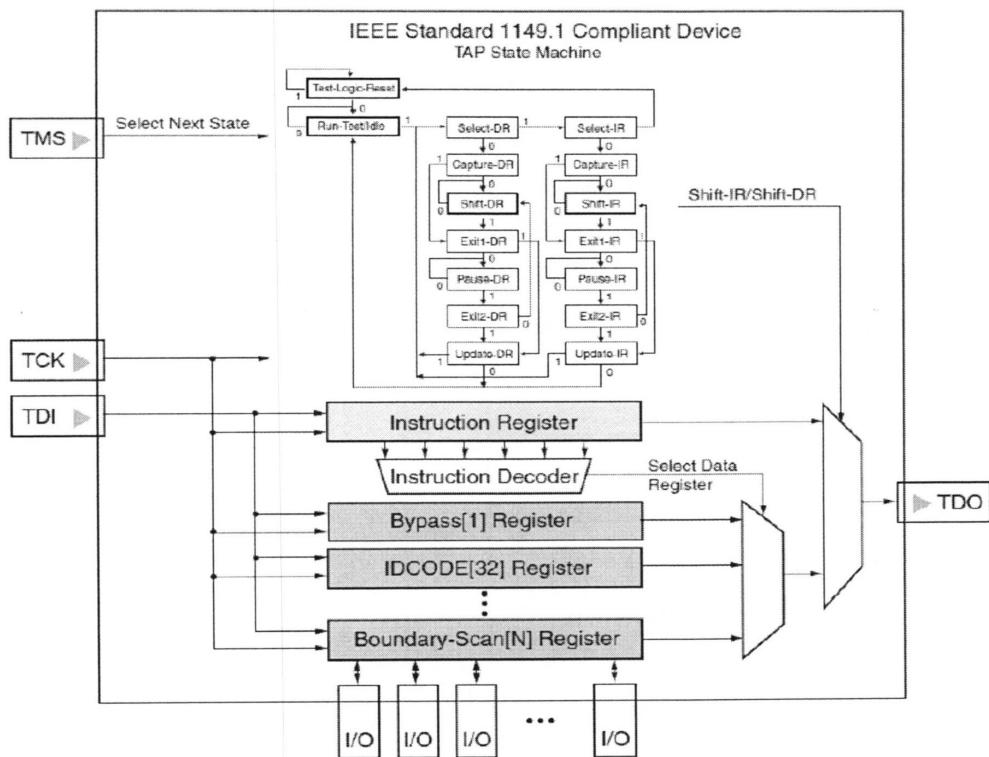


图 3.3 典型的 JTAG 结构
Fig. 3.3 Typical structure of JTAG

在实际开发生产中,针对同一个 JTAG 链上的元件,开发人员往往会将 TCK 和 TMS 并行连接到一块,不仅如此还会将 TDI 和 TDO 进行串行连接[30]。如图 3.4 使用了一个 TMS 信号串行连接方式。

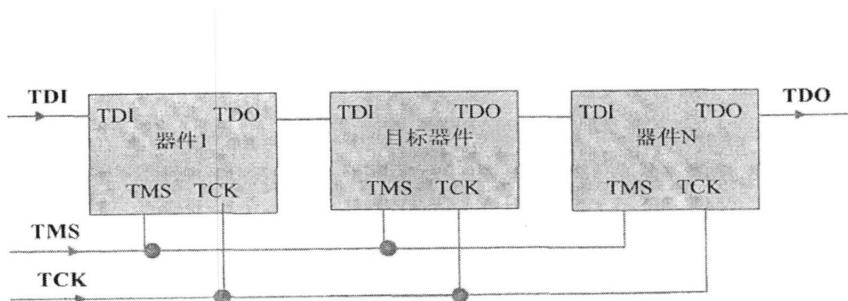


图 3.4 JTAG 链上设备连接
Fig. 3.4 JTAG chain device connection

3.4 ISE 在线逻辑分析仪

Xilinx 公司的 Chipscope 分为以下几个模块： JTAG 端口模块、虚拟输入输出模块（Virtual Input and Output, VIO）、整合控制模块（Integrated Controller, ICON）、整合逻辑分析器模块（Integrated Logic Analyzer,ILA）和芯片内部集成的存储模块。再者，Xilinx 生产的 FPGA 自带的指令，扫描链以及与之配套的 JTAG 接口，Chipscope 在此基础上顺利实现了与 ICON 和 ILA 的连接，并实现了对在系统逻辑分析仪的操作^[40]。

图 3.5 在系统逻辑分析仪的架构框图：

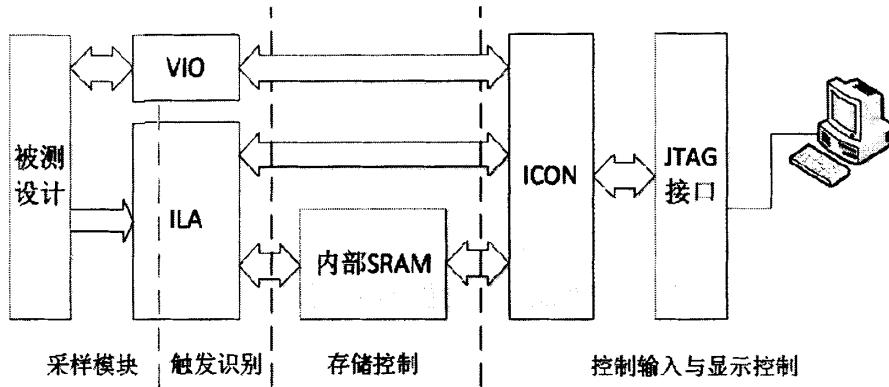


图 3.5 在系统逻辑分析仪的架构框图

Fig. 3.5 The Architecture Diagram of ChipScope

Chipscope 区别于传统的逻辑分析仪主要特点有两个：第一，传统分析仪是被动运行的，它不要求对目标对象施加激励，它自就会抓取来自运行系统的信号，而 Chipscope 跟传统逻辑分析仪恰恰相反，需要先有激励，然后再信号采样监测；第二，前文提到过传统的逻辑分析仪需要借助门电路来将信号转化成数字，但是 Chipscope 集成在 FPGA 片内，与被测目标一体的，它们之间原本就存在数字信号交换^[41]，所以只要能够正确连接，Chipscope 就能正常工作。

在 Chipscope 中，传统逻辑分析仪的功能就体现为：全部控制功能由 ICON 来执行；而且与 JTAG 一起实现了控制输入和显示；ILA 则作为激励辨认和抽样模块；FPGA 的片内存储器则作为取样结果的存储模块。

Xilinx 公司的 Spartan 和 Virtex 系列的 FPGA 芯片是与他公司自己的 Chipscope 兼容的，其工作模式如图 3.6 所示。工作模式是将剩余资源设计成一个采集系统，进而监控片内信号，然后将其通过编程接口连接到某一台计算机上，这样就能在屏幕上实时观察

来自 FPGA 片内的信号变化过程，而且能够控制如何具体采集这些内部信号。ChipScope 优点较多，比较突出的有：

- (1) 开发成本低。FPGA 器件集成了较多的块存储器，调试阶段中对这些存储器没有支配，这些未被占用的存储器成为了内嵌逻辑分析仪运行的必备条件。此外，仅需要一根额外的 JTAG 数据线分析信号，很大程度上减少了 PCB 的设计开支。
- (2) 灵活性高。无需额外的输出端口来将观察信号输出，能观察的信号量的大小取决于 FPGA 中富余的资源量，特别是记忆存储模块多少，具有灵活易于升级的特性。
- (3) 使用简单。在 FPGA 的开发的时候，可以将在系统逻辑分析仪看作一个单独的 IP 模块，并根据需求来进行调用；而且，FPGA 开发环境可以自动添加在系统逻辑分析仪 IP 核，但是在它的 IP 核所占用的资源几乎可以忽略，完全可以忽略其影响。另外，它还能像传统逻辑分析仪一样，触发条件可随意定义，信号列表也可以随意选择。



图 3.6 在系统逻辑分析仪工作示意图

Fig. 3.6 Schematic diagram of ChipScope

3.5 本章小结

本章探讨了当前开发板系统的几种主要设计方案，在此基础上提出了系统的结构框图。接着介绍了 FPGA 的设计流程，并且在此基础上，说明了验证过程中会使用到的 JTAG 和 ChipScope 验证工具的原理以及工作机制。为下一章节提出详细的系统设计方案做铺垫做准备。

4 系统硬件设计与制作

4.1 系统设计

依据第 3 章的原理分析，本文中所设计的开发板系统硬件框图如下图 4.1 所示。其中晶振模块是 CLK25M，其产生的时钟频率为 25MHz；XCF32PFSG48 是款 FLASH 芯片。FPGA 选用的是 Xilinx 公司的 Spartan-6 XCS6LX100T。Netlogic 的 NL3360 是需要测试开发的 TCAM。

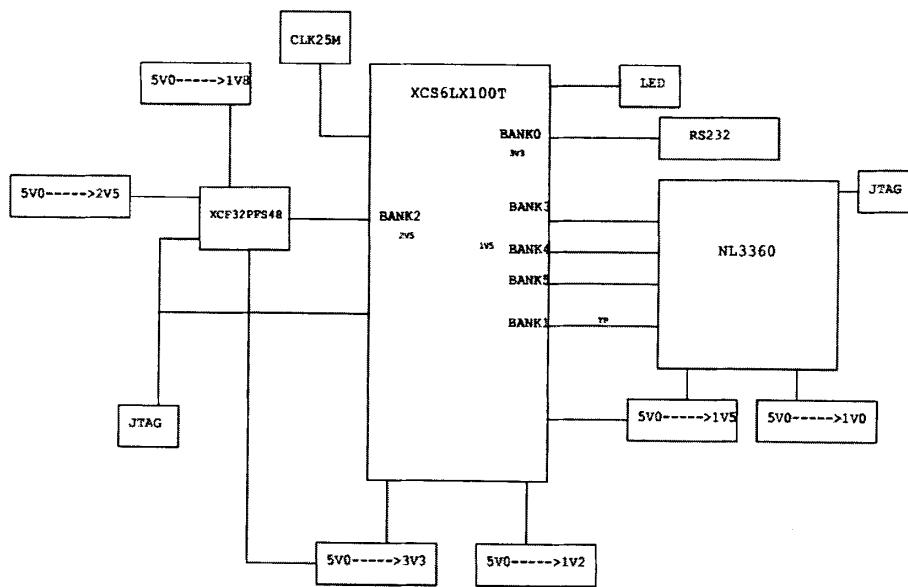


图 4.1 基于 FPGA 的 TCAM 开发板系统框图

Fig. 4.1 The block diagram of TCAM development board system based on FPGA

4.2 开发板各模块参数及硬件电路设计

4.2.1 电源模块

通过对整体开发板的分析可知，开发板的电源模块包括两个部分，一次电源模块部分需要满足参数：输入 AC220V，输出为 5V，最大电流不高于 10A。二次电源模块需要满足：输入电压 5V，最大电流不高于 10A，同时可以提供 3.3V，2.5V，1.8V，1.5V，1.2V 和 1.0V 的输出电压。

基于上述要求，本设计选择的一次电源模块是由捷力达电子有限公司的开关电源：JCC30，输入为常规电器用电 220V，输出为 5V/6A。向开发板供给 5V 直流电压。在性能上，这款开关电源的精度更高，输出电压变化幅度较低，故选择此款电源作为一次电源模块。二次电源模块选择的是来自 Union 公司的 MQ7250A SIP 芯片。这款芯片的输入电压是 3V~5.5V，输出电压可以调节，而且具有较宽的范围，输出电压在 0.7525V~3.63V 之间可调变化，可以提供所需的六种电源电压，且调节方式简单，故选择此款电源作为二次电源模块。从本设计的系统建模中就可以看到，FPGA，FLASH 以及 TCAM 都需要不同的电压，总共需要有 3.3V，2.5V，1.8V，1.5V，1.2V 和 1.0V 共 6 种电源。从芯片 MQ7250A 的性能表中可看出此芯片满足本设计对电源电压的需求。二次电源模块芯片 MQ7250A 的参数如下图 4.2(a)所示。

通过对这一款芯片的研究得知：通过改变 Trim 与 GND 之间的电阻，可以实现对输出电压的调节。其工作原理见下图 4.2(b)。

Performance Specifications (at TA=+25°C)						
Model	Input V _{IN} Range (V)	Output			Efficiency (%)	
		I _{out} (A)	Trim Range (V)	Regulation		
MQ7250ASIP	3~5.5	10	0.7525V~3.63V	0.5	0.5	95

(a) 电源模块参数
 (a) The power supply module parameters

(b) 工作原理图
 (b) Working principle diagram

图 4.2 MQ7250A 二次电源模块工作与性能图

Fig. 4.2 MQ7250A the second power module

由 MQ7250A 的工作模式得知：

$$V_o - 0.7525 = \frac{21070}{R_{TRIM} + 5110} \quad (4.1)$$

这是此款芯片输出电压与内部 RTRIM 电阻值的关系式。通过此公式可以计算出当需要某种电源电压的时候，所对应的电阻参数。计算公式如下：

$$R_{TRIM} = \frac{21070}{V_o - 0.7525} - 5110 \quad (4.2)$$

其中 R_{TRIM} 就是 Trim 与 GND 之间电阻值； V_o 是输出电压值。利用芯片的这个特性，改变 Trim 与 GND 之间电阻大小，就能调节输出电压的大小，从而满足开发板所需电源电压。故由此可计算得出每个电源模块的参数配置信息。

如图 4.3(a)是产生 3.3 V 电源电压电路，其计算参数公式为：

$$R85 = \frac{21070}{3.3 - 0.7525} - 5110 = 3.16K \quad (4.3)$$

同样的原理，对公式中涉及到的输出电压进行调整，得到 2.5V，1.8V，1.5V，1.2V 和 1.0V 的电源。计算公式如下：

$$R86 = \frac{21070}{1.8 - 0.7525} - 5110 = 15K \quad (4.4)$$

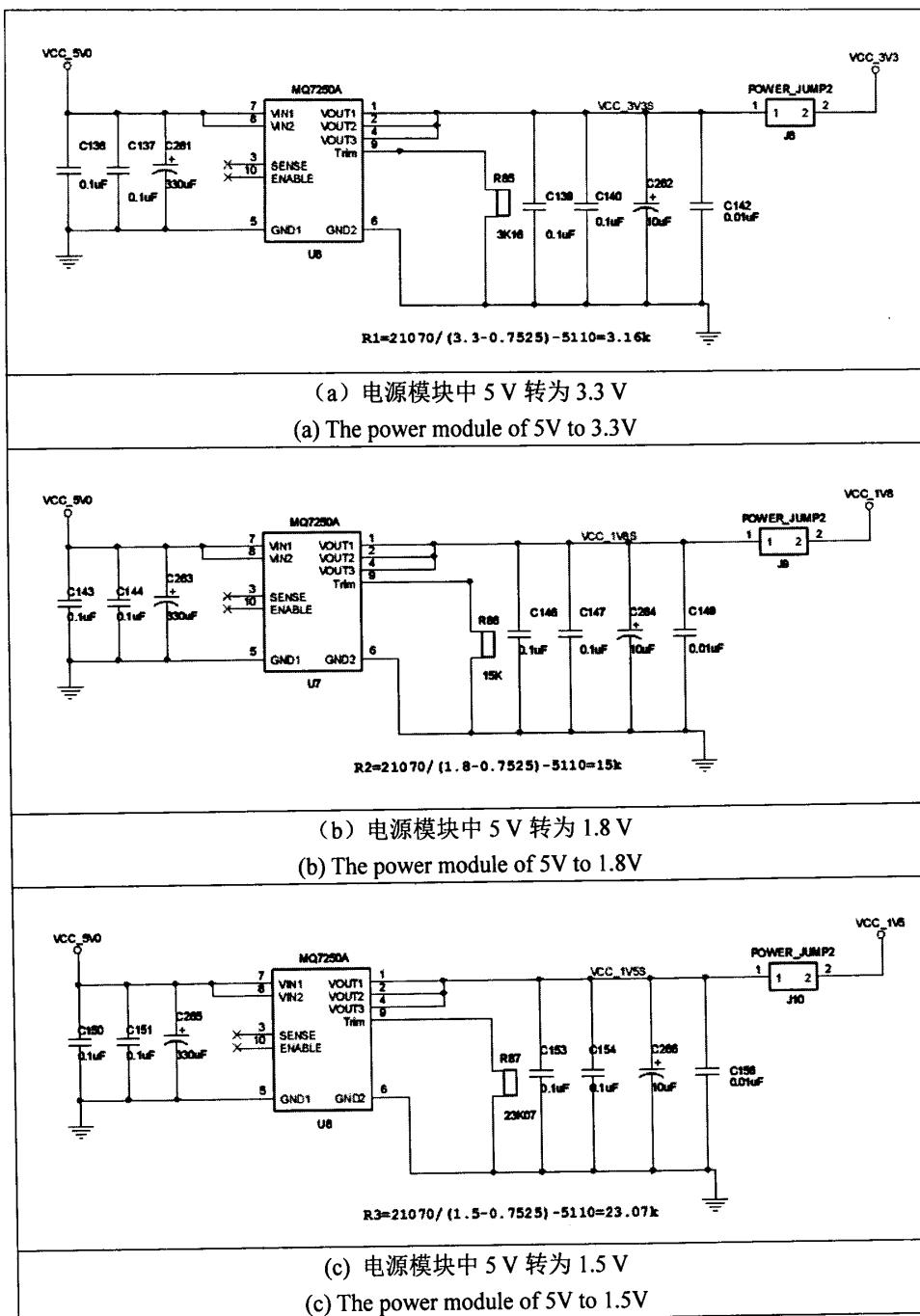
$$R87 = \frac{21070}{1.5 - 0.7525} - 5110 = 23.07K \quad (4.5)$$

$$R88 = \frac{21070}{1.2 - 0.7525} - 5110 = 41.97K \quad (4.6)$$

$$R89 = \frac{21070}{1.0 - 0.7525} - 5110 = 80.02K \quad (4.7)$$

$$R90 = \frac{21070}{2.5 - 0.7525} - 5110 = 6.94K \quad (4.8)$$

同时，为了消除干扰，在二次电源模块的输入和输出端均设计了相应的滤波电容 C_{in} 和 C_{out} 。如图 4.3 为 6 种电源模块的电路图。



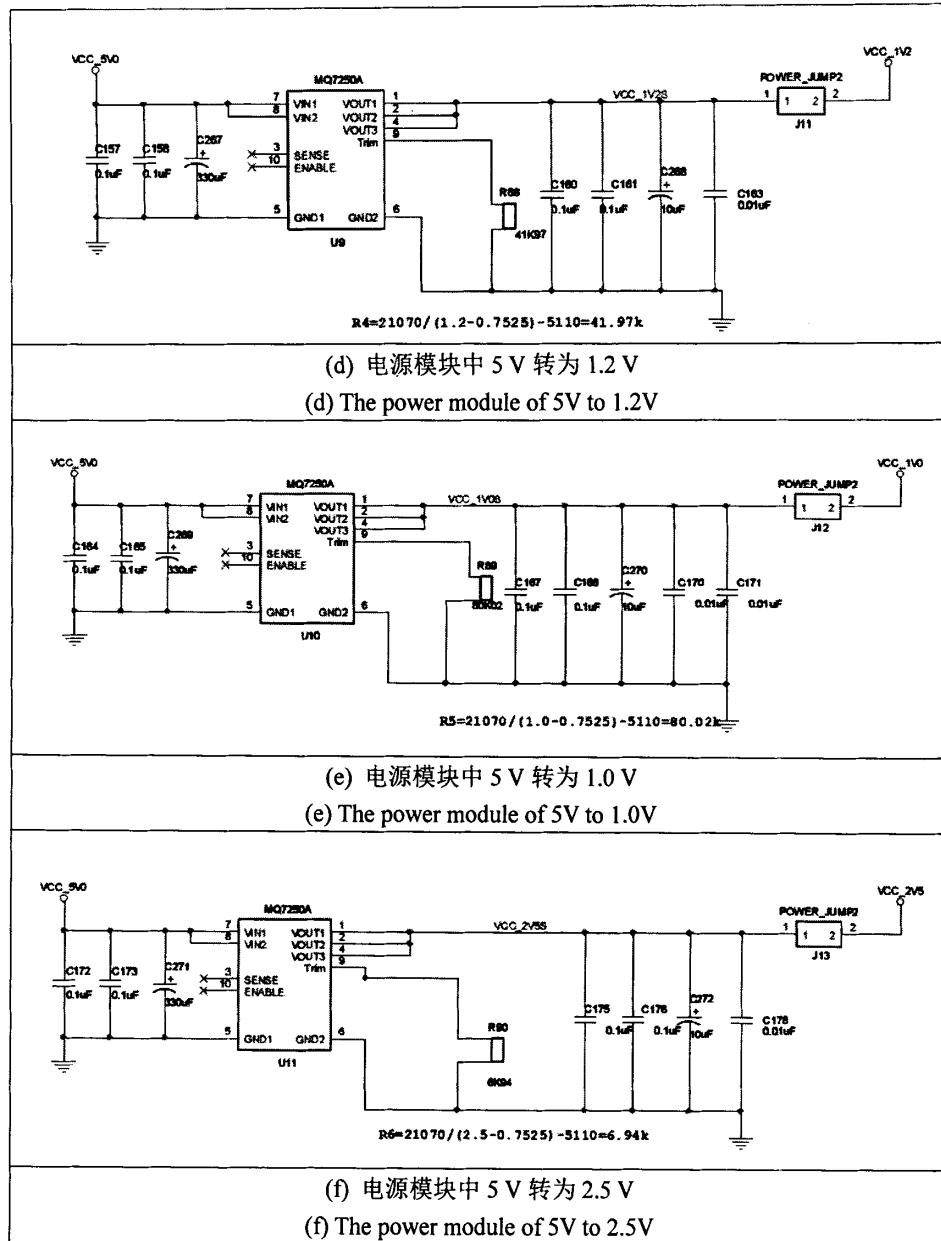


图 4.3 电源模块的参数及硬件电路设计原理图

Fig. 4.3 The principle and hardware circuit design of power supply module

4.2.2 FPGA 控制模块

本设计所需的 FPGA 控制模块是用于控制具有高速搜索引擎功能的 TCAM 模块，所以所选用的 FPGA 芯片必须能支持高速数据速率，同时功耗方面也要尽可能的低。现在最新比较好用的的开发平台就是 Xilinx 公司的 Spartan-6 系列下的 FPGA，此开发环境下的软硬件支持都是最新的，这十分利于新产品的设计验证。Spartan-6 FPGA 有 13 个系列之多，其中 LX 和 LXT 都是我们经常涉及到的，功耗降低一半的情况下却实现了逻辑单元翻两番达到 147443 之多。随着半导体制造工艺的进步，Spartan-6 主要来自于低功耗的 45nm 铜工艺生产线，内核是 1.2V，输入输出覆盖了 3.3V 到 1.2V，支持多版本的 DDR 格式的存储，传输速率达到了 800Mbps，等同于 12.8Gbps 峰值带宽。这个带宽可用满足汽车娱乐系统，监控类图像捕捉和各种各样的分析引系统。下表 4.1 介绍比较了 Spartan-6 FPGA 的不同器件的特征参数。最终选择了 Spartan-6

XC6SLX100T_3FGG676 作为本设计开发板的主控 FPGA 芯片。

表 4.1 不同器件的 Spartan-6 FPGA 特征总结
Table. 4.1 Spartan-6 FPGA characteristics of different devices

器件	逻辑单 元	可配置逻辑模块(CLB)			Block RAM 模块		存储器控 制器模块 (最大)	总 I/O bank 数	最大 用户 I/O 数
		Slice	触发器	最大分布 式 RAM(Kb)	18KB	最大 (Kb)			
XC6SLX4	3840	600	4800	75	12	216	0	4	132
XC6SLX9	9152	1430	11440	90	32	576	2	4	200
XC6SLX16	14579	2278	18224	136	32	576	2	4	232
XC6SLX25	24051	3758	30064	229	52	936	2	4	266
XC6SLX45	43661	6822	54576	401	116	2088	2	4	358
XC6SLX75	74637	11662	93296	692	172	3096	4	6	408
XC6SLX100	101261	15822	126576	976	268	4824	4	6	480
XC6SLX150	147443	23038	184304	1355	268	4824	4	6	576
XC6SLX25T	24051	3758	30064	229	53	936	2	4	250
XC6SLX45T	43661	6822	54576	401	116	2088	2	4	296
XC6SLX75T	74637	11662	93296	692	172	3096	4	6	348
XC6SLX100T	101261	15822	126576	976	268	4824	4	6	498
XC6SLX150T	147443	23038	184304	1355	268	4824	4	6	540

由于设计向导的支持以及功耗管理等的创新，Spartan-6 FPGA 构建存储控制器变得简单直接，同时比上一代 Spartan 系列功耗大大降低，降低幅度高达 65%。本开发板

是以 TCAM，NL3360 为目标测试开发芯片，其主要特点就是低功耗高速搜索引擎，因此可以选用 Spartan-6 FPGA 作为 TCAM 开发板的核心控制芯片器件。

下面内容是介绍 FPGA 模块的各个 BANK 的参数配置以及外围电路的搭建。如图 4.4 是 FPGA_BANK0 的电路，以及调试过程中点灯程序所需要的 LED 灯电路的设计。知 BANK0 的 VCC 为 3.3V。

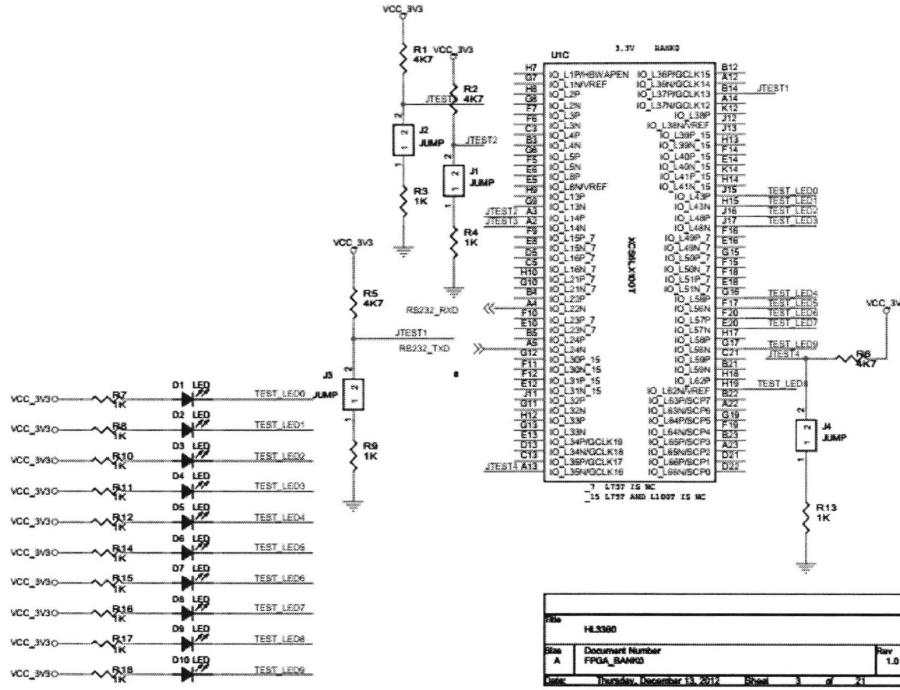


图 4.4 TCAM 开发板 FPGA_BANK0 电路图

Fig. 4.4 TCAM development board FPGA_BANK0 circuit diagram

FPGA 的 I/O 单元按照其接口电压 VCC 划分成了若干个 bank，这是为了方便管理 FPGA 繁多的 I/O 单元，更是让 FPGA 可以应用在多种电器标准中。不同 bank 可以对应不同的接口电压 VCC，但是同一个 bank 只能对应一种接口电压 VCC。所以根据 FPGA 的这种特性，我们可知只有具有相同 VCC 的接口才能相连。如图 4.5，是 FPGA_BANK1 的电路。知 BANK1 的 VCC 为 1.5V。

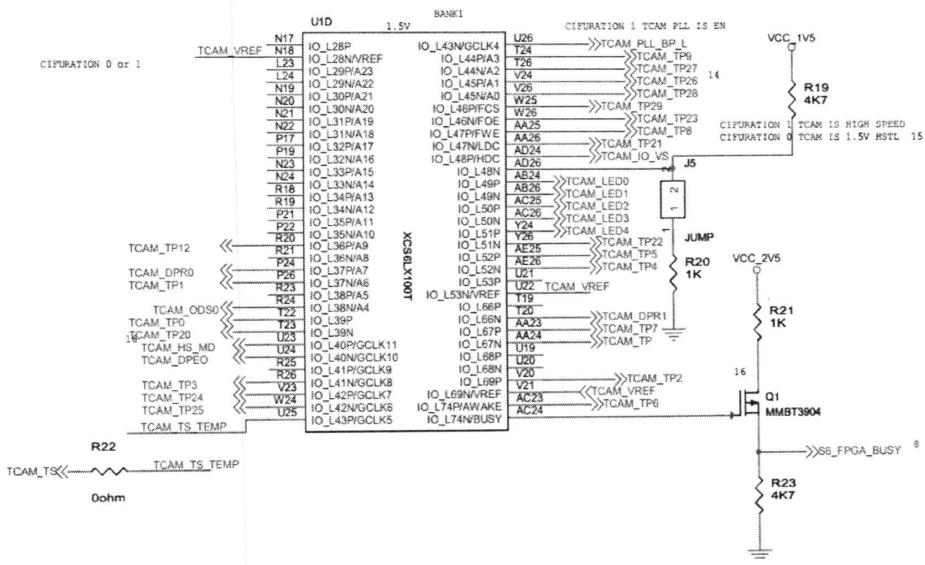


图 4.5 TCAM 开发板 FPGA_BANK1 电路图

Fig. 4.5 TCAM development board FPGA_BANK1 circuit diagram

如图 4.6, 是 FPGA_BANK2 的电路。知 BANK2 的 VCC 为 2.5V。

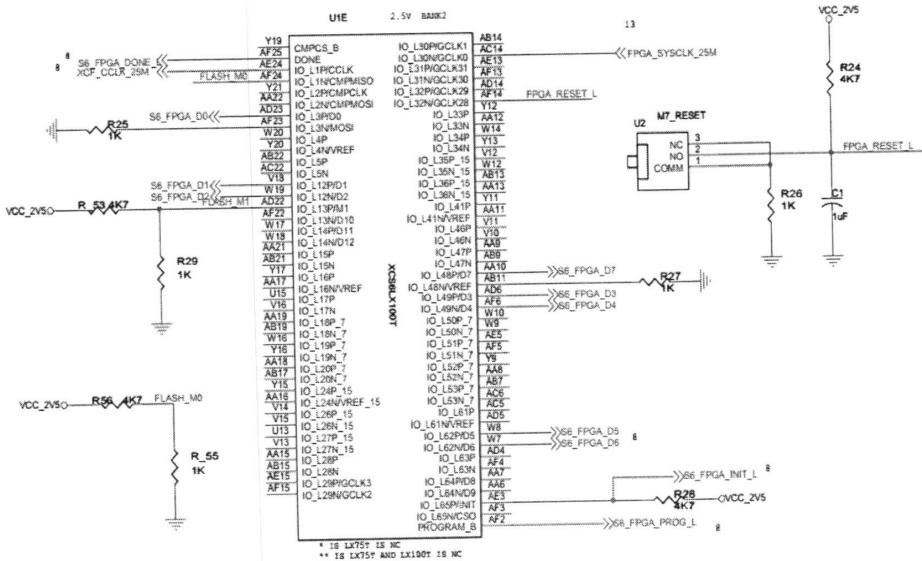


图 4.6 TCAM 开发板 FPGA_BANK2 电路图

Fig. 4.6 TCAM development board FPGA_BANK2 circuit diagram

如图 4.7，是 FPGA_BANK3 和 BANK4 的电路。知 BANK3 和 BANK4 的 VCC 为 1.5V。BANK1, BANK3, BANK4 的 VCC 都是 1.5V, 属于 HSTL_I 电路逻辑标准。在 FPGA 与 TCAM 连接的电路中，有共同的 HSTL 电路逻辑标准，是由 JEDEC 在 1995 年正式制定的。由于 HSTL 的特点，它在高速存储器中的读写操作过程中，承担着重要的角色，这也是它的主要应用方面。传统的存储器访问，速度慢，时间长，严重阻碍了高速处理器的运算操作，目前只有 TCAM 支持 HSTL。大部分的高速存储器 I/O 接口会使用 HSTL_I 标准，同时 TCAM 使用这个标准也可以很好地驱动多个内部存储模块^[42]。

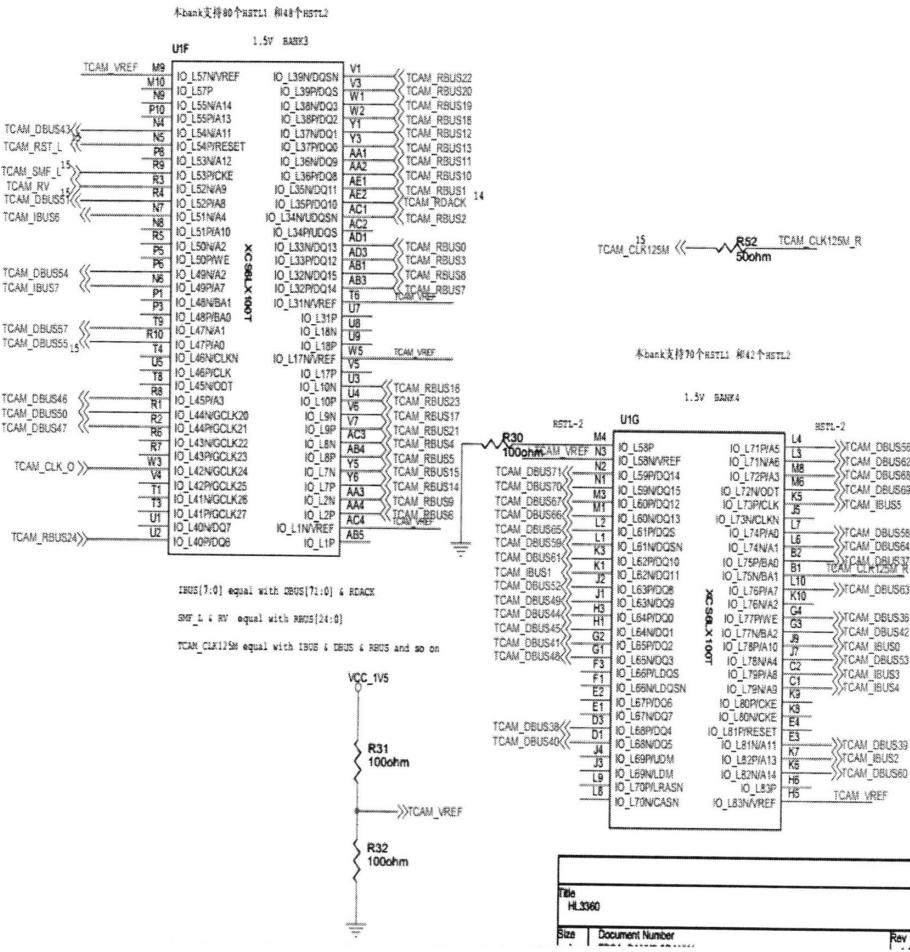


图 4.7 TCAM 开发板 FPGA_BANK3 和 BANK4 电路图

Fig. 4.7 TCAM development board FPGA_BANK3 and BANK4 circuit diagram

如图 4.8，是 FPGA_BANK5 的电路。知 BANK5 的 VCC 为 1.5V。

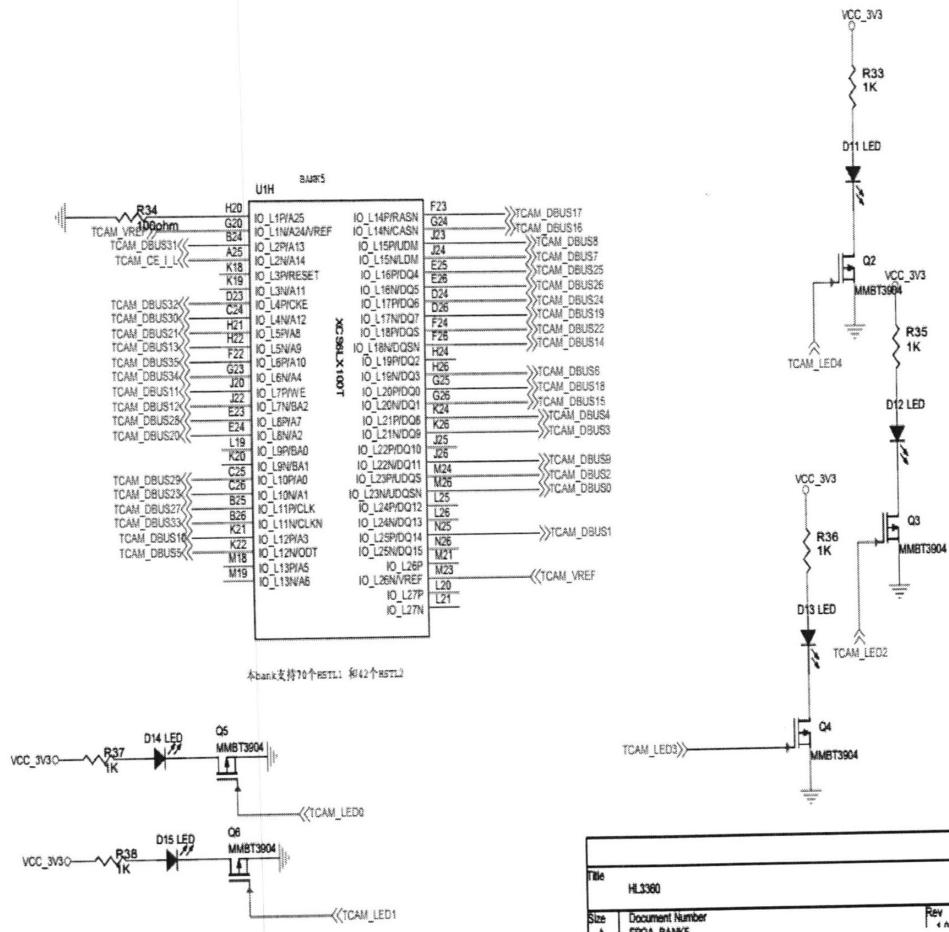


图 4.8 TCAM 开发板 FPGA_BANK5 电路图

Fig. 4.8 TCAM development board FPGA_BANK5 circuit diagram

如图 4.9, 是 TCAM 开发板 FPGA 与 JTAG 相连电路图。其中的 1.2V 就是 FPGA 的核电压，在 1.2V 与 GND 之间加入了滤波电容，起到电压滤波作用。

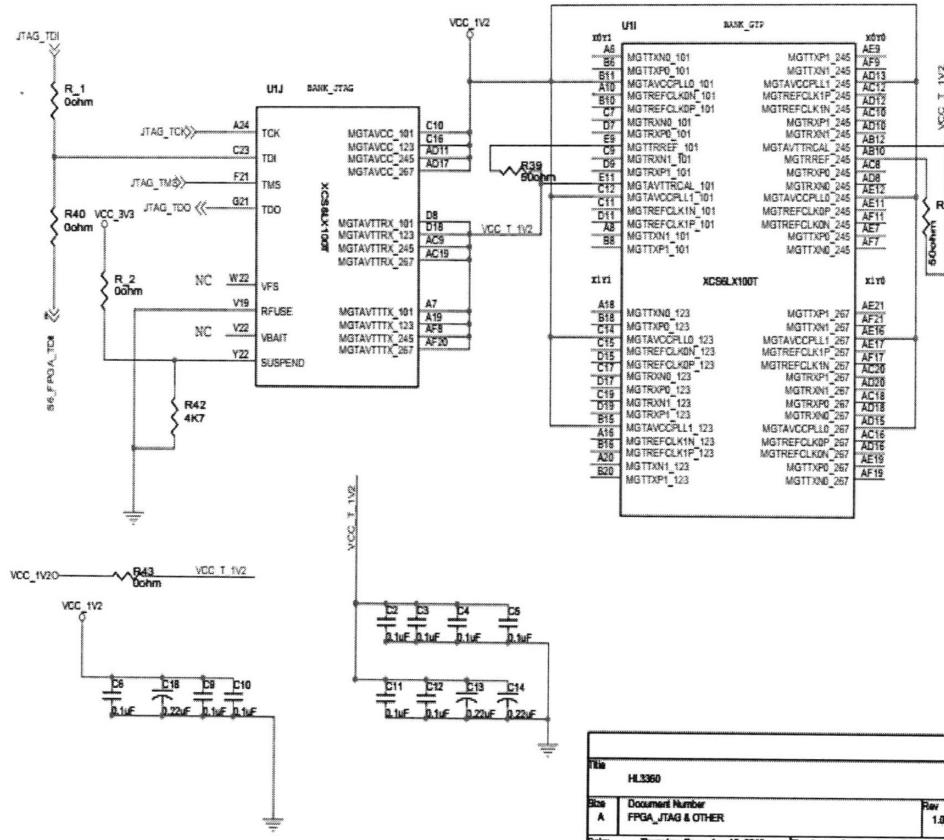


图 4.9 TCAM 开发板 FPGA 与 JTAG 相连电路图

Fig. 4.9 TCAM development board FPGA connected with JTAG circuit

如图 4.10，是开发板 FPGA 的驱动电压电路图，由 FPGA 的不同 BANK 需要不同功能电压来驱动。

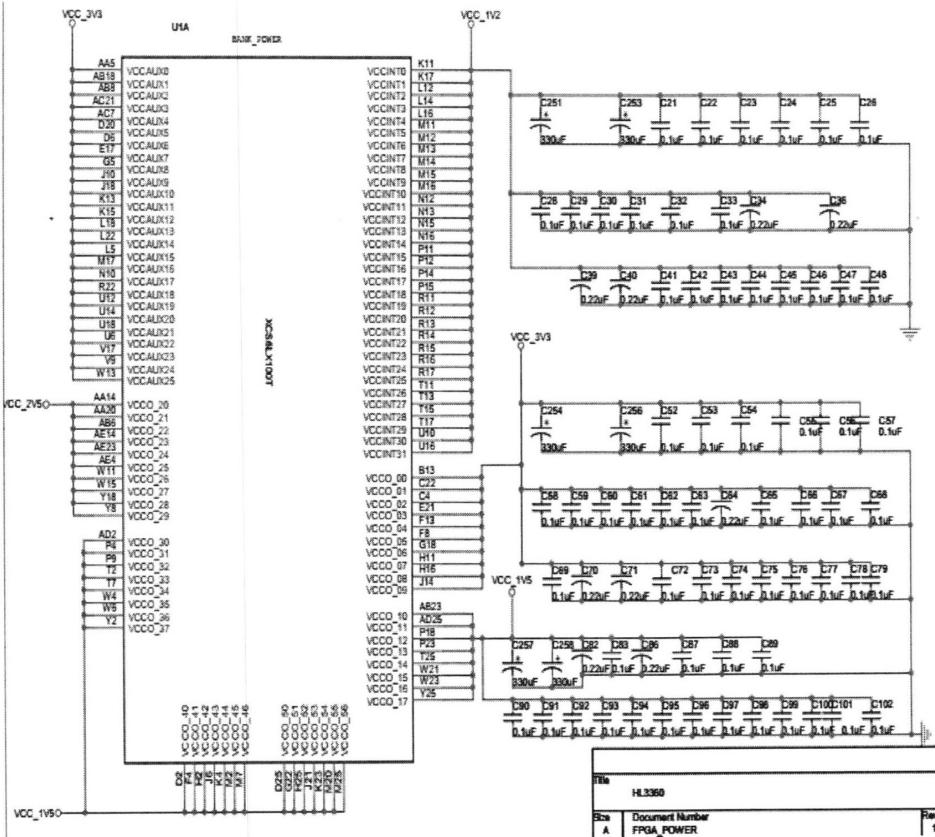


图 4.10 开发板 FPGA 的驱动电压电路图

Fig. 4.10 The driving voltage circuit of development board FPGA

4.2.3 TCAM 模块

本设计中所测试开发的 TCAM 模块目标芯片是 NetLogic 公司的 NL3360。NL3360 是现今 TCAM 芯片中比较有代表性典型性的一个，它是在阵列中存储表项。更多的我们需要考虑 TCAM 的性能，比如它的容量。TCAM 容量有两方面：字宽（表项宽度）和深度（表项个数）。由上文我们可知，TCAM 最大的优点就是它对表项长度没有限制，可以灵活使用^[43]。

在利用 FPGA 设计 TCAM 时，利用 Verilog 硬件描述语言借助 ISE 14.2 开发平台进行设计。TCAM 的实现可以利用 ISE 实现，三个典型的模式是：单匹配模式，多重匹配模式和快速多重匹配模式。而且 TCAM 器件中可以存在相同表项，在此环境下可以

使用多重匹配模式(multiple-match mode)和快速多重匹配模式(fast multiple-match mode)来实现 TCAM 的功能，但是资源和查找速度在这两种模式下是完全不一样的。

TCAM 的基本操作有三种：

1. 写操作：在数据总线 DBUS 上依次传入所写入的地址和所写入的数据，也就在所写入的地址中存储所写入的数据。写操作的速度与 RAM 相同；
2. 读操作：在数据总线上上传入要读的地址，则该地址上所存储的数据会通过 DBUS 返回到 TCAM。读操作的速度与 RAM 相同；
3. 查找操作：在数据总线上上传入所要查找的关键字，查找匹配后将存储该关键字的存储单元地址通过结果总线 RBUS 返回。这也是 TCAM 的最有价值的主要用途，也是根本有别于 RAM 的特点。TCAM 的这个优点实现了在庞大的数据库中进行快速查找。当前 TCAM 的查找速度相当高，差不多可以达到 10^8 次每秒以上。返回最佳匹配地址是由 RBUS 输出。如图 4.11，是 TCAM 的 RBUS 信号产生电路。同时还有时钟信号以及复位信号等。

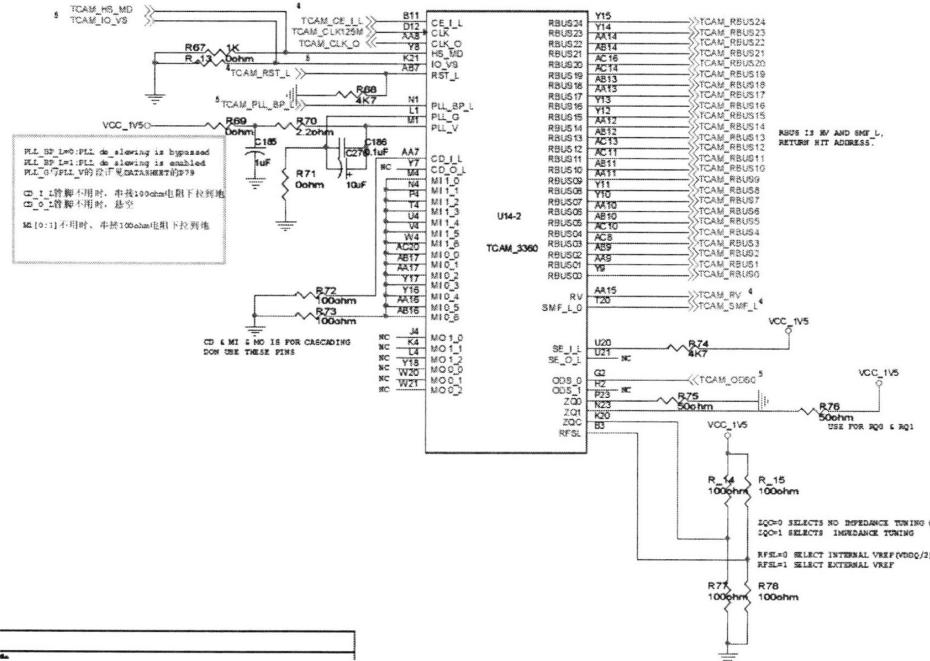


图 4.11 TCAM 的 RBUS 信号产生电路
Fig. 4.11 RBUS signal generating circuit of TCAM

如图 4.12，是 TCAM 与 JTAG 连接电路。在图 4.12 中，TP 是测试管脚，1.0V 为其核电压。

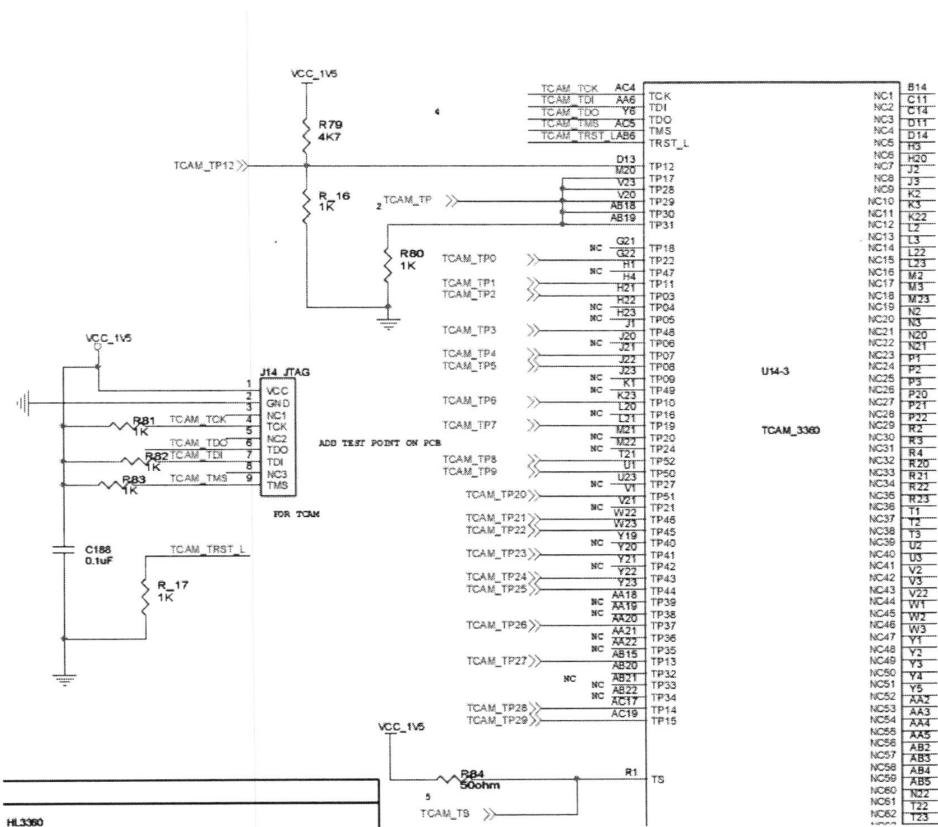


图 4.12 TCAM 与 JTAG 连接电路

Fig. 4.12 TCAM connected with JTAG circuit

如图 4.13 是 TCAM 电源电压的设计电路。需要 1.0V 电压和 1.5V 电压。正如 FPGA 模块中对 1.5V 高速 TTL 电平的论述一样，这里 TCAM 所用 1.5V 电压就是 HSTL_I 标准。TCAM 高速搜索的工作性能，决定着需要可以高速传输的 I/O 接口。所以开发板必须选用 HSTL_I 电平。现在 HSTL 有两种标准：HSTL_I 和 HSTL_II，分别对应 1.5V 和 1.8V。在本设计中，两者是兼容的。

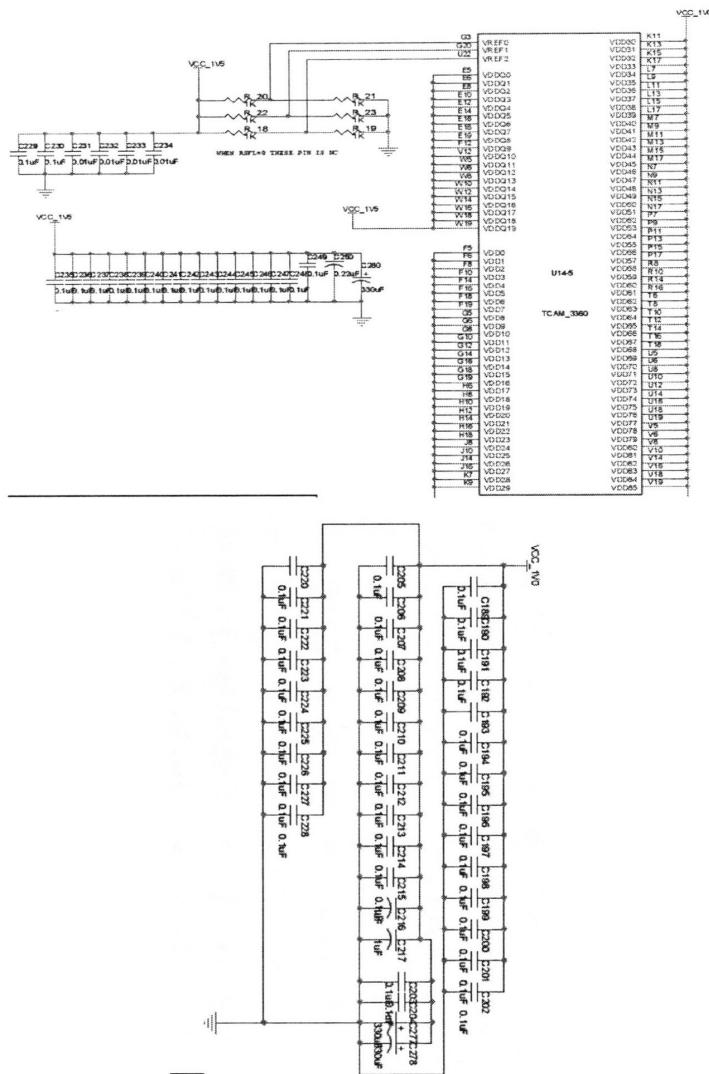


图 4.13 TCAM 电源电压的设计电路

Fig. 4.13 The power supply voltage source circuit of TCAM

4.2.4 有源晶振模块

在本设计中,此模块是用来向FPGA控制模块提供激励CLK信号,频率定为25MHz。不选用无源晶振的原因是:无源晶振是两PIN无极性的,依靠自身的硬件条件无法产生震荡,需要给它设计一个外加的时钟电路才能产生我们所需要的震荡,并且它信号电平不是恒定的,在电压形式的震荡电路中应用较为广泛。

与无源晶振不同的是，有源晶振有四根引脚，内部有振荡器，不需要其他时钟产生电路或者片内振荡器就能工作；另外它输出电平信号相对较稳定，与其相连电路也简单。基于此原因我们选择了有源晶振。时钟产生电路如图 4.14 所示，频率为 25MHz。

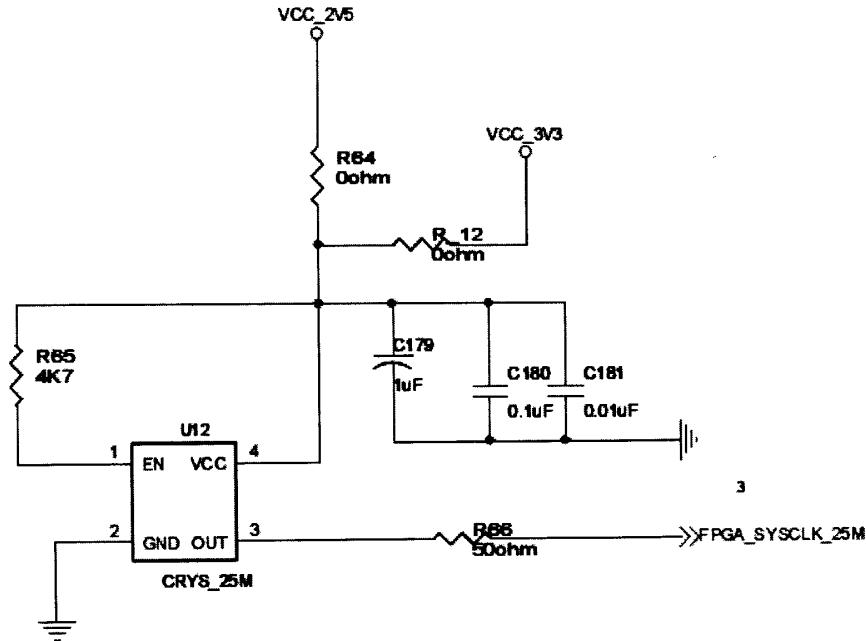


图 4.14 开发板 25MHz 晶振电路

Fig. 4.14 25MHz oscillator circuit of development board

4.2.5 FLASH 电路模块

本设计中，注重高速数据的传输以及存储，所以需要 FLASH 芯片需要具有快速写、擦除操作。XILINX 公司的 XCF32PFSG48 具有快速写、擦除功能，同时也考虑到易采购，经济实惠等因素，故选择此款芯片作为所需 FLASH 闪存芯片。因为 FPGA 芯片只能在带电的情况下进行存储，所以为了弥补这一缺陷，我们就设计了外部存储器，并且可以在掉电的情况下完成存储工作，这样就保证了掉电状况下程序不会丢失。JTAG 与 FLASH 的连接电路如图 4.15 所示。

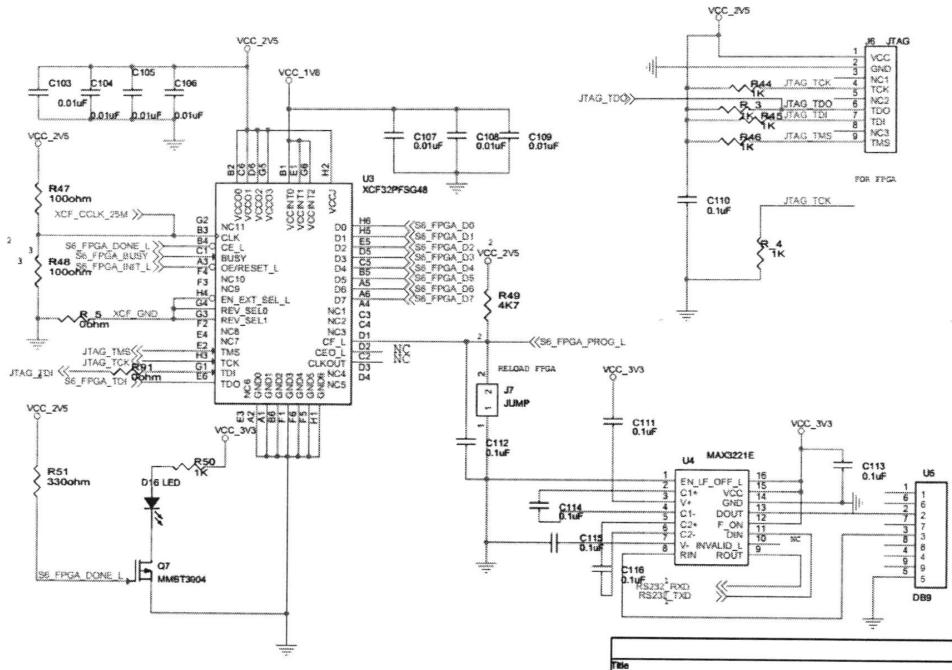


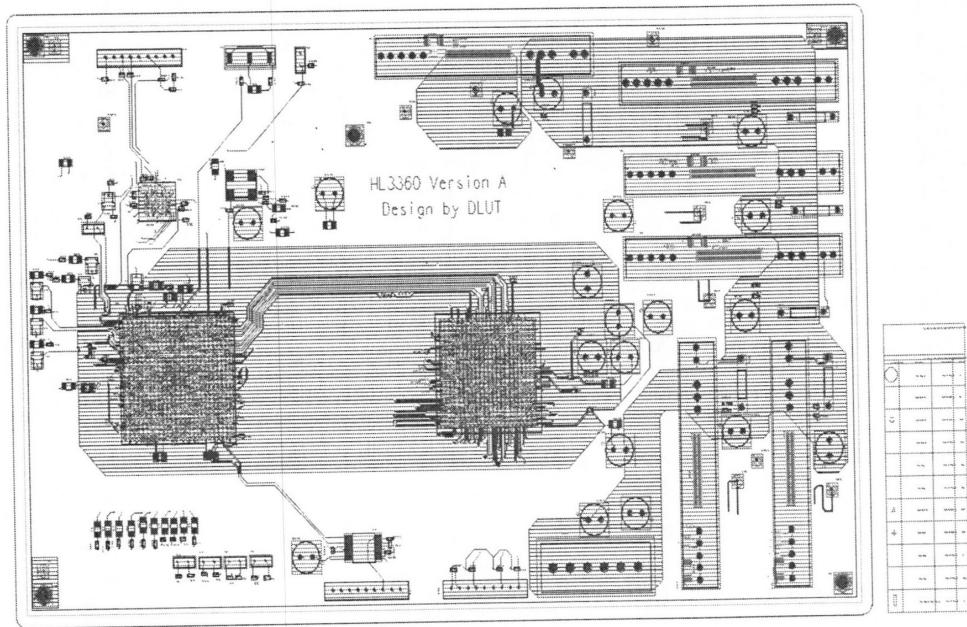
图 4.15 JTAG 与 FLASH 的连接电路

Fig. 4.15 JTAG connected with FLASH circuit

4.3 PCB 版图的设计

首先我们需要对印刷电路板的设计过程有一定的了解，以便设计印刷电路板。首先按照本文所写的顺序依次进行分析问题，了解问题关键所在等设计出可以实现所要求的系统原理图。在完成系统原理图的设计后，需要将系统的各个模块以及各个元器件的封装参数等都要详尽地画出，有了完整的详细的原理图后就可以进行 PCB 板图的绘制。先设置 PCB 板的尺寸，再根据所画原理图导入网络表和元器件，同时设置布线规则和 PCB 板层数的设计。上述步骤完成后就可以着手布局布线，最后校验绘制好的 PCB 板图。因为这是第一次制作对所设计的 TCAM 进行开发的 PCB 板，是一块实验板，所以一定要将本次设计所完成的所有文件进行保存，用以今后不断完善 TCAM 开发板，开发新的功能。

本文所设计的 PCB 板如图 4.16 所示：



图

4.16 本文中 PCB 板图

Fig. 4.16 PCB board map

4.4 BOM 清单

综上所述，根据 PCB 所画板图统计可得知，本设计所需要的元器件，即需要采购的元器件清单如下表 4.2 所示。

表 4.2 TCAM 开发板 BOM 清单
Table. 4.2 TCAM development board BOM list

Item	Quantity	Reference	Part	Package	name
1	5	C1, C179 等	1uF	0805 贴片	电容
2	156	C2, C3 等	0.1uF	0603 贴片	电容
3	15	C13, C14 等	0.22uF	0603 贴片	电容
4	19	C103, C104 等	0.01uF	1206 贴片	电容
5	19	C251, C264 等	330uF	插装	极性电容
6	7	C262, C264 等	10uF	1206 贴片	电容
7	16	D1, D2 等	LED	0805 贴片	指示灯
8	11	GND1, GND2 等	TEST		不采购
9	5	H1, H2 等	125mil		不采购
10	6	J1, J2 等	JUMP		不采购
11	2	J6, J14	JTAG		不采购
12	6	J8, J9 等	JUMP2		不采购
13	3	P1 等	PCB		电路板
14	7	Q1, Q2 等	MMBT3904	0603 贴片	三极管
15	12	R_1, R_2 等	0ohm	0603 贴片	电阻
16	45	R_3, R_4 等	1K	0603 贴片	电阻
17	12	R_14, R_15 等	100ohm	0603 贴片	电阻
18	16	R1, R2 等	4K7	0603 贴片	电阻
19	7	R39, R41 等	50 ohm	0603 贴片	电阻
20	1	R51	330 ohm	0603 贴片	电阻
21	1	R70	2.2 ohm	插装	电阻
22	1	R85	3K16	插装	电阻
23	1	R86	15K	插装	电阻
24	1	R87	23K07	插装	电阻
25	1	R88	41K97	插装	电阻
26	1	R89	80K02	插装	电阻
27	1	R90	6K94	插装	电阻
28	1	U1	XCS6LX100T		FPGA
29	1	U2	M7_RESET		复位按钮
30	1	U3	XCF32PFSG48		E ² PROM
31	1	U4	MAX3221E		串口芯片
32	1	U5	DB9		连接器
33	6	U6, U7 等	MQ7250A		二次电源模块
34	1		开关电源	外接	一次电源模块
35	1	U12	CRYS_25M		时钟
36	1	U13	POWER_IN		连接器
37	1	U14	NL3360		TCAM

4.5 PCB 板实物

经过两个月的时间,本文所设计的 PCB 板终于制作完成,元器件、FPGA 以及 TCAM 也都焊接加工完成。板子实物如图 4.17。

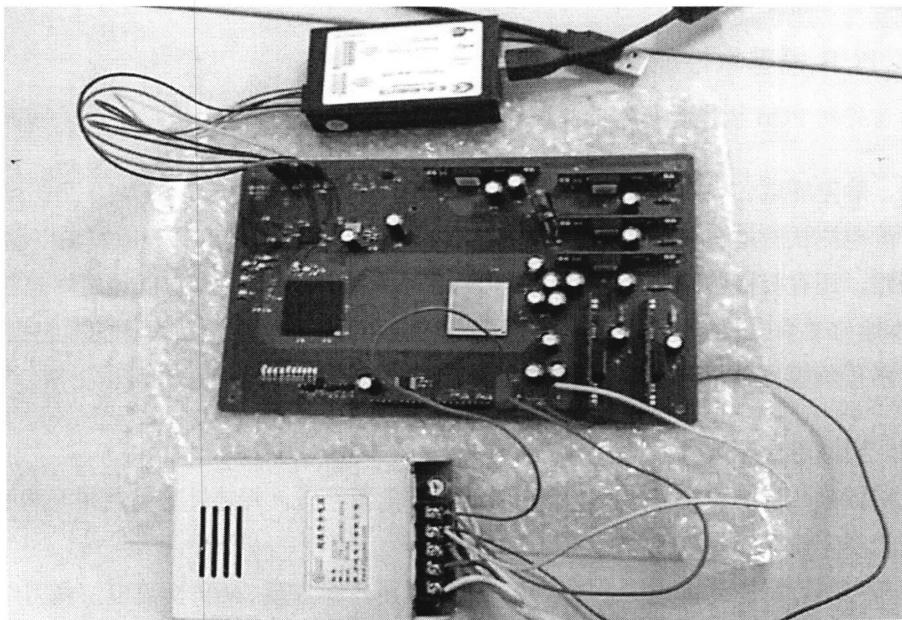


图 4.17 PCB 板实物图
Fig. 4.17 PCB board physical map

从图 4.17 中可看出 BOM 表上元器件都已加工焊接到 PCB 板上。其中位于 PCB 板下方的是一次电源模块,输入 220V 交流电,输出为 5V 直流电,输出到 PCB 板上,作为 PCB 的供能电源。图上方是连接 JTAG 接口,通过 USB 下载线连接到 PC 机上,实现将 PC 机上的代码下载到 FPGA 中的功能。图中间就是所设计的 PCB 板整体效果图。可以看到有两个 BGA,分别是 FPGA 和 TCAM。还有 6 个二次电源模块,分别为 PCB 开发板的其他六个模块提供电源电压。

4.6 本章小结

本章给出了基于 FPGA 的 TCAM 开发板系统的总体框架,并对框架中每个模块进行了功能说明,同时给出了设计电路图以及各个元器件参数。然后根据设计原理图画出 PCB 板图,做出光绘文件。最后交付工厂制作 PCB 板成品。

5 测试方法与结果分析

PCB 板实物制作完成，下面对其进行测试验证。

5.1 PCB 板基本性能测试

首先对 PCB 板进行基本的测试，基本测试包括以下几个内容：

5.1.1 静电测试

静电测试就是在 PCB 板没有加载电压的情况下进行的测试，一般包括电源-地的短路断路，还有极性器件的正负极等。首先用万用表来测试各个 GND 地之间是否导通，GND 地与 7 个电源电压点是否是连通的。电源根据 PCB 板图上所设计的插装极性电容，比对其正负极方向是否正确。通过一一比对后发现完全正确，静电测试正常。

5.1.2 电源电压测试

通过第四章的分析可知，本系统需要多种电源电压，并且只有提供相应的电源电压才能让本文设计的系统正常运作起来。

首先用万用表测试一次电源模块的输出电压，输入接 220V 交流电，测得结果为 5.036V，满足要求，可以将其输出接到 PCB 开发板的 5V 输入上。

在设计板子的同时，已经考虑到 PCB 开发板上的各个电源电压的测试，预留了相应的电源电压的测试孔。在上电之后，可以通过电压输出孔直接测量相应的电压值。下表即是相应的测试结果。

表 5.1 电源电压测试结果表

Table. 5.1 The power supply voltage test results

开发板所需电源电压值/V	实际测量电压值/V
5.0	5.036
3.3	3.303
2.5	2.497
1.8	1.799
1.5	1.504
1.2	1.190
1.0	0.998

5.1.3 晶振波形测试：

晶振模块 CLK25M 输出为频率 25MHz 的时钟信号，借助于示波器来观察输出波形。将示波器输入接点接到晶振出来的线路上，观察示波器上呈现的图形，如图 5.1 所示，可从图中所示波形看出这是一个矩形波，可以作为时钟信号输入。同时可读出波形的周期为 39.97ns，频率为 25.02MHz。说明晶振模块满足设计要求。

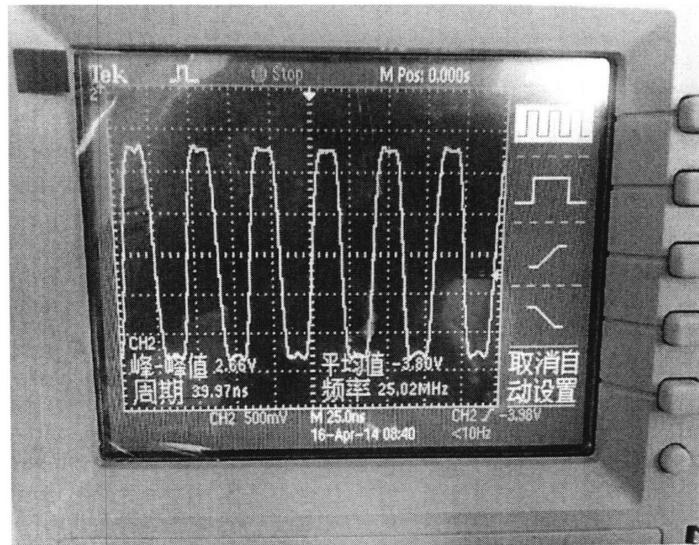


图 5.1 晶振波形图

Fig. 5.1 Waveform of Oscillator

5.2 测试代码编写

5.2.1 初始化

首先将 NL3360 初始化，然后才能正常运作。查找参考数据手册，可知 NL3360 的初始化如下：

Step1：复位 RST_L 置低电平，并保持至少 200 个周期；

Step2：RST_L 置无效（高电平），并保证至少 80000 个 NOP 指令。IBUS=0x00 表示 NOP 指令；

Step3：写 Device ID Register (of Bank0)。Device ID 由 DBUS[2:0]输入；ID 初始化为 0x0。

Step4：写 Device Configuration Register (of Bank0)；

Step5: 配置块，写 Block Configuration Register: 设置每一块的逻辑表 ID 以及配置表宽；

Step6: 配置 Logical Table Register: 定义一次比较操作所指定的 Logical Table ID 及掩码、Block Mask

Step7: 写 Block Mask Registers

Step8: 可开始写表项，因为初始化后，TCAM 内容不确定。

根据以上 8 个步骤可以进行编写系统初始化的代码，可以设计成状态机，有 8 个状态的状态机。这样可以让其在不同的状态情况下，进行相对应状态的不同的指令操作。通过对 TCAM 以及 FPGA 的分析可知，首先进行 TCAM 以及 FPGA 的初始化，并将初始化功能模块包含于顶层 top 文件中。所以初始化代码需要使其初始化模块主要连接 TCAM 器件，调度初始化 ROM 的数据和指令 FIFO。

- 1、系统启动后，发送 200 个时钟 TCAM 复位信号给 TCAM。
- 2、复位失效后，操作 80000 以上个 NOP。
- 3、读取 ROM 指令，逐步操作，进行 TCAM 初始化操作。
- 4、其他时间调用访问 TCAM 的指令 FIFO。
- 5、同时产生写 tcam_result_sort_fifo 数据，用于保序。

5.2.2 读写操作

在 TCAM 进行初始化后，用户可以进行读写操作。写操作可以写入寄存器(registers)和数据库(database)，database 数据包括数据和屏蔽字(local mask word)。如表 5.2 所示，为写指令集。

表 5.2 写指令集
Table. 5.2 Write Instruction Set

操作 十六进制	指令内容	位地址内容分配	
		Device ID	Address
93	写寄存器	20:18	15:0
94	删除数据库数据	20:18	17:0
95	写 SRAM 地址	20:18	17:0
96	写数据库数据：数据和屏蔽字	20:18	17:0

通过上表可知写操作指令共有 4 种情况。下面举例说明在本文中写操作的实现方式。

```
cam_in_dbus[71:0]<=72'haa;
cam_ibus[7:0]<=8'h96;
```

指令总线 IBUS 上为指令的操作数 96，也就是表示系统正在进行写数据库数据。同理知表 5.3 所示为读操作指令集。

表 5.3 读指令集
Table. 5.3 Read Instruction Set

操作 十六进制	指令内容	位地址 Device ID	内容分配 Address
40	读寄存器	20:18	15:0
41	读数据库数据：数据	20:18	17:0
42	读数据库数据：屏蔽字	20:18	17:0

5.2.3 搜索操作

TCAM 实质上是一个快速搜索引擎，所以查找搜索操作是 TCAM 的核心所在，也是本文所设计的开发板主要验证测试的指令集。C0 是常用的搜索指令，其他搜索指令还有 C8, D0, D8 等，下面依 C0 为例，介绍系统所设计的搜索操作的实现。

```
cam_in_dbus[71:0]<=72'h56;
cam_ibus[7:0]<=8'hc0;
```

指令总线 IBUS 上存储的是指令的操作数 C0，也就是表示系统正在进行搜索功能，而搜索关键字存储在数据总线 DBUS 上，这里就是 72'h56。与此同时，在顶层文件中，设置了一个信号 cam_out_smf_1，这个信号可以检测到搜索是否匹配。并且将此信号将开发板上 LED 灯相连，使得此信号更加直观的显示在开发板上。

5.2.4 Device ID 功能测试

以上的读写搜索比较等操作是 TCAM 的基本功能，是本文所设计开发板所必须有的，而 Device ID 功能则是研发 TCAM 项目中一个比较有代表性的功能，所以本文所设计开发板特意加入了这个功能的测试。其实 TCAM 开发板实质上就是一个对 TCAM 进行实际测试验证的板上系统。对于 Device ID 来说，可能存在问题的有两个方面，一是操作数为 95 时，也就是写 SRAM 操作，当发生这个操作时如果写操作 95 的 Device ID 与当前设定的 Device ID 不同时，则之后 RBUS 上应该出现什么样的不同；二是在写 database 的时候，写操作的 Device ID 与当前设定的 Device ID 不同，那么当进行该 database 的读操作时，读出结果应该是何值。

5.2.5 顶层文件

根据以上对代码开发的初始化模块、读写操作模块以及搜索查找模块的分析和介绍，写出顶层文件，如图 5.2 所示。

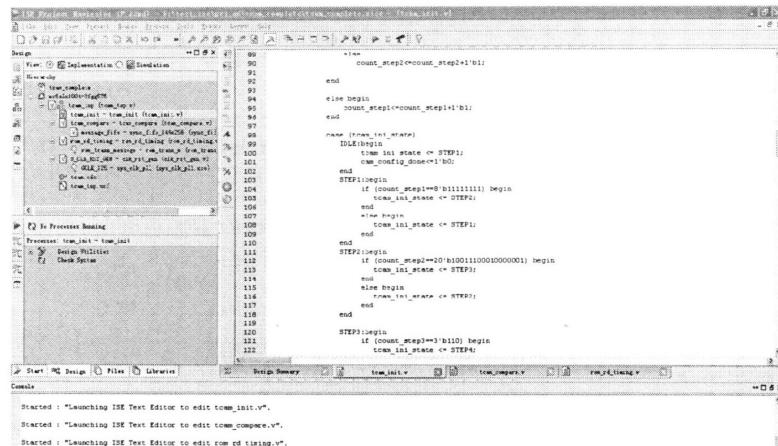


图 5.2 顶层文件图
Fig. 5.2 Top file diagram

其中使用了 IP core 来实现时序控制。同时还编写了 ucf 文件绑定了开发板上的管脚，cdc 文件是在线逻辑分析仪 ChipScope 所用文件。

5.3 测试结果

5.3.1 读写搜索结果验证

在编写完成系统 verilog 程序代码后，在 ISE 14.2 开发环境下编译综合通过后，用 USB 下载线使开发板与 PC 电脑机相连，打开在线逻辑分析仪 ChipScope 软件，同时用之前设置的触发条件，来捕捉信号。如图 5.3 就是在线逻辑分析仪的波形示意图。

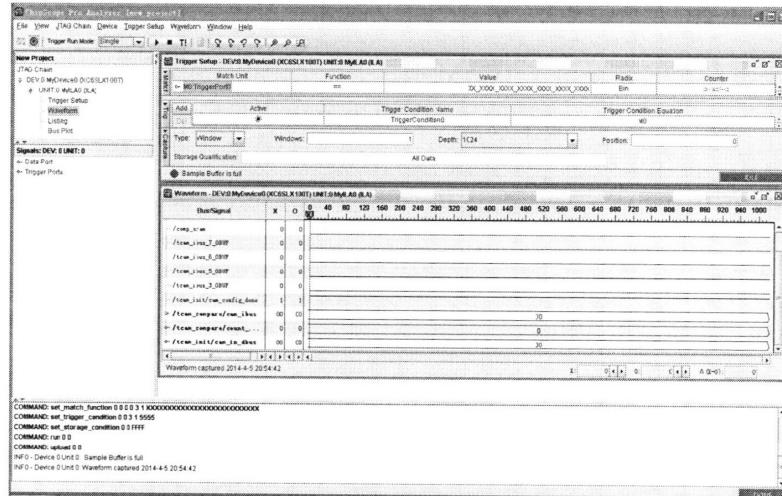


图 5.3 在线逻辑分析仪结果图

Fig. 5.3 ChipScope results

从在线逻辑分析仪结果图中可以看出抓取的 cam_out_smf_1 信号为 1，说明程序代码中进行的搜索操作匹配，结果正确。这个也可以通过开发板直观的看出来，如下图 5.4 所示就是本次程序下载完成后的 LED 测试结果展示图。图中 10 个 LED 灯的最右边那个灯就是与 cam_out_smf_1 信号相连，当这个灯亮的时候表明 cam_out_smf_1 为 1，故而结果又一次得到了验证。

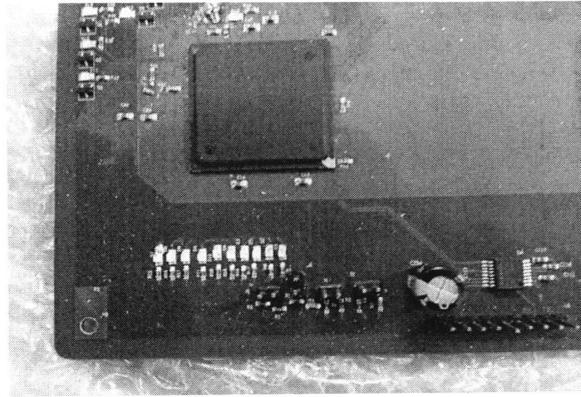


图 5.4 LED 灯结果图

Fig. 5.4 LED lights results

通过 LED 灯的亮灭来判断验证结果很直观，但不够全面，还需要对读写搜索进行全面的验证结果分析。根据程序设计的思路，对于读写操作来说，多组数据和地址输入到 TCAM 中，进行验证测试，数据越多，所测得的结果可信度就越高。可以通过 ChipScope 抓取信号，观察数据总线 DBUS 和 IBUS 所写入的数据以及结果总线 RBUS 等的返回数据。本文设计多组数据进行测试，首先要向寄存器和数据库中写入数据，所以先进行写指令操作。写指令操作测试数据及结果见表 5.4。

表 5.4 写指令操作测试
Table. 5.4 Write Instruction test

IBUS		DBUS	
指令	Address	Data	Mask
93	0008	0	
93	00a0	00_0420_0001_0001_0109	
93	0030	AA_AAAA_AAAA_AAAA_AAAA	
93	0d72	55_5555_5555_5555_5555	
93	0a42	00_0420_0001_0001_0163	
96	0100f	AA_AAAA_5555_AAAA_AAAA	00_0000_0000_0000_0000
96	01f0f	55_1111_1110_1111_1117	A0_0010_0101_0100_010F
96	01fff	FF_FFFF_FFFF_FFFF_FFFF	AA_AAAA_AAAA_AAAA_AAAA
96	02000	AA_AAAA_AAAA_AAAA_AAAA	55_5555_5555_5555_5555
96	02001	7D_DAEA_DD4C_D84C_FF54	AA_AAAA_AAAA_AAAA_AAAA
96	025fd	AA_AAAA_5555_AAAA_AAAA	00_0000_0000_0000_0000
96	03fff	55_1111_1011_1151_1118	00_0000_0000_0000_0000

在进行完写指令操作的准备工作后，下面就可以进行读指令操作来测试寄存器和数据库是否正确写入，以及搜索指令操作来测试搜索功能是否正确。读指令操作测试数据见表 5.5。

表 5.5 读指令操作测试
Table. 5.5 Read Instruction test

IBUS		DBUS	备注特点
指令	Address	读出结果	RD_ACK 状态
40	0008	0	1
40	00a0	00_0420_0001_0001_0109	1
40	0030	AA_AAAA_AAAA_AAAA_AAAA	1
40	0d72	55_5555_5555_5555_5555	1
40	0a42	00_0420_0001_0001_0163	1
41	0100f	AA_AAAA_AAAA_AAAA_AAAA	1
42	0100f	0	1
41	01f0f	55_1101_1010_1011_1010	1
42	01f0f	A0_0010_0101_0100_010F	1
41	01fff	55_5555_5555_5555_5555	1
42	01fff	AA_AAAA_AAAA_AAAA_AAAA	1
41	02001	55_5040_5544_5044_5554	1
42	02001	AA_AAAA_AAAA_AAAA_AAAA	1

同样的根据上述的写指令和读指令来编写相对应的搜索指令，并考虑多种搜索指令的匹配情况，考虑尽可能多的数据情况，可以加强开发板测试结果的可行性以及可靠性。搜索指令操作测试数据结果见表 5.6。

表 5.6 搜索指令操作测试
Table. 5.6 Compare Instruction test

指令	IBUS	DBUS	RBUS	备注特点
		关键字	匹配地址	
1	C0	7D_DAEA_DD4C_D84C_FF54	02001	1
2	C0	7D_DAEA_DD4C_D84C_5D76	02001	1
3	C0	7D_DAEA_DD4C_D84C_5D77	Z	1
4	C8	55_1111_1110_1111_1117	01f0f	1
5	D0	55_5555_5555_5555_5555	01fff	1
6	D8	55_1111_1011_1151_1118	03fff	1
7	C0	AA_AAAA_5555_AAAA_AAAA	0100f	1
8	C0	AA_AAAA_AAAA_AAAA_AAAA	02000	1

以上就是本文所设计的基于 FPGA 的 TCAM 开发板的测试过程以及测试结果。下面对结果进行分析。先进行写操作将数据写入寄存器和数据库中，而后进行读操作，从表 5.5 中可以看出读操作的结果，和所写入的数据一一对应相同，说明读写功能正确。

同理的从表 5.6 中可以看出，指令 1, 2, 3 是为了验证搜索关键字屏蔽位的效果。根据 mask 和 data 的组合，可以分析出 1,2 条指令是匹配的，所以在 RBUS 上输出了正确的匹配地址，同时 RV 也升高为高电平。第 3 条指令的关键字不能匹配，输出结果 RBUS 上为高阻 Z。第 7 条搜索指令是双重搜索，RBUS 上输出的地址就是优先级高的地址，与理论相符。之后的搜索指令有精确匹配等。综上所述，TCAM 芯片的读写，搜索功能都得到验证，开发板的功能也得到了实现和体现。

5.3.2 Device ID 验证结果

对于 Device ID 来说，可能存在问题的有两个方面，首先分析第一个方面。如图 5.5 所示，是对 Device ID 功能的测试代码部分。其中指令操作数 95（十六进制）是写指令操作中的 write_sram，通过 ChipScope 进行抓取结果总线 RBUS 信号，通过所观察到的信号进行判断 Device ID 功能的验证结果。

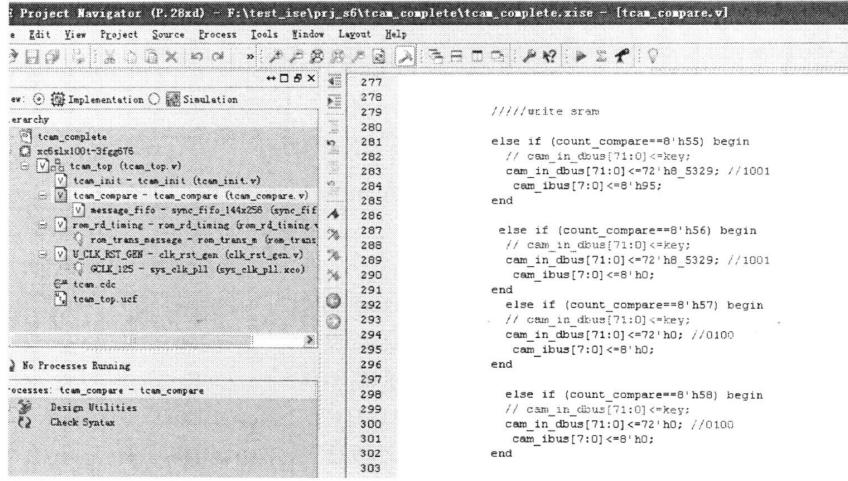


图 5.5 Device ID 功能测试代码

Fig. 5.5 Device ID functional test codes

这里所编写的测试代码，在写 SRAM 操作时，指令的 Device ID 与当前设定的 Device ID 不同。指令的 Device ID 值为 2，而当前设定的 Device ID 是 0。通过抓取之后的 RBUS 信号，发现 RBUS 为高阻 Z。第二种情况写 database 的时候，写操作的 Device ID 与当前设定的 Device ID 不同，对该 database 进行读指令操作时，读出的结果均与所写入的数据不同。这说明了 Device ID 的功能所在，TCAM 需要在相同的 Device ID 情况进行读写搜索等一系列工作，不同的 Device ID 标志着不同的模块，是相互独立的。这也大大增强了 TCAM 的空间独立性和存储容量。

5.4 本章小结

对所设计出来的 TCAM 开发板实物进行了调试和验证测试，编写了 TCAM 系统的测试 verilog 代码，实现了对开发板进行了测试，并通过开发工具直观观察了 TCAM 的测试验证结果，更加验证了本文所设计的 TCAM 开发板的正确性和实用性。

结 论

三态内容可寻址存储器(TCAM)实质上就是一种硬件实现的搜索引擎。它具有快速搜索的优点。而 TCAM 缺点依然存在，缩短开发研究周期变得尤为重要。本文以 TCAM 外围电路的设计和建立，以 FPGA 开发技术为核心，结合 TCAM 的指令系统和体系结构，实现了基于 FPGA 的 TCAM 开发板系统的设计与实现。本文完成的工作如下：

- (1) 根据 TCAM 的技术要求，并结合 Xilinx 公司 Spartan 系列 FPGA 的特点，设计了基于 FPGA 的 TCAM 软硬件结构和功能，完成了基于 FPGA 的 TCAM 设计开发，制作以及测试。
- (2) 根据 TCAM 的体系结构原理，特点以及 FPGA 的开发流程设计的电源转换模块，利用 FPGA 丰富的内部资源，减少了外围器件的使用数量。
- (3) 根据 TCAM 以及 FPGA 的工作功能，设计出外围电路，并依据 PCB 板图设计原理，设计出 PCB 开发板的光绘文件，并制作出 PCB 板，同时测试 PCB 板是否功能正常有效。
- (4) 对整体开发板的硬件平台和软件系统进行了测试，同时写入 TCAM 测试代码，运行观察测试结果，结果表明 TCAM 的查找搜索功能得到了实现，功能正常设计方案正确，各个方面也都达到了预期的要求。

参 考 文 献

- [1] 徐洁. 基于 FPGA 的 JPEG 图像压缩系统的实现[D]. 大连: 大连理工大学通信与信息系统, 2013.
- [2] 朱国胜. 高速分组查找规则匹配算法研究[D]. 武汉: 华中科技大学, 2010.
- [3] 刘鹏. 高性能路由器中高速转发查表算法研究与实现[D]. 郑州: 解放军信息工程大学, 2006.
- [4] 李玉峰. 基于 IPV6 路由器的高速转发技术研究与实现[D]. 郑州: 解放军信息工程大学, 2004.
- [5] H. LIU. ROUTING Table Compaction in Ternary CAM. IEEE Micro, 22(1):58-64, January–February 2002.
- [6] 杜平, 胡军强, 李津生, 洪佩琳快速 IPv6 路由查找算法. 计算机功能与应用, 2007, 7.
- [7] JAIN R. A Comparison of Hashing Schemes for Address Lookup in Computer Networks. [J] IEEE Trans. on Communications, 1992, 40(3):1570-1573
- [8] Hall T. S. HAMBLEN J. O. System-on-a-programmable-chip Development Platforms in the classroom [J]. IEEE Trans, Volume 47, Nov. 2004: 502-507.
- [9] LORIS DEGIOANNI, Development of Architecture for Packet Capture and Network Traffic Analysis [J]. Graduation Thesis, Polytechnic Di Torino (Turin, Italy, Mar. 2000).
- [10] R. PETERSEN, B. HUTCHINGS. An Assessment of the Suitability of FPGA-Based Systems for Use in Digital Signal Processing. Lecture Notes in Computer Science. 1995, 975: 293-302.
- [11] 司朝良. LVDS 接口电路及设计[J]. 应用天地, 2003, 1:17-18.
- [12] 傅玲. 多路串行 LVDS 信号转发电路的设计与实现[J]. 电子元器件应用, 2009, 11(11) : 50-53.
- [13] TODD D. MORTON. Embedded Microcontrollers[M]. Prentice Hall, London, 2001.
- [14] UYLESS BLACK. TCP/IP and related protocols[M]. McGraw-Hill Press, NewYork, 1998.
- [15] YEIM-KUAN CHANG. A 2-level TCAM Architecture for Ranges[J]. IEEE Transactions on Computer, 2006, 55(12), 1614-1629.
- [16] J. VAN LUNTEREN, T. ENGBERSEN. Fast and Scalable Packet Classification[J]. IEEE Journal on Selected Areas in Communications, 2003, 21(4):560-571.
- [17] EDBY IRWIN J. SPEYER. PCI design handbook[M]. Precast/Pretressed Concrete Institute, Newyork, 1992.
- [18] TRECK, Inc. TCP Performance Re TCP Performance Re-Visited Visited[EB/OL]. [2011-01-04].