

به نام خدا

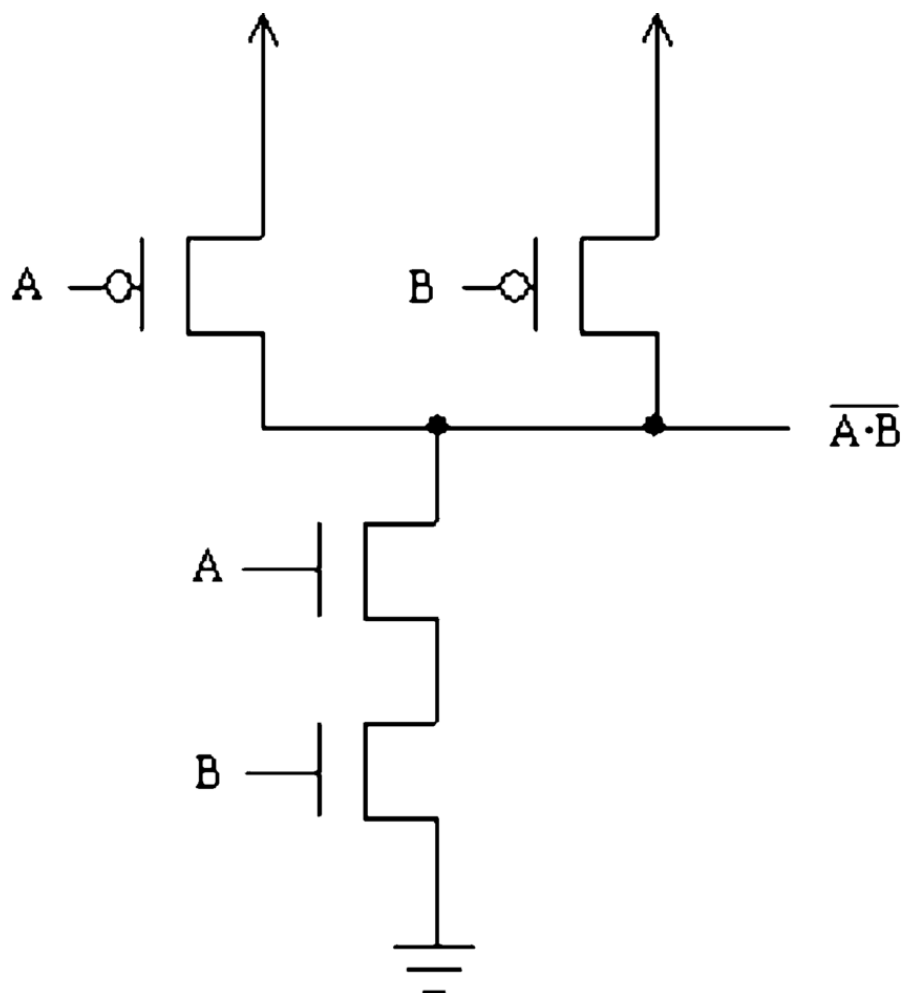
گزارش پروژه اول سیستم های دیجیتال 1

دانشجو : فاطمه نائینیان

شماره دانشجویی : 810198479

(1

A



B

فرض کنید در حالت اولیه مقدار خروجی 0 و هر دو ورودی یک است حال یکی از ورودی ها را صفر میکنیم در بدترین حالت بعد از 10 نانو ثانیه خروجی یک میشود . 5 ثانیه طول میکشد تا pmos یک بدهد و pmos دیگر بعد از 7 نانوثانیه z میدهد در صورتی که 10 نانوثانیه طول میکشد تا nmos خروجی z را بدهد بنابراین داریم

Worst case delay to 1 = 10 ns

حال فرض کنید یکی از ورودی ها صفر و دیگری یک است و خروجی یک داریم . هر دو ورودی را یک میکنیم 7 نانوثانیه برای pmos ها که z بیاندازد و 8 نانوثانیه برای nmos ها که صفر بیاندازد داریم پس

Worst case delay to 0 = 8 ns



C

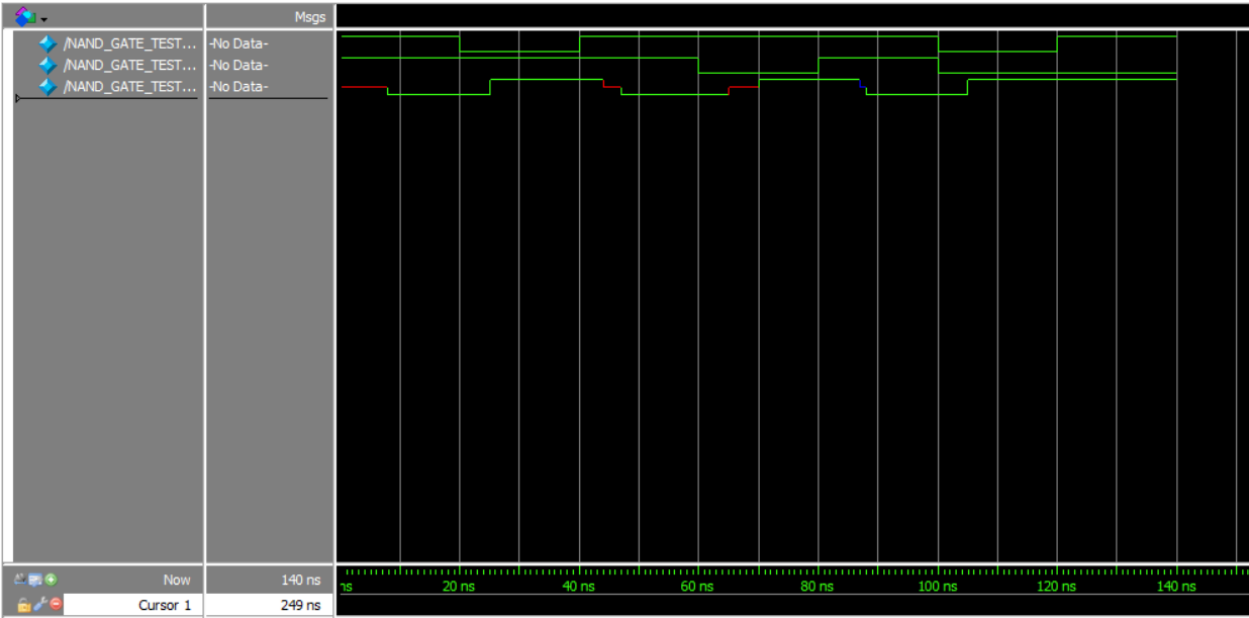
کد اصلی

Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module NAND_GATE (input a,b,output w);</code>
3	<code>wire j;</code>
4	<code>supply1 Vdd;</code>
5	<code>supply0 Gnd;</code>
6	<code>pmos #(5,6,7) T1(w,Vdd,a);</code>
7	<code>pmos #(5,6,7) T2(w,Vdd,b);</code>
8	<code>nmos #(3,4,5) T3(j,Gnd,b);</code>
9	<code>nmos #(3,4,5) T4(w,j,a);</code>
10	<code>endmodule</code>

Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module NAND_GATE_TESTBENCH();</code>
3	<code>logic aa=1;</code>
4	<code>logic bb=1;</code>
5	<code>wire ww;</code>
6	<code>NAND_GATE UUT (aa,bb,ww);</code>
7	<code>initial begin</code>
8	<code>#20 aa=0;</code>
9	<code>#20 aa=1;</code>
10	<code>#20 bb=0;</code>
11	<code>#20 bb=1;</code>
12	<code>#20 aa=0 ;bb=0;</code>
13	<code>#20 aa=1 ;bb=0;</code>
14	<code>#20 \$stop;</code>
15	<code>end</code>
16	<code>endmodule</code>

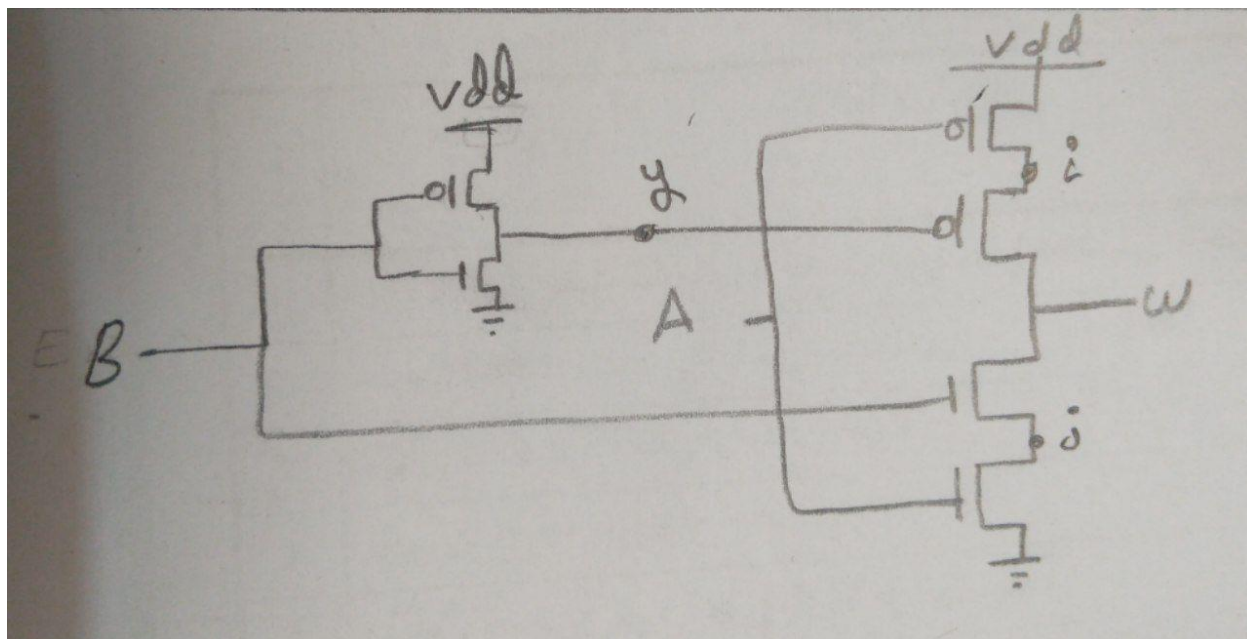
D

	NAND_GATE_TEST...	✓	SystemVerilog	1	03/11/2021 12:03:15 ...
	NAND_GATE.sv	✓	SystemVerilog	0	03/11/2021 11:54:35 ...



(2

A



B

برای بدترین حالت 1 to ابتدا $a=0, b=0$ داریم سپس $b=1$ میکنیم delay در این حالت 12 نانوثانیه می شود :

Worst case delay to 1 = 12 ns

برای بدترین حالت 0 to ابتدا $a=0, b=1$ داریم سپس $a=1$ میکنیم delay در این حالت 14 نانوثانیه می شود :

Worst case delay to 0 = 14 ns



برای بدترین حالت z to ابتدا $a=0, b=1$ داریم سپس $b=0$ میکنیم delay در این حالت 12 نانوثانیه می شود :

Worst case delay to z = 12 ns

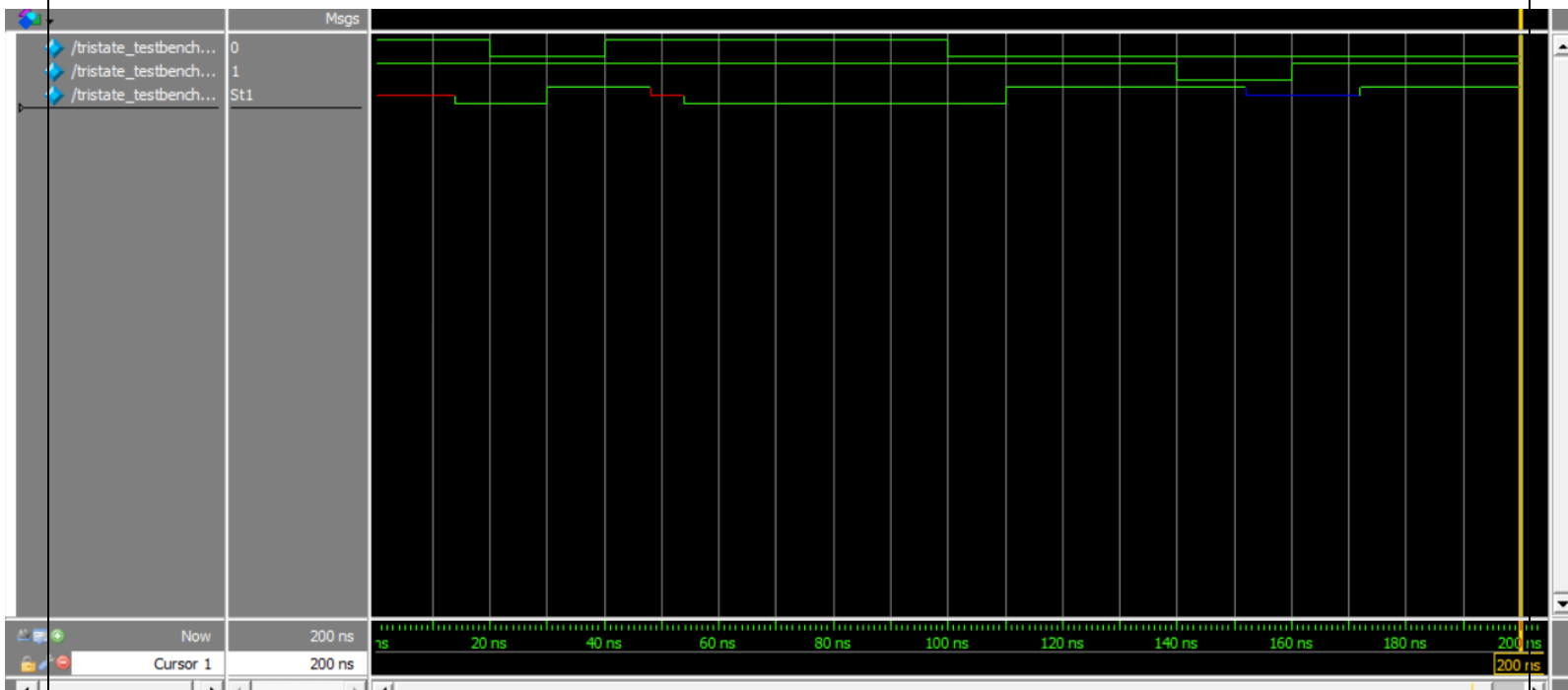
Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module tristate (input a,b,output w);</code>
3	<code> wire j,i,y;</code>
4	<code> supply1 Vdd;</code>
5	<code> supply0 Gnd;</code>
6	<code> pmos #(5,6,7) T1(i,Vdd,a);</code>
7	<code> pmos #(5,6,7) T2(w,i,y);</code>
8	<code> nmos #(3,4,5) T3(j,Gnd,a);</code>
9	<code> nmos #(3,4,5) T4(w,j,b);</code>
10	<code> pmos #(5,6,7) T5(y,Vdd,b);</code>
11	<code> nmos #(3,4,5) T6(y,Gnd,b);</code>
12	<code>endmodule</code>
13	

Ln#	
1	<code>timescale 1ns/1ns</code>
2	<code>module tristate_testbench();</code>
3	<code>logic aa=1;</code>
4	<code>logic bb=1;</code>
5	
6	<code>tristate UUT(aa,bb,ww);</code>
7	<code>initial begin</code>
8	<code>#20 aa=0;</code>
9	<code>#20 aa=1;</code>
10	<code>#20 bb=1;</code>
11	<code>#20 aa=1;</code>
12	<code>#20 aa=0;</code>
13	<code>#20 bb=1;</code>
14	<code>#20 bb=0;</code>
15	<code>#20 bb=1;</code>
16	<code>#40 \$stop;</code>
17	<code>end</code>
18	<code>endmodule</code>
19	

D

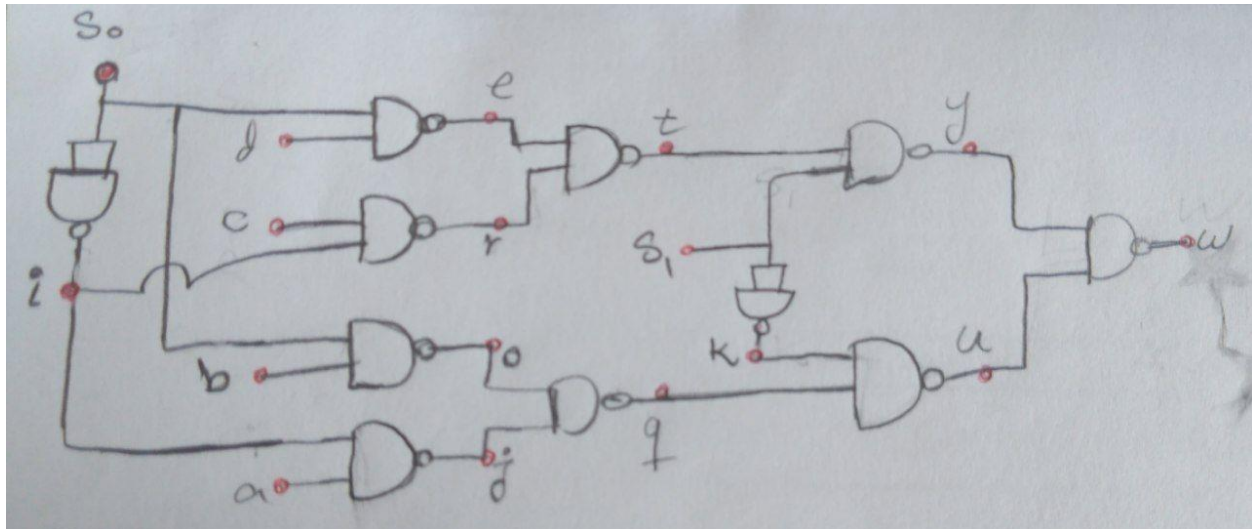
	tristate_testbench...	✓	SystemVerilog	3	03/14/2021 02:35:49 ...
	tristate.sv	✓	SystemVerilog	2	03/11/2021 07:47:35 ...

E



(3

A



B

Worst case delay :

To 1: $a=0 \ b=0 \ c=0 \ d=0 \ s_0=1 \ s_1=0 \implies a=1 \ b=1 \ c=1 \ d=1 \ s_0=0 \ s_1=1$

35 ns





To 0: $a=1 \ b=0 \ c=1 \ d=1 \ s_0=0 \ s_1=0 \implies a=1 \ b=0 \ c=1 \ d=0 \ s_0=1 \ s_1=1$

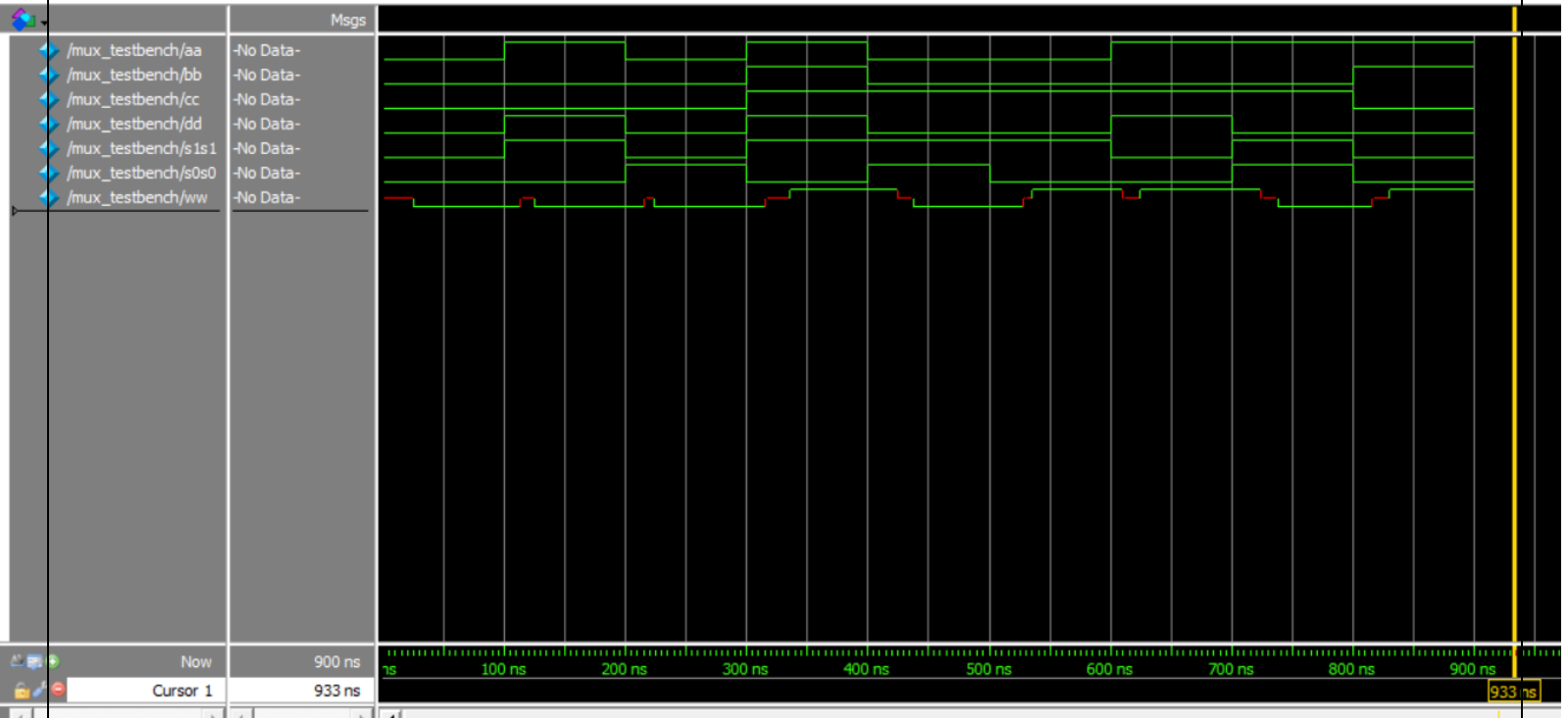
38 ns

Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module mux (input a,b,c,d,s0,s1,output w);</code>
3	<code>wire j,i,k,o,r,e,q,t,u,y;</code>
4	<code>NAND_GATE N1(.a(s0),.b(s0),.w(i));</code>
5	<code>NAND_GATE N2(.a(s1),.b(s1),.w(k));</code>
6	<code>NAND_GATE N3(.a(a),.b(i),.w(j));</code>
7	<code>NAND_GATE N4(.a(b),.b(s0),.w(o));</code>
8	<code>NAND_GATE N5(.a(c),.b(i),.w(r));</code>
9	<code>NAND_GATE N6(.a(d),.b(s0),.w(e));</code>
10	<code>NAND_GATE N7(.a(j),.b(o),.w(q));</code>
11	<code>NAND_GATE N8(.a(r),.b(e),.w(t));</code>
12	<code>NAND_GATE N9(.a(q),.b(k),.w(u));</code>
13	<code>NAND_GATE N10(.a(t),.b(s1),.w(y));</code>
14	<code>NAND_GATE N11(.a(u),.b(y),.w(w));</code>
15	<code>endmodule</code>
16	

Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module mux_testbench();</code>
3	<code>logic aa=0;</code>
4	<code>logic bb=0;</code>
5	<code>logic cc=0;</code>
6	<code>logic dd=0;</code>
7	<code>logic s1s1=0;</code>
8	<code>logic s0s0=0;</code>
9	<code>wire ww;</code>
10	<code>mux UUT(aa,bb,cc,dd,s0s0,s1s1,ww);</code>
11	<code>initial begin</code>
12	<code>#100 aa=1;bb=0;cc=0;dd=1;s0s0=0;s1s1=1;</code>
13	<code>#100 aa=0;bb=0;cc=0;dd=0;s0s0=1;s1s1=0;</code>
14	<code>#100 aa=1;bb=1;cc=1;dd=1;s0s0=0;s1s1=1;</code>
15	<code>#100 aa=0;bb=0;cc=1;dd=0;s0s0=1;s1s1=1;</code>
16	<code>#100 aa=0;bb=0;cc=1;dd=0;s0s0=0;s1s1=1;</code>
17	<code>#100 aa=1;bb=0;cc=1;dd=1;s0s0=0;s1s1=0;</code>
18	<code>#100 aa=1;bb=0;cc=1;dd=0;s0s0=1;s1s1=1;</code>
19	<code>#100 aa=1;bb=1;cc=0;dd=0;s0s0=0;s1s1=0;</code>
20	<code>#100 \$stop;</code>
21	<code>end</code>
22	<code>endmodule</code>
23	

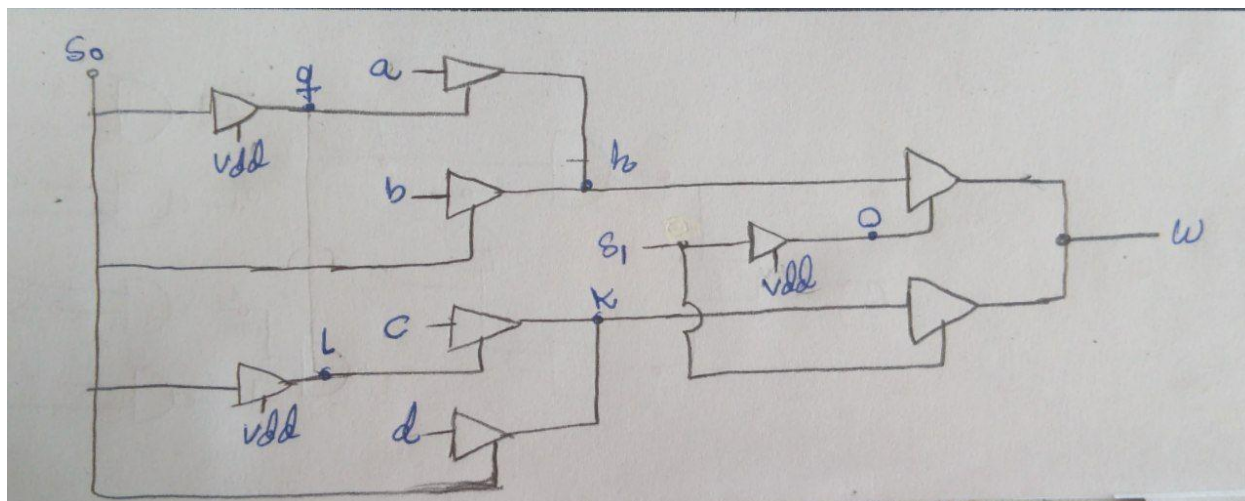
D

	mux_testbench.sv		SystemVerilog	5	03/14/2021 07:21:45 ...
	mux.sv		SystemVerilog	4	03/11/2021 11:17:15 ...



(4

A



B

Worst case delay :

To 1: $a=0 \ b=1 \ c=1 \ d=0 \ s_0=0 \ s_1=0 \implies a=1 \ b=0 \ c=0 \ d=1 \ s_0=1 \ s_1=0$

36 ns

To 0: $a=1 \ b=1 \ c=1 \ d=1 \ s_0=1 \ s_1=1 \implies a=0 \ b=0 \ c=0 \ d=0 \ s_0=1 \ s_1=0$

36 ns



Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module muxtristate (input a,b,c,d,s0,s1,output w);</code>
3	<code>wire h,q,k,o;</code>
4	<code>supply1 Vdd;</code>
5	<code>tristate T1(.a(s0),.b(Vdd),.w(q));</code>
6	<code>tristate T2(.a(a),.b(q),.w(h));</code>
7	<code>tristate T3(.a(b),.b(s0),.w(h));</code>
8	<code>tristate T4(.a(c),.b(1),.w(k));</code>
9	<code>tristate T5(.a(d),.b(s0),.w(k));</code>
10	<code>tristate T6(.a(s1),.b(Vdd),.w(o));</code>
11	<code>tristate T7(.a(h),.b(o),.w(w));</code>
12	<code>tristate T8(.a(k),.b(s1),.w(w));</code>
13	<code>tristate T9(.a(s0),.b(Vdd),.w(1));</code>
14	<code>endmodule</code>
15	


```

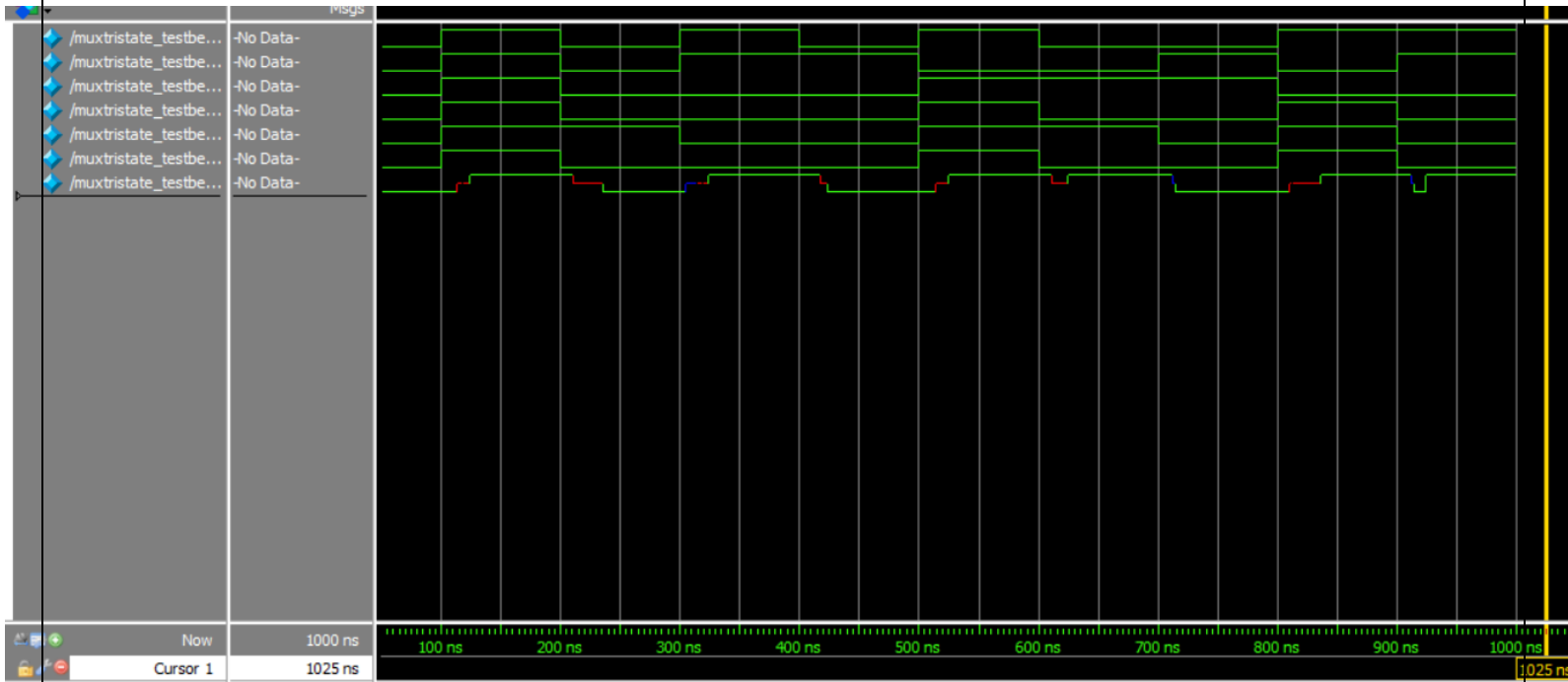
`timescale 1ns/1ns
module muxtristate_testbench();
    logic aa=0;
    logic bb=0;
    logic cc=0;
    logic dd=0;
    logic s1s1=0;
    logic s0s0=0;
    wire ww;
    muxtristate UUT(aa,bb,cc,dd,s0s0,s1s1,ww);
    initial begin
        #100 aa=1;bb=1;cc=1;dd=1;s0s0=1;s1s1=1;
        #100 aa=0;bb=0;cc=0;dd=0;s0s0=0;s1s1=1;
        #100 aa=1;bb=1;cc=0;dd=0;s0s0=0;s1s1=0;
        #100 aa=0;bb=1;cc=0;dd=0;s0s0=0;s1s1=0;
        #100 aa=1;bb=0;cc=1;dd=1;s0s0=1;s1s1=1;
        #100 aa=0;bb=0;cc=1;dd=0;s0s0=0;s1s1=1;
        #100 aa=0;bb=1;cc=1;dd=0;s0s0=0;s1s1=0;
        #100 aa=1;bb=0;cc=0;dd=1;s0s0=1;s1s1=1;
        #100 aa=1;bb=1;cc=0;dd=0;s0s0=0;s1s1=0;
        #100 $stop;
    end
endmodule

```

D

	muxtristate_testbe...	✓	SystemVerilog 7	03/14/2021 07:17:14 ...
	muxtristate.sv	✓	SystemVerilog 6	03/14/2021 11:27:29 ...

E



(5)

Number of Transistors

Tri state buffer 4-1 mux = $9 * \text{Tri state} = 9 * 6 = 54$

Nand gate 4-1 mux = $11 * \text{Nand} = 11 * 4 = 44$

به نظر من چون Tri state buffer 4-1 mux تعداد ترانزیستور بیشتری دارد power consumption بیشتری خواهد داشت.

به نظر می آید که delay های Nand gate 4-1 mux به طور کلی بیشتر از Tri state buffer 4-1 mux می باشد چون تعداد ترانزیستور های آن بیشتر است .

Project - C:/Users/fati/Downloads/DLD-CA1/DLD-CA1

Name	Status	Type	On ▾	Modified
muxtristate_testbe...	✓	SystemVerilog	7	03/15/2021 10:28:58 ...
muxtristate.sv	✓	SystemVerilog	6	03/14/2021 11:27:29 ...
mux_testbench.sv	✓	SystemVerilog	5	03/14/2021 07:21:45 ...
mux.sv	✓	SystemVerilog	4	03/11/2021 11:17:15 ...
tristate_testbench...	✓	SystemVerilog	3	03/15/2021 10:28:43 ...
tristate.sv	✓	SystemVerilog	2	03/11/2021 07:47:35 ...
NAND_GATE_TEST...	✓	SystemVerilog	1	03/11/2021 12:03:15 ...
NAND_GATE.sv	✓	SystemVerilog	0	03/11/2021 11:54:35 ...

Transcript

```
# Time: 200 ns Iteration: 0 Instance: /tristate_testbench_
# Break in Module tristate_testbench at C:/Users/fati/Downloads/DLD-CA1/tristate_testbench.sv line 16
# Load canceled
VSIM 74> quit -sim
# End time: 10:22:31 on Mar 15,2021, Elapsed time: 10:01:50
# Errors: 0, Warnings: 1
# Compile of NAND_GATE.sv was successful.
# Compile of NAND_GATE_TESTBENCH.sv was successful.
# Compile of tristate.sv was successful.
# Compile of tristate_testbench.sv was successful.
# Compile of mux.sv was successful.
# Compile of mux_testbench.sv was successful.
# Compile of muxtristate.sv was successful.
# Compile of muxtristate_testbench.sv was successful.
# 8 compiles, 0 failed with no errors.

ModelSim>
```

Project : DLD-CA1 <No Design Loaded> <No Context>