

به نام خدا

گزارش کار پروژه دوم سیستم های دیجیتال 1









استاد : دکتر نوابی

دانشجو : فاطمه نائینیان

شماره دانشجویی : 810198479

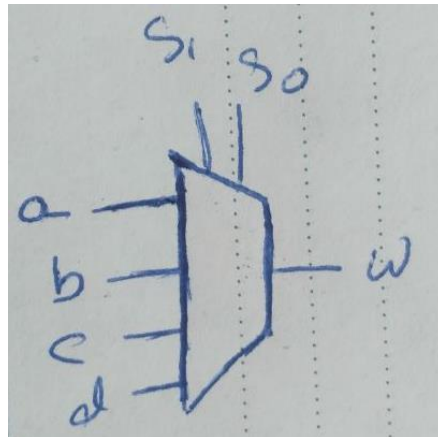
تاریخ تحویل 28 فروردین 1400

همه فایل ها به خوبی compile شده اند.

	ca2-q4-tb.sv	✓	SystemVerilog	22	04/15/2021 06:26:13 ...
	ca2-q4.sv	✓	SystemVerilog	21	04/15/2021 06:19:38 ...
	ca-q3-tb.sv	✓	SystemVerilog	20	04/17/2021 04:07:13 ...
	ca2-q3.sv	✓	SystemVerilog	19	04/15/2021 06:22:59 ...
	ca2-q2-tb.sv	✓	SystemVerilog	18	04/15/2021 12:18:48 ...
	ca2-q2.sv	✓	SystemVerilog	17	04/14/2021 07:14:04 ...
	ca2-q1-tb.sv	✓	SystemVerilog	16	04/14/2021 06:25:23 ...
	ca2-q1.sv	✓	SystemVerilog	15	04/14/2021 05:08:22 ...

سوال اول

شکل مدار



توضیحات

در سوال 3 پروژه قبل delay های زیر را داشتم که جاگذاری کردم :

Worst case delay :

To 1: $a=0 \ b=0 \ c=0 \ d=0 \ s_0=1 \ s_1=0 \implies a=1 \ b=1 \ c=1 \ d=1 \ s_0=0 \ s_1=1$
35 ns

To 0: $a=1 \ b=0 \ c=1 \ d=1 \ s_0=0 \ s_1=0 \implies a=1 \ b=0 \ c=1 \ d=0 \ s_0=1 \ s_1=1$
38 ns

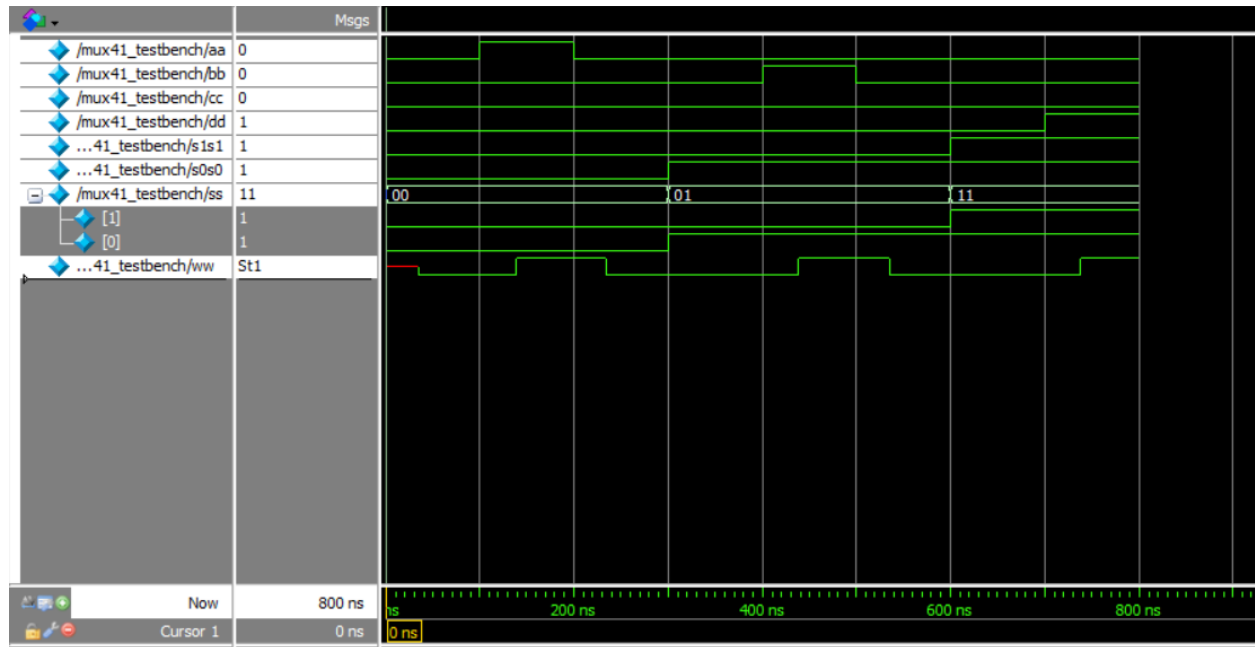
کد اصلی

```
1 |`timescale 1ns/1ns
2 | module mux4l(input a,b,c,d,input [1:0]s,output w);
3 |     assign #(35,38) w=(s==2'b00)?a:
4 |                 (s==2'b01)?b:
5 |                 (s==2'b10)?c:
6 |                 (s==2'b11)?d:1'bx;
7 | endmodule
8 |
```

تست بنچ

Ln#	
1	`timescale 1ns/1ns
2	module mux4l_testbench();
3	logic aa=0,bb=0,cc=0,dd=0,s1s1=0,s0s0=0;
4	logic [1:0]ss;
5	assign ss={s1s1,s0s0};
6	mux4l UUT(aa,bb,cc,dd,ss,ww);
7	initial begin
8	#100 aa=1;
9	#100 aa=0;
10	#100 s0s0=1;
11	#100 bb=1;
12	#100 bb=0;
13	#100 s1s1=1;
14	#100 dd=1;
15	
16	#100 \$stop;
17	end
18	endmodule
19	

نتیجه



سوال دوم

توضیحات :

چون mux ها باهم موازی هستند پس با محاسبه delay های یک گیت میتوانیم ان را به کل مدار نسبت دهیم.

برای نمونه داریم :

Worst case delay :

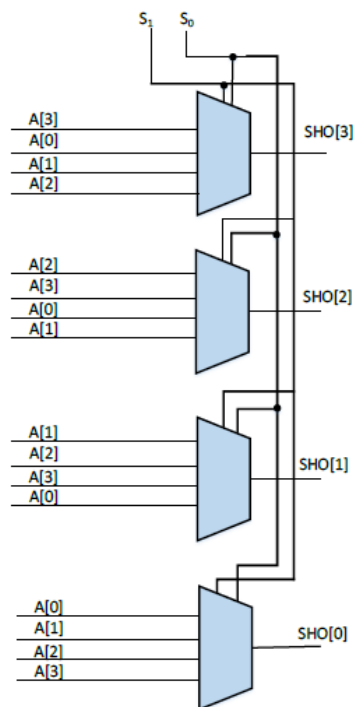
To 1: $a=1 \ b=1 \ c=0 \ d=0 \ s_0=0 \ s_1=0 \implies a=1 \ b=1 \ c=1 \ d=0 \ s_0=0 \ s_1=0$

35 ns

To 0: $a=1 \ b=1 \ c=1 \ d=0 \ s_0=0 \ s_1=0 \implies a=1 \ b=1 \ c=0 \ d=0 \ s_0=0 \ s_1=0$

38 ns

شکل مدار



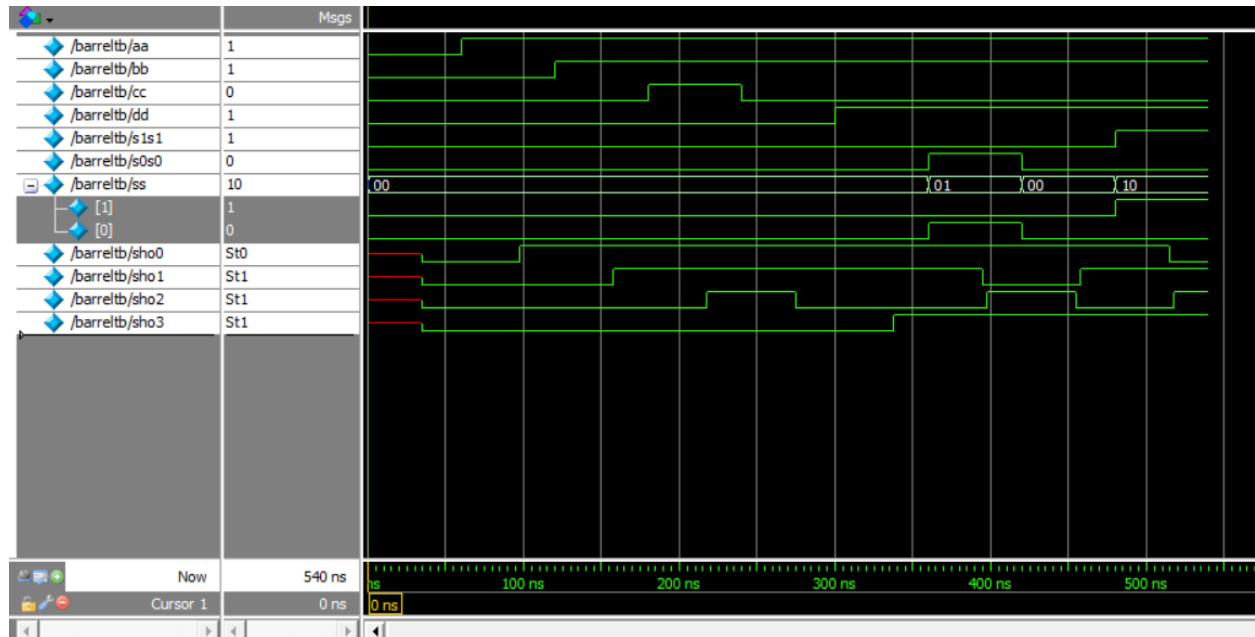
کد اصلی

Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module barrel(input A,B,C,D , [1:0]s,output sho0,sho1,sho2,sho3);</code>
3	<code> mux4l T1(A,B,C,D,s,sho0);</code>
4	<code> mux4l T2(B,C,D,A,s,sho1);</code>
5	<code> mux4l T3(C,D,A,B,s,sho2);</code>
6	<code> mux4l T4(D,A,B,C,s,sho3);</code>
7	<code>endmodule</code>

تست بنچ

Ln#	
1	<code>`timescale 1ns/1ns</code>
2	<code>module barreltb();</code>
3	<code> logic aa=0,bb=0,cc=0,dd=0,s1s1=0,s0s0=0;</code>
4	<code> logic [1:0]ss;</code>
5	<code> assign ss={s1s1,s0s0};</code>
6	<code> barrel UUT(aa,bb,cc,dd,ss,sho0,sho1,sho2,sho3);</code>
7	<code> initial begin</code>
8	<code> #60 aa=1;</code>
9	<code> #60 bb=1;</code>
10	<code> #60 cc=1;</code>
11	<code> #60 cc=0;</code>
12	<code> #60 dd=1;</code>
13	<code> #60 s0s0=1;</code>
14	<code> #60 s0s0=0;</code>
15	<code> #60 s1s1=1;</code>
16	<code> #60 \$stop;</code>
17	<code> end</code>
18	<code>endmodule</code>
19	

نتیجه



سوال سوم

توضیحات

در این سوال واضح است که به دلیل سری بودن ، دو برابر سوال های قبل دلیلی خواهیم داشت. یعنی 70 نانوثانیه برای t_{o1} و 76 نانوثانیه برای t_{o0} خواهیم داشت.

برای مثال:

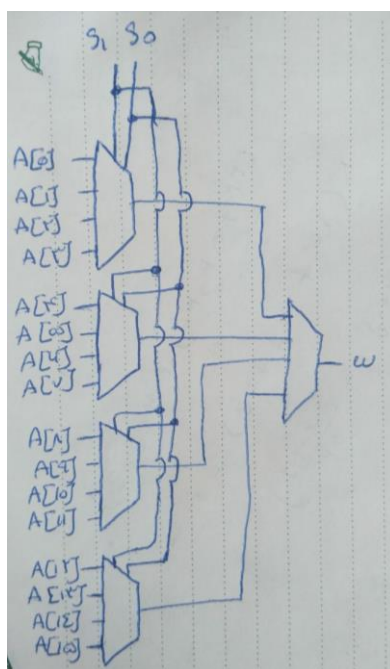
ورودی ها را روی مقدار $A=16'b1010101010101010$ ثابت نگه میداریم ،

سپس S ها را به شکل زیر تغییر میدهیم :

To 0 : $s_3=0 \ s_2=1 \ s_1=0 \ s_0=0 \Rightarrow s_3=0 \ s_2=1 \ s_1=0 \ s_0=1$ delay =76

To 1 : $s_3=0 \ s_2=0 \ s_1=0 \ s_0=1 \Rightarrow s_3=0 \ s_2=0 \ s_1=1 \ s_0=0$ delay =70

شکل مدار



کد اصلی

```
Ln#  
1  `timescale 1ns/1ns  
2  module mux16tol(input [0:15]A , [3:0]s, output w);  
3      wire OUT1,OUT2,OUT3,OUT4;  
4      mux4l  T1(A[0],A[1],A[2],A[3],{s[1],s[0]},OUT1);  
5      mux4l  T2(A[4],A[5],A[6],A[7],{s[1],s[0]},OUT2);  
6      mux4l  T3(A[8],A[9],A[10],A[11],{s[1],s[0]},OUT3);  
7      mux4l  T4(A[12],A[13],A[14],A[15],{s[1],s[0]},OUT4);  
8      mux4l  T5(OUT1,OUT2,OUT3,OUT4,{s[3],s[2]},w);  
9  endmodule
```

تست بنچ

```
Ln#  
1  `timescale 1ns/1ns  
2  module mux16toltb();  
3      logic [15:0]AA=16'b1010101010101010;  
4      logic [3:0]SS=4'b0000;  
5      mux16tol UUT(AA,SS,W);  
6      initial begin  
7          #160 SS=4'b0001;  
8          #160 SS=4'b0010;  
9          #160 SS=4'b0011;  
10         #160 SS=4'b0100;  
11         #160 SS=4'b0101;  
12         #160 SS=4'b0110;  
13         #160 SS=4'b0111;  
14         #160 SS=4'b1000;  
15         #160 SS=4'b1001;  
16         #160 $stop;  
17     end  
18 endmodule  
19
```

نتیجه



سوال چهارم

توضیحات

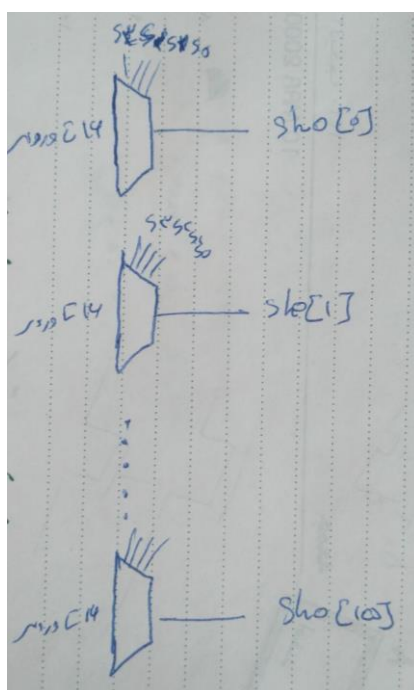
در این سوال 16 گیت موازی داریم که در نتیجه **worst case** یکی از آنها ، برابر **worst case** کل مدار است. حال هر گیت با گیت ساخته شده در سوال 3 برابر است بنابراین همان دلیلی هارا خواهیم داشت :

ورودی ها را روی مقدار $A=16'b1010101010101010$ ثابت نگه میداریم ،
سپس S ها را به شکل زیر تغییر میدهیم :

To 0 : $s_3=0 \ s_2=1 \ s_1=0 \ s_0=0 \Rightarrow s_3=0 \ s_2=1 \ s_1=0 \ s_0=1$ delay =76

To 1 : $s_3=0 \ s_2=0 \ s_1=0 \ s_0=1 \Rightarrow s_3=0 \ s_2=0 \ s_1=1 \ s_0=0$ delay =70

شکل مدار



کد اصلی

```

Ln#
1 `timescale 1ns/1ns
2 module barrel16 (input [15:0]M, [3:0]S, output SHO[15:0]);
3     mux16to1 T1((M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15]),S,SHO[0]);
4     mux16to1 T2((M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0]),S,SHO[1]);
5     mux16to1 T3((M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1]),S,SHO[2]);
6     mux16to1 T4((M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2]),S,SHO[3]);
7     mux16to1 T5((M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3]),S,SHO[4]);
8     mux16to1 T6((M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4]),S,SHO[5]);
9     mux16to1 T7((M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5]),S,SHO[6]);
10    mux16to1 T8((M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6]),S,SHO[7]);
11    mux16to1 T9((M[8],M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7]),S,SHO[8]);
12    mux16to1 T10((M[9],M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8]),S,SHO[9]);
13    mux16to1 T11((M[10],M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9]),S,SHO[10]);
14    mux16to1 T12((M[11],M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10]),S,SHO[11]);
15    mux16to1 T13((M[12],M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11]),S,SHO[12]);
16    mux16to1 T14((M[13],M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12]),S,SHO[13]);
17    mux16to1 T15((M[14],M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13]),S,SHO[14]);
18    mux16to1 T16((M[15],M[0],M[1],M[2],M[3],M[4],M[5],M[6],M[7],M[8],M[9],M[10],M[11],M[12],M[13],M[14]),S,SHO[15]);
19 endmodule
20

```

تست بنچ

```

Ln#
1 `timescale 1ns/1ns
2 module barrel16tb();
3     logic [15:0]m=16'b0100100100100100;
4     logic [3:0]ss=4'b0000;
5     wire sho[15:0];
6     barrel16 UUT(m,ss,sho);
7     initial begin
8         #150 ss=4'b0010;
9         #150 ss=4'b0110;
10        #150 ss=4'b0100;
11        #150 ss=4'b1100;
12        #150 ss=4'b1110;
13        #150 ss=4'b1111;
14        #150 ss=4'b1011;
15        #150 m=16'b0100100101100100;
16        #150 m=16'b0100110101100100;
17        #150 m=16'b0100100100100100;
18        #150 m=16'b0100100100100110;
19        #150 m=16'b0100100110100100;
20        #150 m=16'b0110100100100100;
21        #150 ss=4'b1010;
22        #150 ss=4'b0010;
23        #150 $stop;
24    end
25 endmodule

```

نتیجه

