

Vom RTL zum GDS

Einführung in das VLSI-Design von ICs mit Fokus auf Cadence Innovus

Fatih Mollamehmetoglu

9. Dezember 2025

Inhaltsverzeichnis

1	Glossar	3
2	Motivation	4
3	Einleitung	5
3.1	Einführung in IC- und VLSI-Design	5
3.2	Ausgangspunkt für das Design	6
4	IC-Designflow	7
4.1	Floorplaning	7
4.2	Placement	8
4.3	CTS	8
4.4	Routing	9
4.5	Signoff	9
5	Cadence Innovus	10
5.1	Toolübersicht	10
5.2	Umsetzung der Phasen mithilfe von Innovus	10
6	EDE-Tool	11
6.1	Rolle und Nutzung des EDE-Tools	11
7	Ausblick	12
7.1	Fortbildung zum Innovus	12

1 Glossar

RTL VHDL EDA GDSII IP/Hardmacro

2 Motivation

Das Ziel dieser Ausarbeitung ist es, Studierenden der Elektro- und Informationstechnik, Informatik sowie verwandter Fachrichtungen einen verständlichen Einblick in die Welt des digitalen Designs integrierter Schaltungen zu geben. Dabei soll ein grundlegendes Verständnis für die Entwicklung moderner Technologien vermittelt werden, sodass die Leserinnen und Leser in der Lage sind, sich anschließend eigenständig weiter in die Materie einzuarbeiten.

Die Relevanz dieses Themas ergibt sich aus der wachsenden Komplexität heutiger integrierter Schaltungen und der zentralen Rolle des VLSI-Designs in nahezu allen Bereichen moderner Elektronik. Ein praxisnaher Bezug wird durch die Darstellung des spezifischen Design-Flows innerhalb der Firma REE (Renesas Electronics Europe) geschaffen. Dies soll den Einstieg in reale industrielle Prozesse erleichtern und eine Grundlage für weiterführende Projekte oder Tätigkeiten bieten.

3 Einleitung

3.1 Einführung in IC- und VLSI-Design

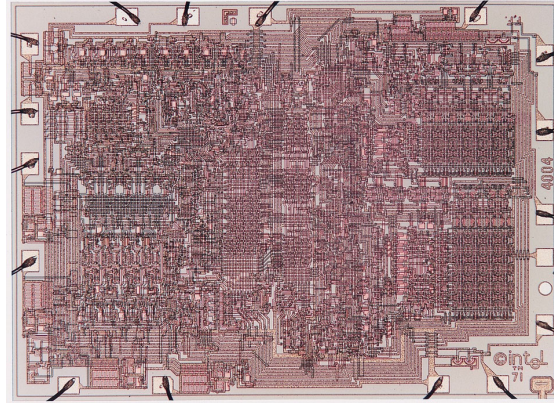


Abbildung 1: erster digital entwickelter IC, Intel 4004

Integrierte Schaltungen (Integrated Circuits, ICs) sind Grundlage moderner Elektronik, welche uns überall im Alltag begegnet. Sie ermöglichen die Funktionalität von Computern, Smartphones und einer Vielzahl weiterer Systeme. Ein IC ist hierbei im Wesentlichen eine Ansammlung von elektronischen Bauelementen - wie Transistoren, Widerständen und Kondensatoren - die auf einem einzigen Halbleiterchip integriert sind. Eben diese Integration erlaubt eine kompakte Bauweise, hohe Leistungsfähigkeit und geringe Kosten.

Mit der zunehmenden Miniaturisierung und steigenden Anforderungen an Rechenleistung entwickelte sich das VLSI-Design (Very Large-Scale Integration) zu einer Schlüsseltechnologie. VLSI bezeichnet die Integration von Millionen bis Milliarden Transistoren auf einem einzigen Chip. Diese hohe Integrationsdichte ermöglicht nicht nur leistungsstarke Prozessoren und Speicher, sondern auch energieeffiziente Lösungen für mobile und eingebettete Systeme. Die Komplexität solcher Designs erfordert den Einsatz spezialisierter Methoden und Werkzeuge, um sowohl Funktionalität als auch Zuverlässigkeit und Herstellbarkeit sicherzustellen.

Die Entwicklung integrierter Schaltungen erfolgt heute in einem strukturierten Design-Flow, der sowohl Hardwarebeschreibung als auch automatisierte Werkzeuge umfasst. Typischerweise beginnt der Prozess mit der Spezifikation der gewünschten Funktionalität, gefolgt von der Beschreibung in Hardwarebeschreibungssprachen wie VHDL oder Verilog. Anschließend wird das Design durch Synthese in eine Netzliste überführt, die die logische Struktur der Schaltung beschreibt.

Darauf folgt die Place-and-Route-Phase, in der die logischen Elemente physisch auf dem Chip angeordnet und die Verbindungen hergestellt werden. Moderne Tools berücksichtigen dabei Aspekte wie Timing, Leistungsaufnahme und Flächenoptimierung. Nach umfangreichen Verifikations- und Signoff-Schritten (Simulation, Timing-Analyse, DRC und LVS) wird das finale Layout als GDSII-Datei an die Fertigung übergeben.

Dieser Flow wird heute stark durch EDA-Tools (Electronic Design Automation) und Methoden wie Design-for-Test, Low-Power-Optimierung sowie IP-Reuse unterstützt, um die Komplexität beherrschbar zu machen und die Time-to-Market zu verkürzen.

3.2 Ausgangspunkt für das Design

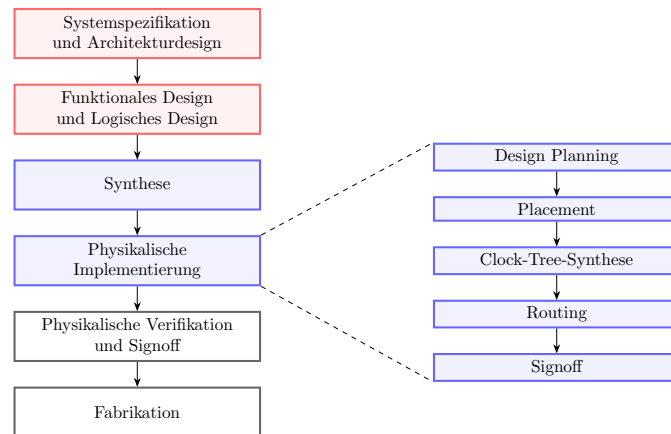


Abbildung 2: Allgemeiner Design-Flow beim IC-Design

Wie in Abbildung 2 dargestellt, lässt sich der gesamte IC-Designprozess grob in zwei Hauptbereiche unterteilen: das **Frontend** und das **Backend**. Das Frontend umfasst die frühen Phasen wie Systemspezifikation, Architekturdesign sowie das funktionale und logische Design. Hier wird die gewünschte Funktionalität des Chips beschrieben und in einer Hardwarebeschreibungssprache (z. B. VHDL oder Verilog) modelliert. Anschließend erfolgt die **Synthese**, bei der diese abstrakte Beschreibung in eine Gate-Level-Netzliste überführt wird. Diese Netzliste bildet die logische Struktur der Schaltung auf Basis standardisierter Zellen aus der verwendeten Technologie-Bibliothek.

Das Backend beginnt dort, wo die logische Beschreibung vorliegt und in eine physische Implementierung überführt werden muss. Der Ausgangspunkt unseres Backend-Designprozesses ist daher eine vollständig verifizierte Gate-Level-Netzliste, die aus der Synthesephase stammt. Sie enthält alle funktionalen Informationen und die logischen Verbindungen, jedoch noch keine physische Anordnung der Komponenten auf dem Chip.

Neben der Netzliste liegen zu diesem Zeitpunkt auch die relevanten Design-Constraints vor. Dazu gehören unter anderem Timing-Anforderungen, Vorgaben zur Leistungsaufnahme sowie Flächenbeschränkungen. Diese Randbedingungen sind entscheidend, um die physische Implementierung so zu gestalten, dass die funktionalen und technologischen Spezifikationen eingehalten werden.

Damit ist die Ausgangslage klar definiert: eine funktional korrekte, technologiegebundene Netzliste sowie die zugehörigen Constraints, die im weiteren Verlauf des Backend-Flows berücksichtigt werden müssen.

4 IC-Designflow

4.1 Floorplaning

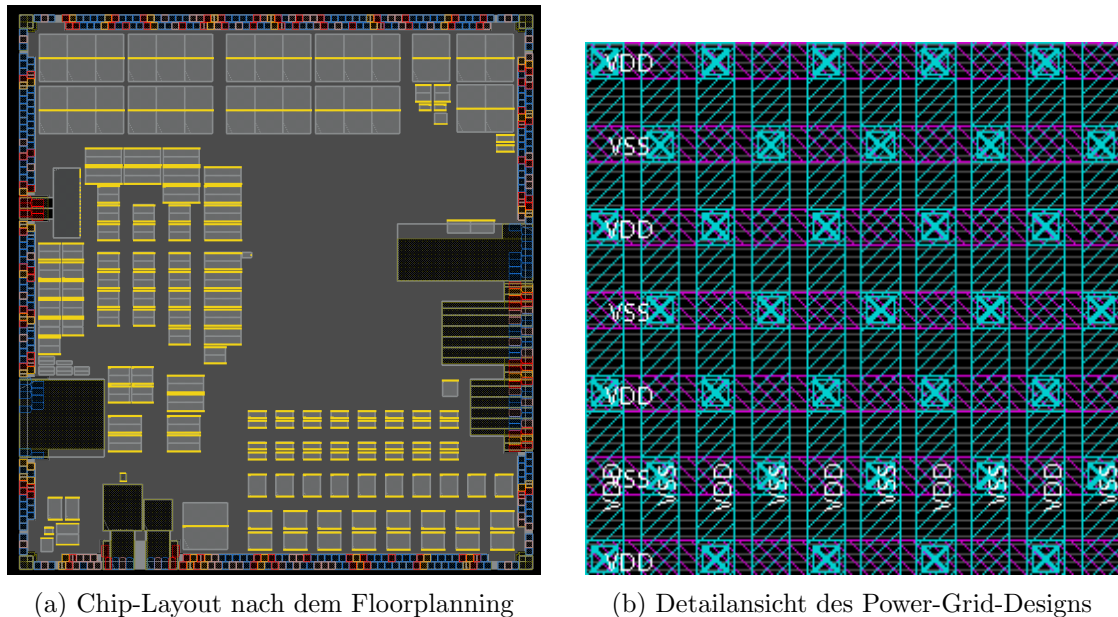


Abbildung 3: Darstellung des Floorplaning und des Power-Grid-Designs

Nachdem die Ausgangslage mit einer verifizierten Gate-Level-Netzliste und den zugehörigen Design-Constraints definiert ist, beginnt die physische Implementierung mit dem **Floorplaning**. Beim Floorplaning wird die grundlegende Struktur des Chips festgelegt. Ziel ist es, eine effiziente Anordnung der funktionalen Blöcke, Makrozellen und Standardzellen zu planen, sodass spätere Schritte wie Platzierung und Verdrahtung optimal durchgeführt werden können.

Wichtige Aspekte beim Floorplaning sind:

- **Chipgröße und Form:** Die Dimensionen müssen den Flächenvorgaben entsprechen und gleichzeitig genügend Platz für alle Komponenten sowie die Verdrahtung bieten.
- **Makroplatzierung:** Große Blöcke wie Speicher oder IP-Cores werden strategisch positioniert, um kurze Signalwege und gute Timing-Eigenschaften zu gewährleisten.
- **Power-Grid-Design:** Die Stromversorgung wird früh geplant, um eine stabile Versorgung aller Bereiche sicherzustellen.
- **I/O-Pads und Schnittstellen:** Die Positionierung der Ein- und Ausgänge beeinflusst die Signalführung und die Integration ins Gehäuse.

Abbildung 3a zeigt ein Design nach dem Floorplanning: Die IO-Pads sind entlang des Chiprandes angeordnet, während große IP-Blöcke und Makrozellen im Inneren platziert sind. Freie Bereiche dienen später der Platzierung von Standardzellen. Eine weitere Detailansicht in Abbildung 3b verdeutlicht das Power-Grid-Design, das für eine stabile Stromversorgung sorgt. Hier sind die VDD- und VSS-Leitungen sowie die zugehörigen Strukturen zu erkennen, die bereits in dieser frühen Phase berücksichtigt werden müssen. Diese sind über das gesamte Design verteilt in einem Grid angeordnet, aber aufgrund von Übersichtsgründen in der Abbildung 3a ausgeblendet.

4.2 Placement

”Lorem ipsum dolor sit amet, consectetur adipiscing elit, sed do eiusmod tempor incididunt ut labore et dolore magna aliqua. Ut enim ad minim veniam, quis nostrud exercitation ullamco laboris nisi ut aliquip ex ea commodo consequat. Duis aute irure dolor in reprehenderit in voluptate velit esse cillum dolore eu fugiat nulla pariatur. Excepteur sint occaecat cupidatat non proident, sunt in culpa qui officia deserunt mollit anim id est laborum.

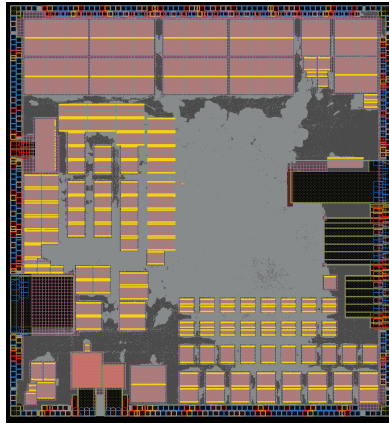


Abbildung 4: Design nach Placement

4.3 CTS

”Lorem ipsum dolor sit amet, consectetur adipiscing elit, sed do eiusmod tempor incididunt ut labore et dolore magna aliqua. Ut enim ad minim veniam, quis nostrud exercitation ullamco laboris nisi ut aliquip ex ea commodo consequat. Duis aute irure dolor in reprehenderit in voluptate velit esse cillum dolore eu fugiat nulla pariatur. Excepteur sint occaecat cupidatat non proident, sunt in culpa qui officia deserunt mollit anim id est laborum.

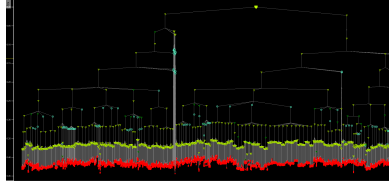


Abbildung 5: Synthetisierter Clocktree

4.4 Routing

”Lorem ipsum dolor sit amet, consectetur adipiscing elit, sed do eiusmod tempor incididunt ut labore et dolore magna aliqua. Ut enim ad minim veniam, quis nostrud exercitation ullamco laboris nisi ut aliquip ex ea commodo consequat. Duis aute irure dolor in reprehenderit in voluptate velit esse cillum dolore eu fugiat nulla pariatur. Excepteur sint occaecat cupidatat non proident, sunt in culpa qui officia deserunt mollit anim id est laborum.

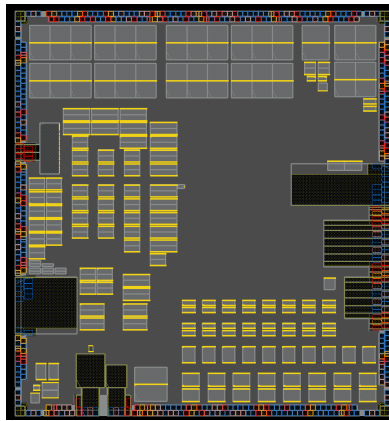


Abbildung 6: Design nach Floorplanning und Powerrouting

4.5 Signoff

”Lorem ipsum dolor sit amet, consectetur adipiscing elit, sed do eiusmod tempor incididunt ut labore et dolore magna aliqua. Ut enim ad minim veniam, quis nostrud exercitation ullamco laboris nisi ut aliquip ex ea commodo consequat. Duis aute irure dolor in reprehenderit in voluptate velit esse cillum dolore eu fugiat nulla pariatur. Excepteur sint occaecat cupidatat non proident, sunt in culpa qui officia deserunt mollit anim id est laborum.

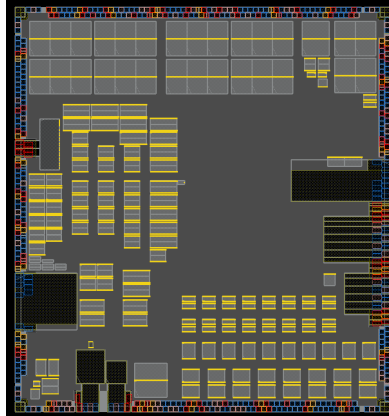


Abbildung 7: Design nach Floorplanning und Powerrouting

5 Cadence Innovus

5.1 Toolübersicht

5.2 Umsetzung der Phasen mithilfe von Innovus

6 EDE-Tool

6.1 Rolle und Nutzung des EDE-Tools

7 Ausblick

7.1 Fortbildung zum Innovus