

基本信息

姓名：刘宽昊

电话：15653416228

籍贯：山东潍坊

政治面貌：中共党员

邮箱：3220231954@bit.edu.cn

意向岗位：FPGA 开发



教育背景

2023 年 9 月至今 北京理工大学（推免） 集成电路工程
研究方向：高速信号采集、数字信息处理及其 FPGA 实现
2019 年 9 月~2023 年 6 月 中国矿业大学 电子信息工程
平均学分绩点：4.27（排名 7/256）

项目经历

2023.12—2024.11 大规模蜂群芯片化分布式协同探测 中国科学院空天信息研究院
项目简介：在 ZYNQ7100 芯片上开发了高速信号采集、存储系统，配合射频芯片挂载在无人机上进行 SAR 成像和侦察干扰任务。地面上位机通过数传连接 PS 端运行的 PETALINUX 进行系统控制，PL 端按照上位机下发的时序指令完成雷达数据的高速采集、预处理及落盘任务。
项目职责：（1）配置调试 AD 芯片，完成 500MSps 双通道、JESD204b 接口的数据采集；
（2）配置调试 DA 芯片，完成 500MSps 双通道、LVDS 接口的数据播放；
（3）设计基于 lmk04828 时钟芯片的同步方案，多板 AD 采样 DA 播放同步误差小于 100ps；
（4）构建基于 AXI-DMA（Scatter/Gather）的数据调度、仲裁方案，避免多路数据传输冲突。
（5）实现基于 DDR 缓存的方位向 FIR 滤波算法，及高速并行的数据平均、抽取处理；
（6）将 Microblaze 作为协处理器，对 AXI-DMA 传输进行控制及中断响应。

2023.09—2023.11 基于 RISC-V 的游戏引擎与流媒体工作站 全国大学生 FPGA 创新设计竞赛
项目简介：在紫光同创的 MES50HP 开发板上移植了 RISC-V 处理器，并实现了多种游戏机外设的开发与集成。系统支持使用标准 USB 键盘进行游戏操控与切换。游戏画面支持 480×640 分辨率、60Hz 刷新率的 HDMI 显示，同时可通过 JPEG 压缩再经由千兆以太网上传到 PC 端进行实时显示或存储。
项目职责：（1）设计总体 SOC 结构：CPU 实现游戏逻辑计算，FPGA 实现游戏画面显示与上传；
（2）开发支持分片的 UDP 协议帧，包含 MAC、IP、ARP、ICMP 和 UDP 协议层。
（3）开发轻量化 JPEG 图像压缩模块，包含 DCT 变换、Zigzag 变换和霍夫曼编码。

专业技能

1. 具备良好的英语阅读与沟通能力，能够熟练阅读英文手册、文档，508 分通过 CET6 考试；
2. 熟练掌握 Verilog HDL，具有完整 FPGA 项目设计、RTL 逻辑实现、板级硬件调试、仿真测试、时序优化及文档撰写经验；能够使用 Matlab 进行算法浮点及定点系统仿真，优化算法实现的 PPA 平衡；
3. 掌握 Xilinx 高速接口 GTX 及 JESD204b，万兆以太网，Aurora 协议的开发及调试；
4. 掌握常用低速接口 UART，SPI 的开发及调试；
5. 掌握示波器、信号发生器、频谱仪等常见测量仪器的使用。

荣誉奖项

1. 2024 年获北京理工大学研究生特等学业奖学金
2. 2023 年获全国大学生 FPGA 创新设计竞赛国家级三等奖
3. 2022 年获帝奥微电子二等奖学金
4. 2019-2022 年四次获中国矿业大学一等学业奖学金