Chapitre 4: Les Circuits Séquentiels

1. Introduction:

Dans les circuits combinatoires les signaux de sortie ne dépendent que des signaux d'entrée présents. Pour les circuits séquentiels, nous devons tenir compte de l'état du système. Donc les sorties dépendent des entrées présents mais également de l'état précédent des sorties. Pour avoir cette caractéristique, ces circuits doivent donc être capable de mémoriser.
La logique séquentielle permet de réaliser des circuits dont le comportement est variable avec le temps. L'état d'un système constitue une mémoire du passé.

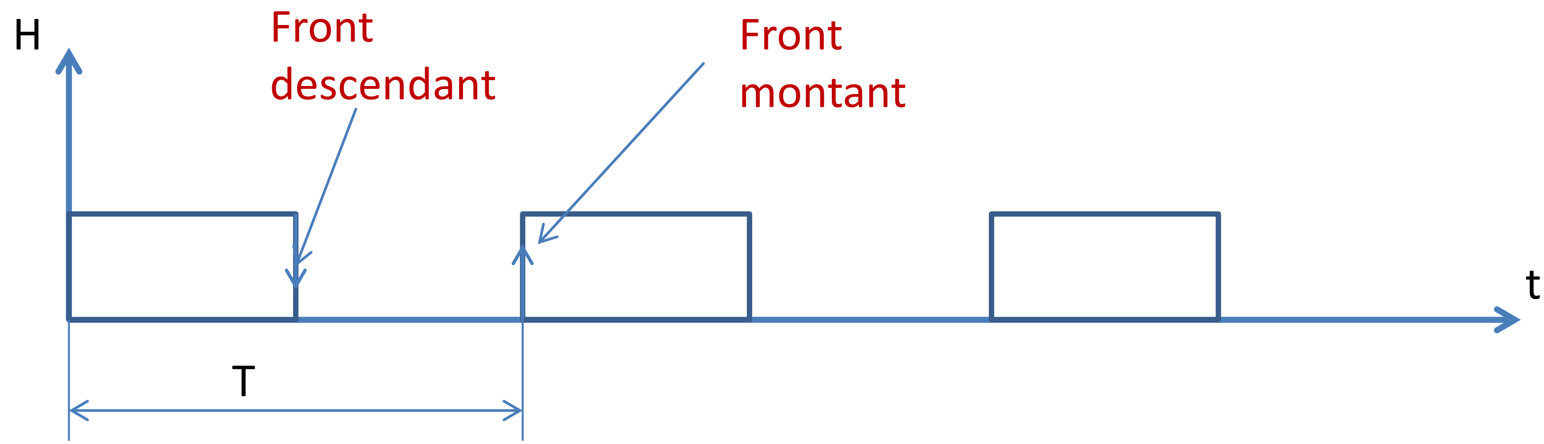
Le mot séquentiel fait référence donc à deux notions importantes:

- La notion du temps(horloge): **Pour établir l'ordre des signaux d'entrées et leur synchronisation.**
- la notion de mémoire : M**émorisation des états passés.**

2 Définition des circuits séquentiels synchrone et asynchrone:

a) Circuit asynchrone: C'est un circuit dont les sorties sont obtenues des qu'il y a des signaux présents en entrée.
b) Circuit synchrone: un circuit est dit synchrone si les signaux présents en entrée sont soumis à une autre entrée de commande appelée **horloge**. Les sorties ne peuvent changer que lorsque l'entrée horloge est présente par son état actif.

Dans un circuit synchrone l'entrée Horloge H est un signal périodique de période T qui prend deux états consécutifs 1 et 0 sur une période.

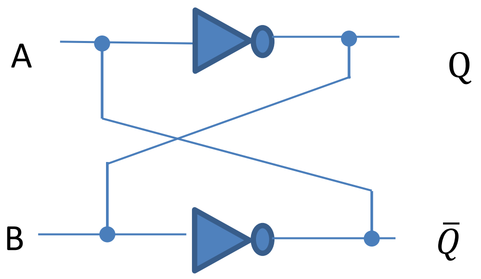


3 Les bascules :

la porte logique était la brique élémentaire de la logique combinatoire, la brique élémentaire d'un circuit logique séquentiel est la bascule.

Une bascule a pour rôle de mémoriser une information élémentaire. C'est une mémoire à un bit. Une bascule possède deux sorties complémentaires $Q\ et\ \bar{Q}$. La mémorisation fait appel à un système de blocage (verrou).

Principe de fonctionnement d'une bascule:



$$Q = 1 \rightarrow (B = 1) \rightarrow \bar{Q} = 0 \rightarrow A = 0 \rightarrow Q = 1$$
$$Q = 0 \rightarrow (B = 0) \rightarrow \bar{Q} = 1 \rightarrow A = 1 \rightarrow Q = 0$$

Conclusion:

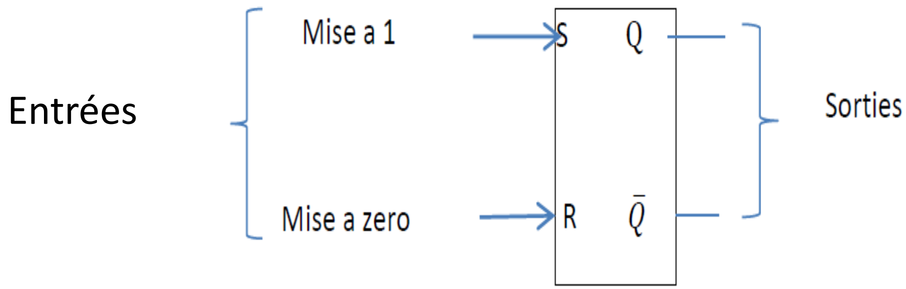
Une bascule ne peut être donc que dans deux états:
'1'$(Q = 1, \bar{Q} = 0)$ ou '0'$(Q = 0, \bar{Q} = 1)$ $(bistable)$

La question posée?

Un verrou permet de conserver un état, mais comment peut on changer cet état?

3.1 La bascule RS :

La bascule RS comprend deux entrées:
R (Reset): pour la mise à '0'
S (Set): pour la mise à '1'



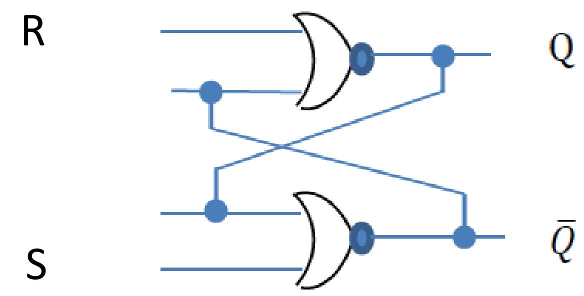
Le fonctionnement du circuit de la bascule RS se décrit par une table de vérité qui présente la particularité d'avoir en entrée non seulement les valeurs R et S mais aussi la fonction de sortie Q. A partir de R, S et Q la table de vérité donne la nouvelle valeur de la sortie Q^+.

Les bascules les plus fréquemment rencontrées sont réalisées avec deux portes NOR ou NAND.

3.1.1 Etude du schéma du bistable RS réalisé avec des portes NOR:

Considérons le circuit suivant:

Réalisation a base des portes NOR



Etude des différents cas:

Cas 0: R=S=Q=0

$$\overline{Q^+} = \overline{Q+S} = \overline{0+0} = 1$$
$$Q^+ = \overline{\bar{Q}+R} = \overline{1+0} = 0$$

Conclusion:

Si Q=0 , cet état est conservé si R et S sont maintenu à 0.

Cas 1: R=S=0 , Q=1

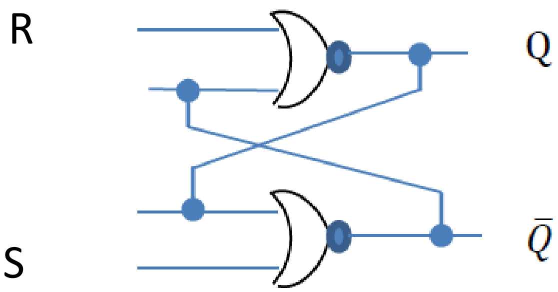
$$\overline{Q^+} = \overline{Q+S} = \overline{1+0} = 0$$
$$Q^+ = \overline{\bar{Q}+R} = \overline{0+0} = 1$$

Conclusion:

Si Q=1 , cet état est conservé si R et S sont maintenu à 0.

Cas 2: R=0, S=1 , Q=0

Réalisation a base des portes NOR



$$\overline{Q^+} = \overline{Q + S} = \overline{0 + 1} = 0$$
$$Q^+ = \overline{\bar{Q} + R} = \overline{0 + 0} = 1$$

Conclusion:

Si Q=0 et si on lui applique S=1, Q passe a 1 (Q=1)

Cas 3: R=0, S=1 , Q=1

$$\overline{Q^+} = \overline{Q + S} = \overline{1 + 1} = 0$$
$$Q^+ = \overline{\bar{Q} + R} = \overline{0 + 0} = 1$$

Conclusion:

Si Q=1 et si on lui applique S=1, Q reste à 1 (Q=1)

Cas 4: R=1, S=0 , Q=0

$$\overline{Q^+} = \overline{Q + S} = \overline{0 + 0} = 1$$
$$Q^+ = \overline{\bar{Q} + R} = \overline{1 + 1} = 0$$

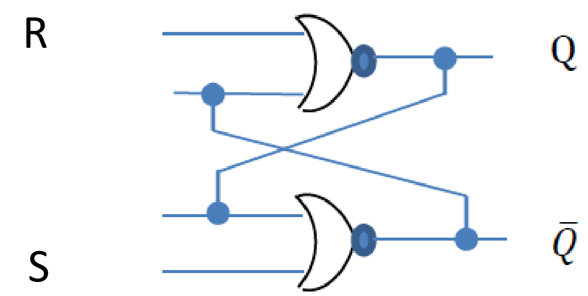
Conclusion:

Si Q=0 et si on lui applique R=1, Q conserve son état 0 (Q=0)

Cas 5: R=1, S=0 , Q=1

$$\overline{Q^+} = \overline{Q+S} = \overline{1+0} = 0$$
$$Q^+ = \overline{\bar{Q}+R} = \overline{0+1} = 0$$
$$\overline{Q^+} = \overline{Q+S} = \overline{0+0} = 1$$

Réalisation a base des portes NOR



Conclusion:

Si Q=1 et si on lui applique R=1, Q passe à 0 (Q=0)

Cas 6: R=S=1, Q=X (0 ou bien 1)

$$Q^+ = \overline{\bar{Q}+R} = \overline{X+1} = 0$$
$$\overline{Q^+} = \overline{Q+S} = \overline{X+1} = 0$$

Conclusion:

Quand on applique R=S=1, les deux sorties sont égales ($Q = \bar{Q} = 0$). Ce cas est à éviter , car les deux sorties ne sont pas complémentaires l'une de l'autre, ce qui conduit à une fausse interprétation du fonctionnement.

Résumé:

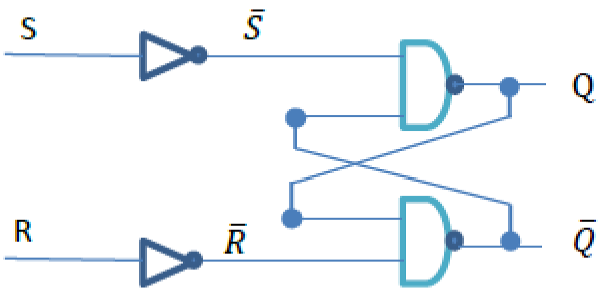
cas	R	S	Q	Q+	$\overline{Q^+}$	Remarque
0	0	0	0	0	1	Maintenu
1	0	0	1	1	0	Maintenu
2	0	1	0	1	0	Mise à 1
3	0	1	1	1	0	Mise à 1
4	1	0	0	0	1	Mise à 0
5	1	0	1	0	1	Mise à 0
6	1	1	X	0	0	Non exploité

Table simplifiée

S	R	Q	$\bar{Q}$	Remarque
0	0	Q_p	$\overline{Q_p}$	Sortie inchangée
1	0	1	0	Mise à 1
0	1	0	1	Mise à 0
1	1	0	0	A éviter

3.1.2 Bascule RS réalisée avec des portes NANDs

Soit le circuit suivant:



L'analyse de ce circuit mène vers la table de vérité suivante:

Table de vérité

S	R	$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$	Remarque
0	0	1	1	Q_p	$\overline{Q_p}$	Sortie inchangée
1	0	0	1	1	0	Mise à 1
0	1	1	0	0	1	Mise à 0
1	1	0	0	1	1	A éviter

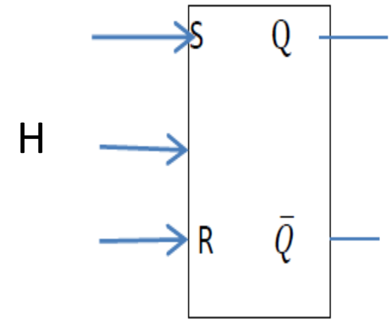
Remarque:

Grâce aux inverseurs utilisés en entrées on a pu retrouver la table de vérité de la bascule RS précédente réalisé avec des portes logiques NORs.

3.1.3 Bascule RS avec une entrée d'horloge H:

La bascule RS avec une entrée d'horloge est une bascule pour laquelle les entrées S et R ne sont prises en compte qu'en coïncidence avec un signal de commande (Horloge), nous avons alors une bascule synchrone.

Bascule RS avec entree horloge :

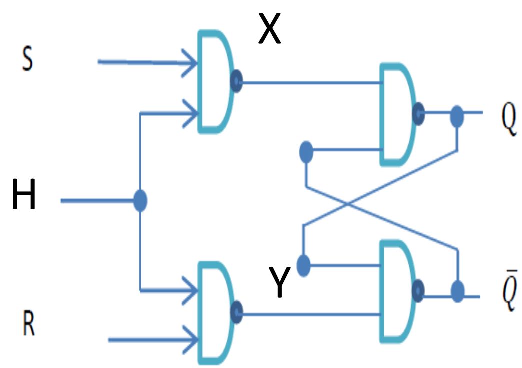


Fonctionnement:

Si H=0 $\Rightarrow$ la bascule n'est pas active, donc pas de changement d'état $\Rightarrow Q^{+} = Q$
Si H=1 $\Rightarrow$ la bascule fonctionne normalement mais avec deux entrées **X=f(S, H), Y=f(R,H)**

Nous pouvons synchroniser le fonctionnement de la bascule RS, réalisée avec des portes logiques NANDs ou NORs précédentes, avec un signal d’horloge H comme il est montré sur les schémas suivants:

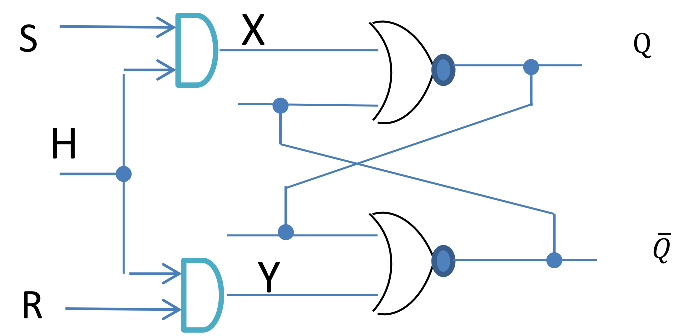
Circuit avec des portes NANDs :



$X = \text{f(S, H)} = \overline{S.H}$

$Y = \text{f(R,H)} = \overline{R.H}$

Circuit avec des portes NORs



$X = \text{f(S, H)} = S.H$

$Y = \text{f(R,H)} = R.H$

Table de vérité:

Horloge	S	R	Q	$\bar{Q}$	Remarque
1	0	0	Q_p	$\overline{Q_p}$	Sortie inchangée
	1	0	1	0	Mise à 1
	0	1	0	1	Mise à 0
	1	1	0	0	A éviter
0	X	X	Q_p	$\overline{Q_p}$	Sortie inchangée

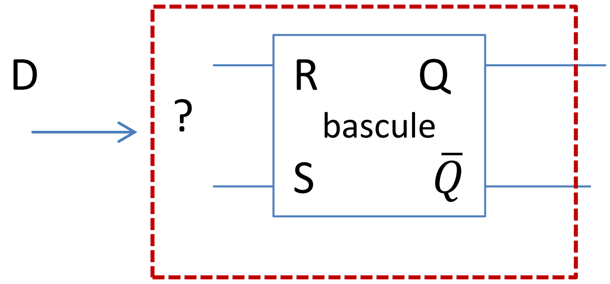
3.2 La bascule D:

Le problème de la bascule RS peut être résolu en faisant en sorte que la combinaison R=S=1 (combinaison interdite) soit évitée. C'est-à-dire, elle ne se présentera jamais en entrées.
La bascule D est déduite de celle de RS de façon à ne garder que la mise à '1' et la mise à '0'.

a) Table de vérité

D	Q	Remarque
0	0	Mise a 0
1	1	Mise a 1

b) Conception et réalisation à base d'une RS:

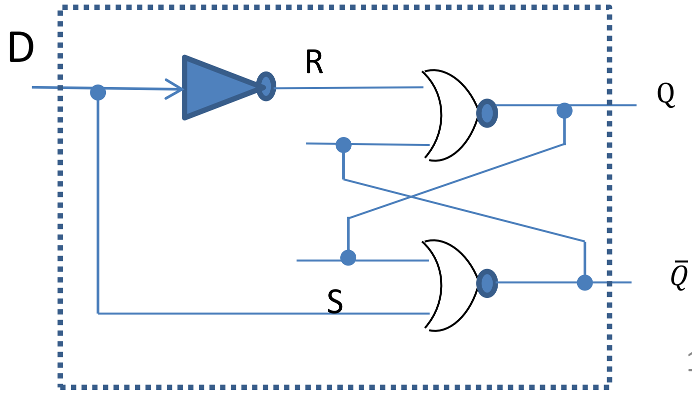


c) Table de vérité d'excitation

D	Q	Q+	R	S
0	0	0	X	0
0	1	0	1	0
1	0	1	0	1
1	1	1	0	X

$$R = \bar{D}$$
$$S = D$$

d) Circuit à base des portes NORS



3.3 La bascule JK :

C'est une variante de la bascule RS où l'entrée (1,1) donne une sortie déterminée. Cette sortie est choisie égale au complément de l'état précèdent de la bascule.

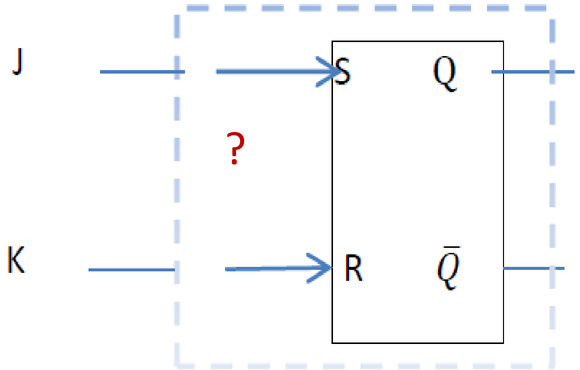
Table de vérité:

J	K	Q_P	Q	Remarque
0	0	0	0	Maintient
0	0	1	1	
0	1	0	0	Mise à 0
0	1	1	0	
1	0	0	1	Mise à 1
1	0	1	1	
1	1	0	1	complémentaire
1	1	1	0	

Résumé:

J	K	Q	$\bar{Q}$	Remarque
0	0	Q_p	$\overline{Q_p}$	Sortie inchangée
1	0	1	0	Mise à 1
0	1	0	1	Mise à 0
1	1	$\overline{Q_p}$	Q_p	Complémentarité

Réalisation à base de la RS:



Il s'agit de trouver :

R=f(J,K,Q_p) et S=f(J,K, Q_p)

KQ_P / J	00	01	11	10
0	X	0	1	X
1	0	0	1	0

$$R = K.Q_P$$

KQ_P / J	00	01	11	10
0	0	X	0	0
1	1	X	0	1

$$S = J.\overline{Q_P}$$

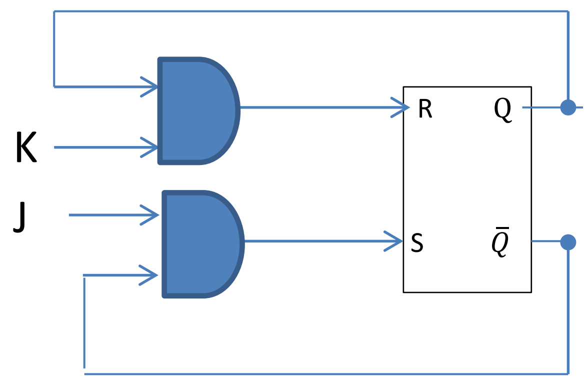


Table de vérité

J	K	Q_P	Q	R	S
0	0	0	0	X	0
0	0	1	1	0	X
0	1	0	0	X	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	1	0	X
1	1	0	1	0	1
1	1	1	0	1	0

3.4 La bascule T :

a) Objectif :

T=0 → mémorisation $Q=Q_p$

T=1 → basculement $Q = \bar{Q}_p$

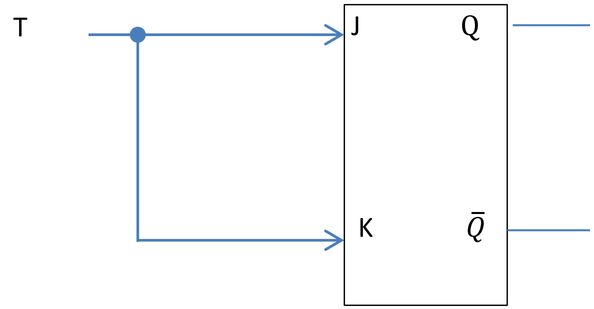
b) Conception à base d'une bascule JK

T	Q_p	Q	J	K
0	0	0	0	X
0	1	1	X	0
1	0	1	1	X
1	1	0	X	1

J=T

K=T

c) Circuit à base de la bascule JK

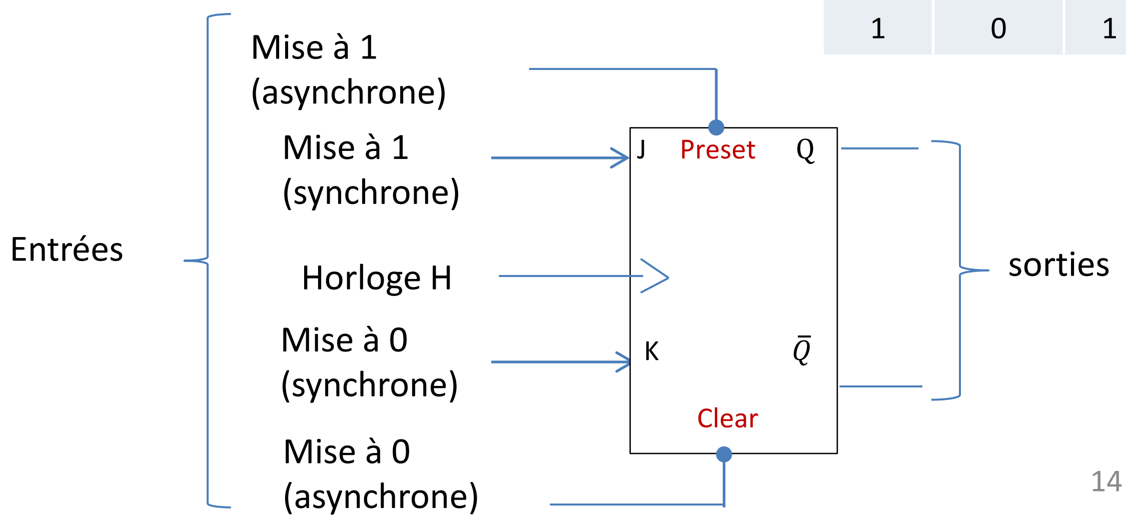


Remarque:

Toutes les bascules que nous avons étudiées possèdent en réalité deux autres entrées asynchrones appelées cleair (pour la mise à 0 de la bascule et Preset(pour la mise à 1 de la bascule) qui fonctionnent indépendamment des entrées de la bascule et de son horloge H.

Exemple: bascule JK

clear	preset	Q
0	1	0
1	0	1



4 Les tables caractéristique et d'excitation :

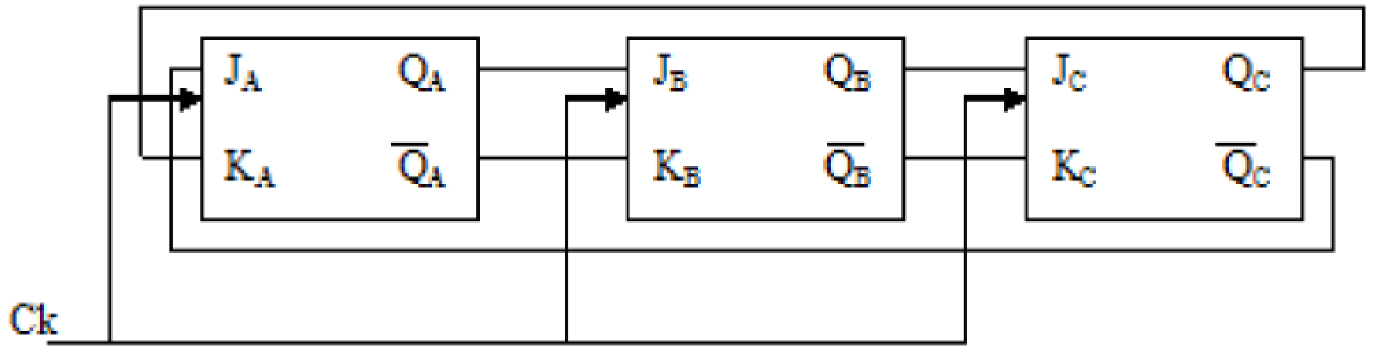
a) La table caractéristique

C'est une table qui sert à la compréhension du fonctionnement d'un circuit séquentiel qui comporte des bascules.

Exemple d'application:

Exercice 2 de la série n.4:

Soit le circuit séquentiel représenté par le schéma suivant.

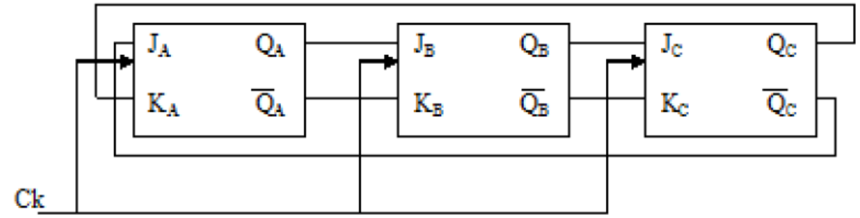


1) Donner les expressions de : JA , KA, JB,, KB et JC, KC en fonction de QA,QB et QC.

2) Etablir la table caractéristique de ce circuit. En déduire la séquence qu'il représente.

les expressions de : JA , KA, JB,, KB et JC, KC en fonction de QA,QB et QC.

A partir du circuit ci-contre on déduit les entrées des bascules suivantes:



$$J_A = \overline{Q_C}\ ,\ K_A = Q_C$$
$$J_B = Q_A\ ,\ K_B = \overline{Q_A}$$
$$J_C = Q_B\ ,\ K_C = \overline{Q_B}$$

2) Table caractéristique du circuit.

Q_A	Q_B	Q_C	$J_A\ K_A$	$J_B\ K_B$	$J_C\ K_C$	Q_A^+	Q_B^+	Q_C^+
0	0	0	1 0	0 1	0 1	1	0	0
0	0	1	0 1	0 1	0 1	0	0	0
0	1	0	1 0	0 1	1 0	1	0	1
0	1	1	0 1	0 1	1 0	0	0	1
1	0	0	1 0	1 0	0 1	1	1	0
1	0	1	0 1	1 0	0 1	0	1	0
1	1	0	1 0	1 0	1 0	1	1	1
1	1	1	0 1	1 0	1 0	0	1	1

Séquence qu'il représente:

$$000 \rightarrow 100 \rightarrow 110 \rightarrow 111 \rightarrow 011 \rightarrow 001 \rightarrow 000$$

A partir de cette table caractéristique, on déduit la séquence suivante:

b) La table d'excitation

C'est une table qu'on utilise lors de la conception des circuits séquentiels une fois que le type de bascules a été choisi.

Exemple: Table d'excitation de la bascule JK

Q	Q+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

5 Méthodes de description des circuits séquentiels :

5.1 Par des tables des transitions

Il s'agit de représenter dans cette table le nouvel état interne et les sorties correspondantes pour chaque combinaison d'état interne précédente et d'entrée.

Exemple

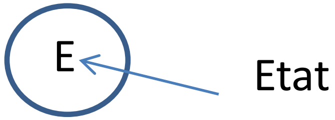
Entrée	Etat actuel		Etat future		Sortie
X	Q_1	Q_2	Q_1^+	Q_2^+	
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	1	1	1
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	1

b) Par les automates d'états :

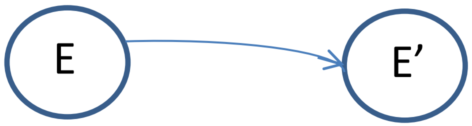
La description verbale d'un circuit séquentiel peut être modélisée plus simplement grâce à un graphe. La même information contenue dans la table des états peut être représentée graphiquement par un diagramme des états appelé aussi automate d'états.

On peut d'écrire un circuit séquentiel par un automate d'états comme suit:

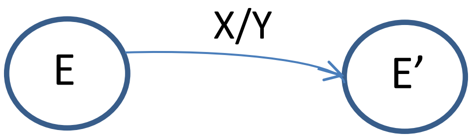
1) Chaque état est contenu dans un cercle



2) Un arc relie un cercle à un autre exprime l'évolution du circuit d'un état présent E vers un état future E'.



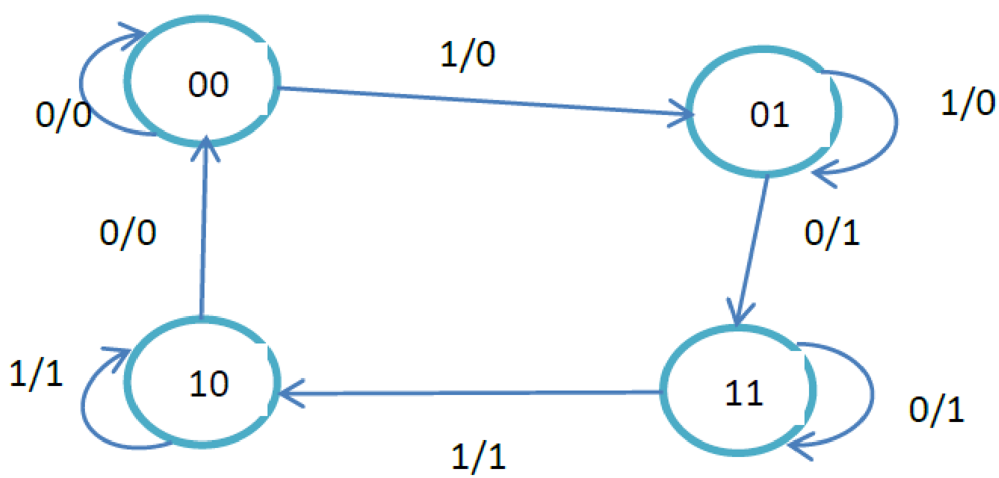
3) Sur l'arc sont représentées les combinaisons des entrées et les sorties correspondantes à une évolution d'un état vers l'état suivant.



Exemple: on reprend l'exemple de la table des transitions précédente pour réaliser l'automate Correspondant.

Entrée X	Etat actuel Q_1	Q_2	Etat future Q_1^+	Q_2^+	Sortie
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	1	1	1
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	1

Automate correspondant



6) Synthèse d'un circuit séquentiel :

La synthèse d'un circuit séquentiel permet sa construction à partir d'une description verbale du circuit séquentiel qu'on veut réaliser. La procédure de synthèse suit les étapes suivantes :

1. Traduire le problème de telle façon à décrire les fonctions du circuit à l'aide d'un automate d'états.
2. Construire la table des états à partir de l'automate.
3. Réduire la table des états afin d'obtenir un automate réduit ; il s'agit de supprimer les états redondants éventuels.
4. Déterminer le nombre de bascules réduits à utiliser (la réduction du nombre d'états se traduit en fait dans la réduction du nombre de variables d'états, qui correspond à la réduction du nombre de bascules).

Si l'automate réduit possède N états, alors le nombre de bascule est tel que :

$$2^{n-1} \leq N \leq 2^n$$

n: nombre de bascules

Exemple :

Si N=4 on a 4 états A,B,C et D

$$2^1 \leq 4 \leq 2^2 \Longrightarrow$$ Le nombre de bascule est n=2

5. Si le nombre de bascule est n, alors chaque état s'écrit sur n bits.

6. Construire la table d'excitation en choisissant le type de bascule (le but est de trouver les sorties en fonction des variables d'entrées primaire et secondaire).

7. Simplifier les expressions obtenues à l'aide des tables de Karnaugh.

8. Tracer le circuit.

Exemple de synthèse :

Exercice 3 (série n. 4) :

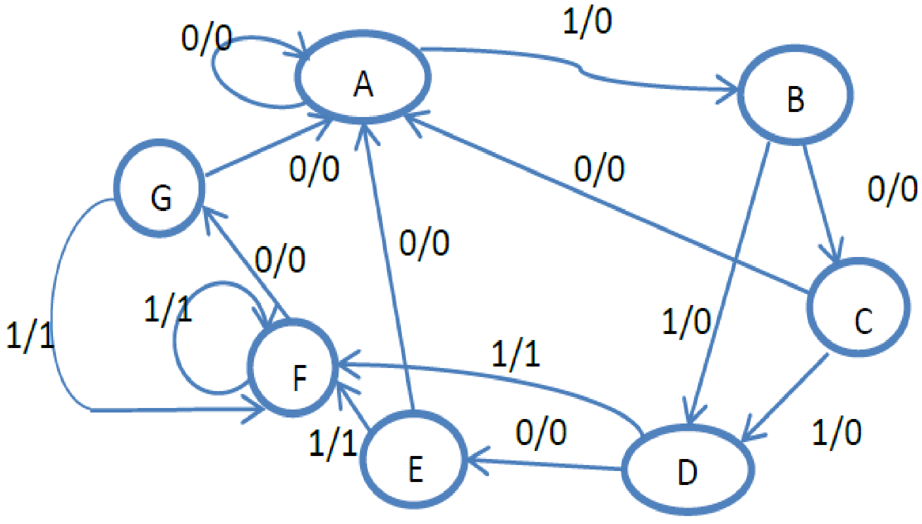
Pour décrire le fonctionnement d'un circuit séquentiel nous utilisons la matrice ci-contre:

Etat initial	Etat final	Entrée	Sortie
A	A	0	0
A	B	1	0
B	C	0	0
B	D	1	0
C	A	0	0
C	D	1	0
D	E	0	0
D	F	1	1
E	A	0	0
E	F	1	1
F	G	0	0
F	F	1	1
G	A	0	0
G	F	1	1

1. Dessiner le graphe des états(diagramme des états)

Etat initial	Etat final	Entrée	Sortie
A	A	0	0
A	B	1	0
B	C	0	0
B	D	1	0
C	A	0	0
C	D	1	0
D	E	0	0
D	F	1	1
E	A	0	0
E	F	1	1
F	G	0	0
F	F	1	1
G	A	0	0
G	F	1	1

1. Graphe des états



2. Dresser la table de transition.

2. Table des transitions

	Entré X=0		entré X=1	
Etat initial	E/Final	sortie Y	E/Final	sortie Y
A	A	0	B	0
B	C	0	D	0
C	A	0	D	0
D	E	0	~~F~~ D	1
E	A	0	~~F~~ D	1
F	~~G~~ E	0	F	1
G	A	0	F	1

3. Réduire le nombre des états.

3. Réductions du nombre des états

E⇔G ⇒ on supprime la ligne relative à l'état G et on remplace dans le reste l'état G par son équivalent E.

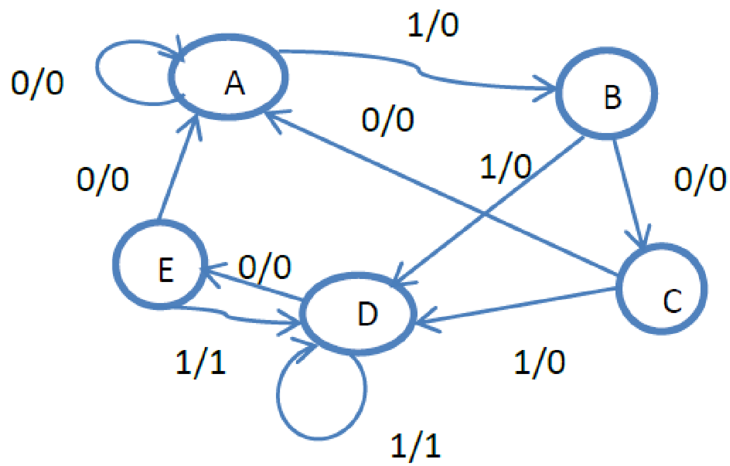
D⇔F ⇒ on supprime la ligne relative à l'état F et on remplace dans le reste l'état F par son équivalent D.

Conclusion :

Il nous reste donc 5 états qui sont : A,B,C,D et E

4. Dessiner le nouveau graphe des états.

4. Nouveau graphe des états.



On a 5 états N=5

$$2^{n-1} \leq N = 5 \leq 2^n \Rightarrow n = 3 \Rightarrow 3 bascules$$

5. Coder les états avec le code binaire dans l'ordre croissant des variables alphabétiques.

5. **Codage des états :**

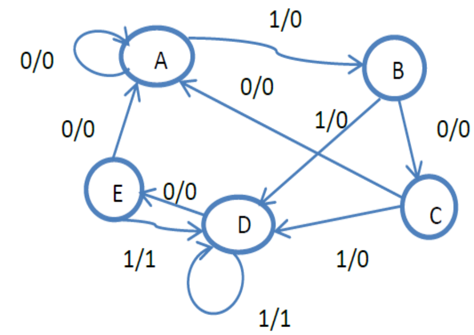
A=000 ; B=001 ; C=010 ; D= 011 et E=100

6. Dresser la table d'excitation en utilisant des bascules T.

6. **table d'excitation :**

X	Q1	Q2	Q3	Q1+	Q2+	Q3+	T1	T2	T3	Y
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	1	1	0
0	0	1	0	0	0	0	0	1	0	0
0	0	1	1	1	0	0	1	1	1	0
0	1	0	0	0	0	0	1	0	0	0
0	1	0	1	X	X	X	X	X	X	X
0	1	1	0	X	X	X	X	X	X	X
0	1	1	1	X	X	X	X	X	X	X
1	0	0	0	0	0	1	0	0	1	0
1	0	0	1	0	1	1	0	1	0	0
1	0	1	0	0	1	1	0	0	1	0
1	0	1	1	0	1	1	0	0	0	1
1	1	0	0	0	1	1	1	1	1	1
1	1	0	1	X	X	X	x	X	x	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	x	X	X	x	x

Nouveau graphe des états.



A=000
B=001
C=010
D=011
E=100

7. Donner l'équation simplifiée d'entrée de chaque bascule.

7. **Equations simplifiées d'entrée de chaque bascule**

Q2Q3 \ XQ1	00	01	11	10
00	0	0	1	0
01	1	X	x	x
11	1	X	x	x
10	0	0	0	0

$$T1 = Q_1 + \bar{X}Q_2Q_3$$

Q2Q3 \ XQ1	00	01	11	10
00	0	1	1	1
01	0	x	x	x
11	1	x	x	x
10	0	1	0	0

$$T2 = XQ_1 + \bar{Q}_2Q_3 + \bar{X}Q_2$$

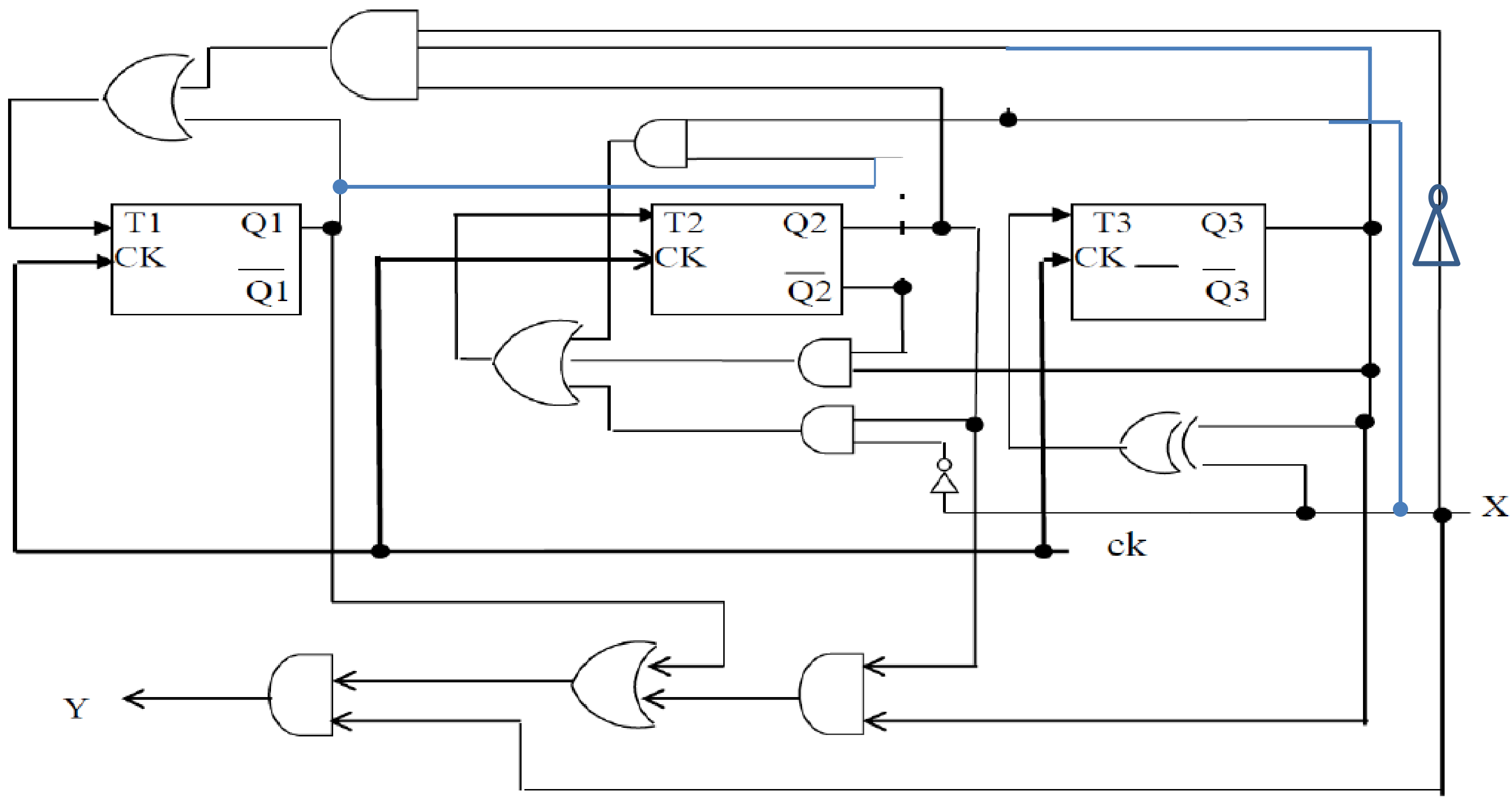
Q2Q3 \ XQ1	00	01	11	10
00	0	1	1	0
01	0	x	x	X
11	1	x	x	x
10	1	0	0	1

$$T3 = X\bar{Q}_3 + \bar{X}Q_3 = X \oplus Q_3$$

Q2Q3 \ XQ1	00	01	11	10
00	0	0	0	0
01	0	x	x	x
11	1	x	x	x
10	0	0	1	0

$$Y = XQ_1 + XQ_2Q_3 = X(Q_1 + Q_2Q_3)$$

Circuit :



T1
Q1
CK
$\overline{Q1}$
T2
Q2
CK
$\overline{Q2}$
T3
Q3
CK
$\overline{Q3}$
X
ck
Y

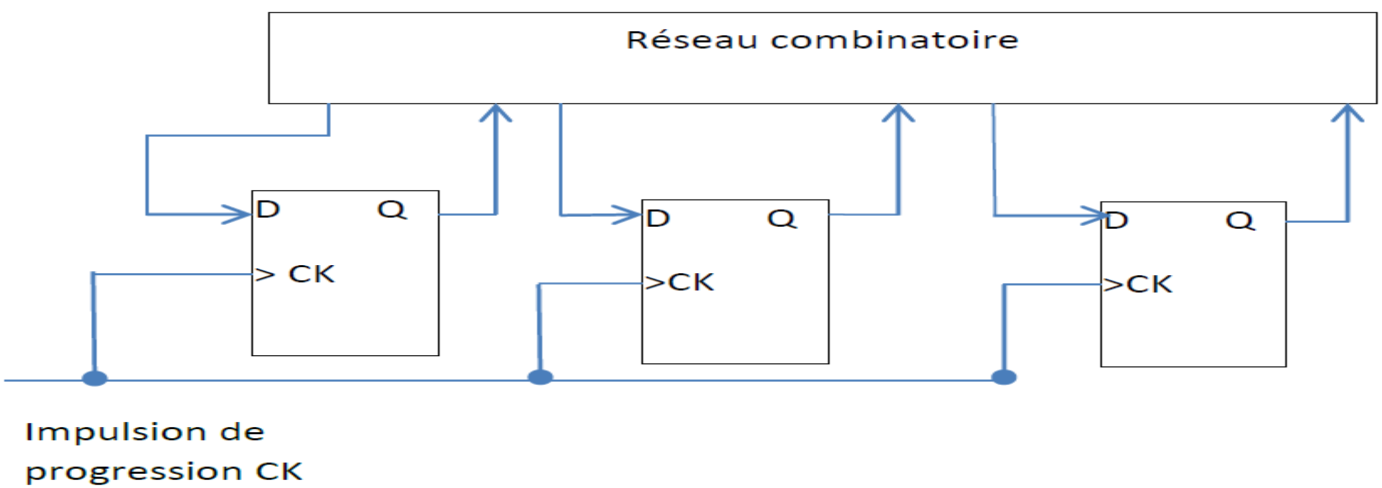
7. Les compteurs

Un compteur est un ensemble de n bascules interconnectées par des portes logiques. Il peut donc mémoriser des mots de n bits. Au rythme d'une horloge, il peut décrire une séquence déterminée. Il ne peut y avoir au maximum que 2^n combinaisons. Ces états restent stables et accessibles entre les impulsions d'horloge. Le nombre total N des combinaisons successives est appelé le modulo du compteur. On a $N \leq 2^n$.

Il existe deux types de compteurs: synchrones et asynchrones

a) Compteur synchrone :

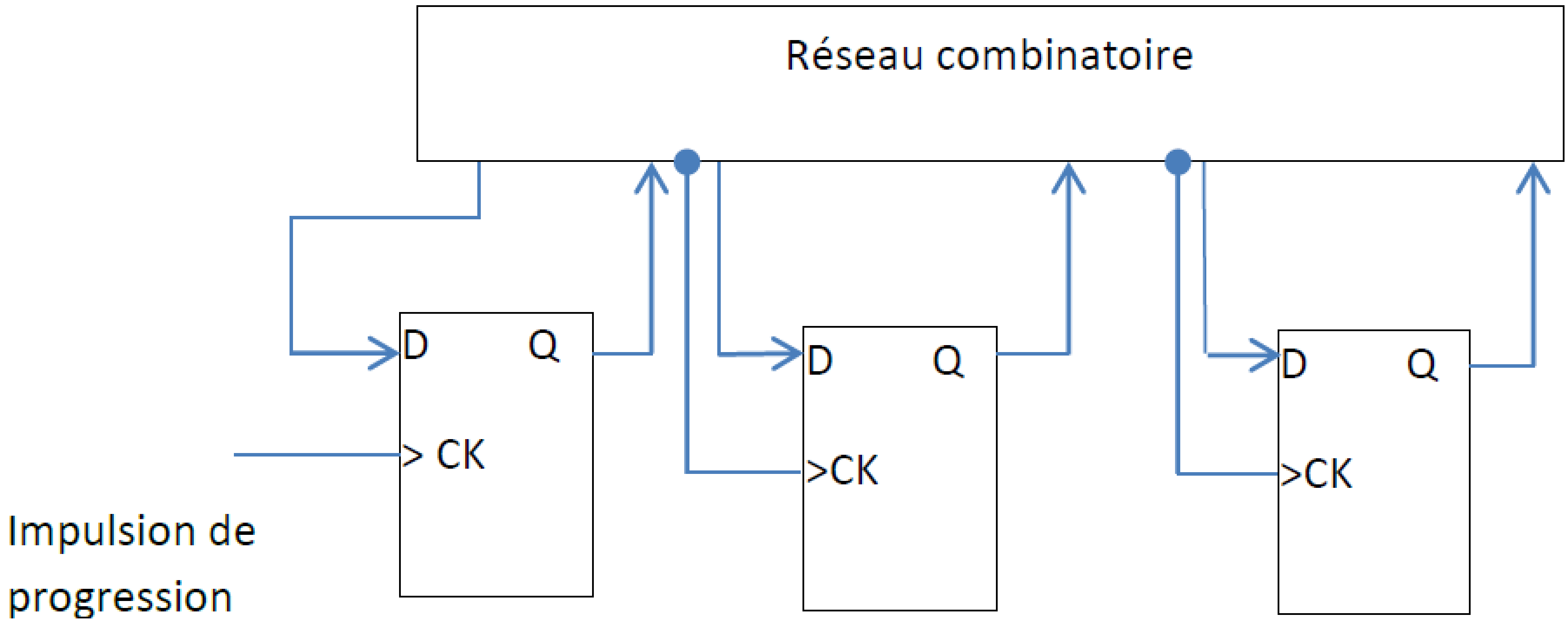
L'impulsion de progression (horloge) est appliquée directement à toutes les entrées horloges des bascules, tandis qu'un réseau combinatoire calcule les fonctions agissant sur les entrées des bascules synchrones (J K, D, T ou RS) associées. Dans cette structure toutes les bascules commutent en même temps, après un front déterminé du signal de l'horloge.



Structure d'un compteur synchrone

b) Compteur asynchrone :

Dans ce type de structure, on applique l'horloge sur l'entré horloge de premier étage, les autres entrés d'horloge recevant des fonctions provenant de l'état des étages du compteur. En effet les étages ne basculent plus en synchronisme avec l'impulsion d'horloge mais avec les transitions des étages qui les commandent. On dit que la progression est asynchrone.



Structure d'un compteur asynchrone

7.1 Exemple de synthèse d'un compteur binaire synchrone modulo 2^n :

Exemple : compteur à 3 bits modulo N=8=2^3

Séquence :

000→001→010→011→100→101→110→111 (→ 000)

Réalisation avec les bascules D :

a) Table d'excitation :

Q_2	Q_1	Q_0	Q_2+	Q_1+	Q_0+	D_2	D_1	D_0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

b) Simplification des équations :

Q1Q0 / Q2	00	01	11	10
0	0	0	1	0
1	1	1	0	1

Q1Q0 / Q2	00	01	11	10
0	0	1	0	1
1	0	1	0	1

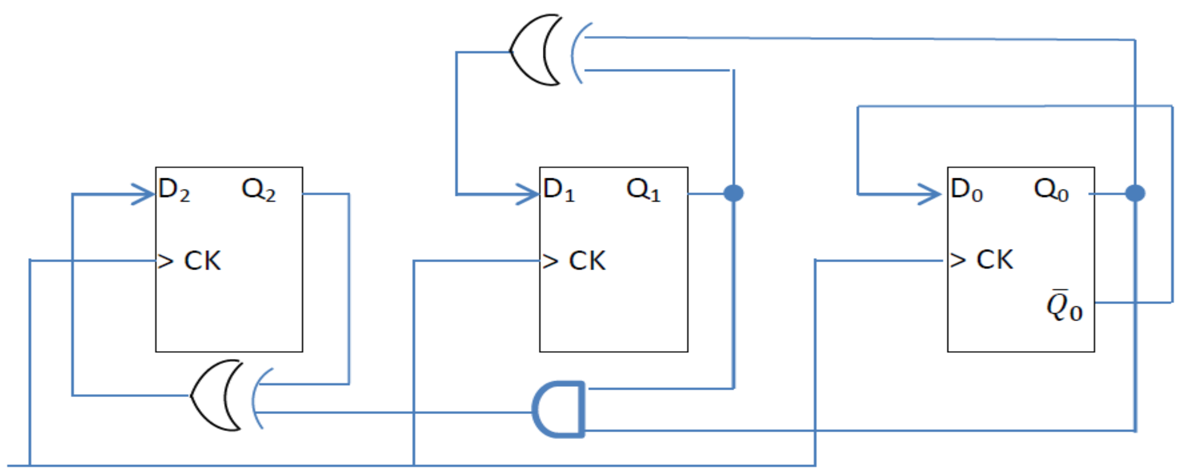
$$D_2 = Q_2\bar{Q}_1 + Q_2\bar{Q}_0 + \bar{Q}_2 Q_1 Q_0$$

$$D_2 = Q_2 \oplus (Q_1 Q_0)$$

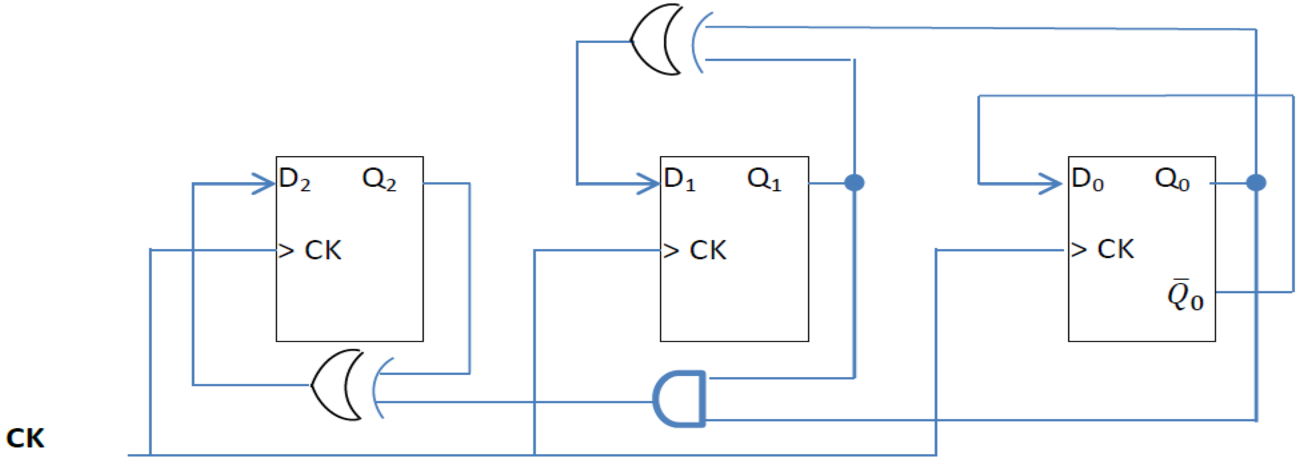
$$D_1 = \bar{Q}_1 Q_0 + \bar{Q}_1 Q_0 = Q_0 \oplus Q_1$$

$$D_0 = \bar{Q}_0$$

c) Circuit :

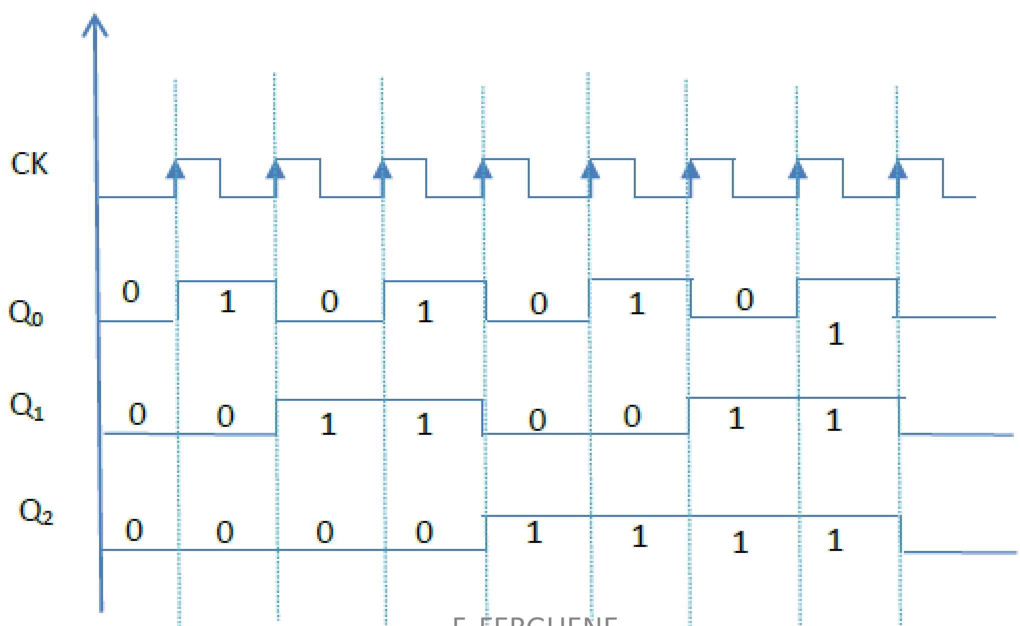


CK



Compteur modulo 8

Chronogramme:

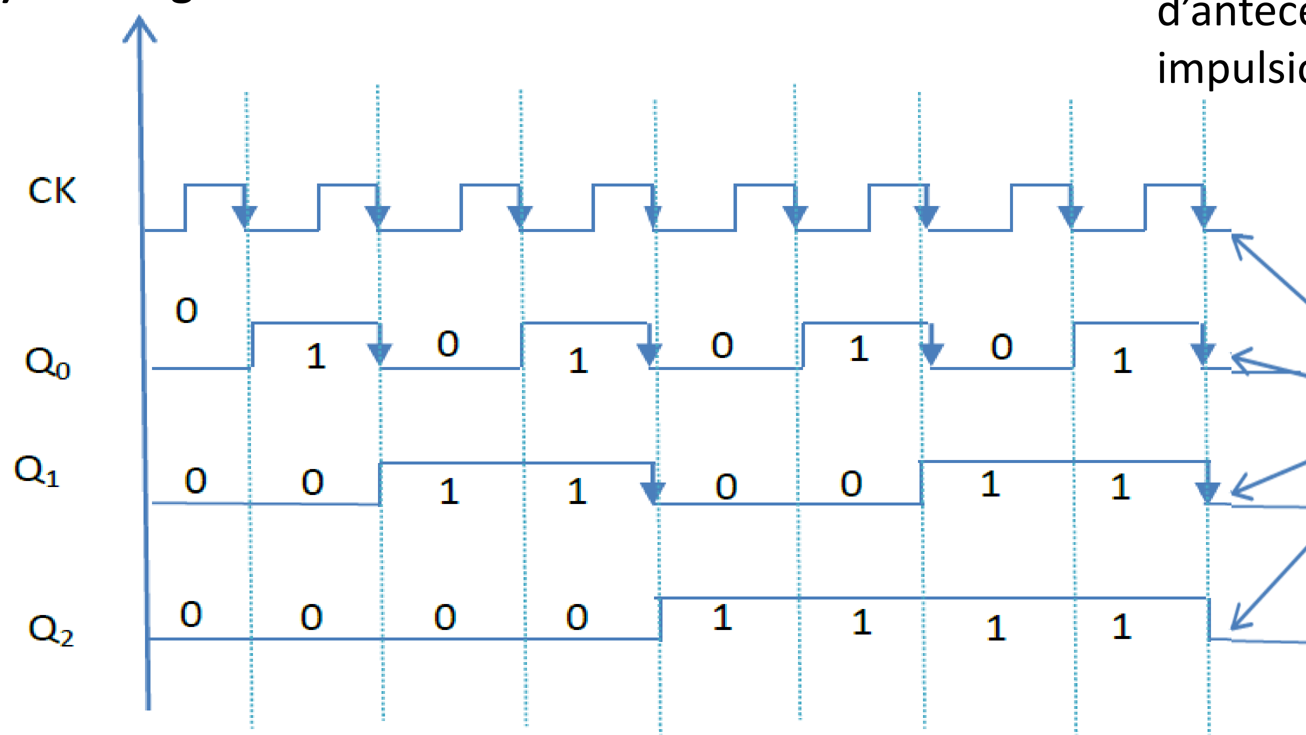


7.2 Exemple de synthèse d'un compteur binaire asynchrone basé sur l'analyse des transitions

a) Table des transitions :

Valeur	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

b) Chronogramme de fonctionnement :



On Remarque que Q_2 change d'état à chaque fois que l'étage Q_1 passe de '1' à '0' .

Même remarque entre (Q_0,Q_1)et (CK , Q_0)

c) Analyse du chronogramme :

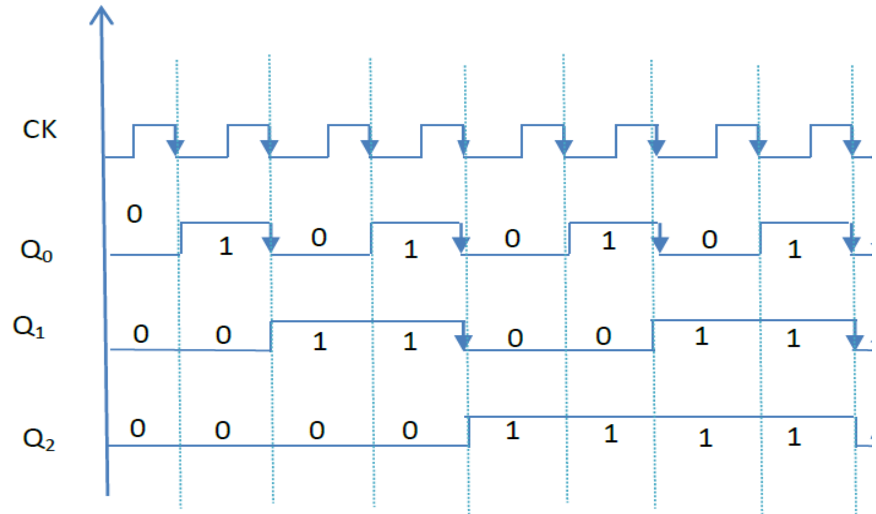
On constate en analysant les transitions du chronogramme ci-dessous, qu'un étage change d'état si l'étage précédent passe de l'état 1 vers l'état 0 et conserve son état, dans les autres situations. L'étage Q_0 qui n'a pas d'antécédent commute à chaque impulsion d'horloge.

Description du comportement des étages d'un compteur asynchrone progressif :

- A chaque front descendant de CK, on aura

$$Q_0^+ = \bar{Q}_0$$

Si on utilise une bascule T on aura $Q_0^+ = \bar{Q}_0 \rightarrow T_0 = 1$



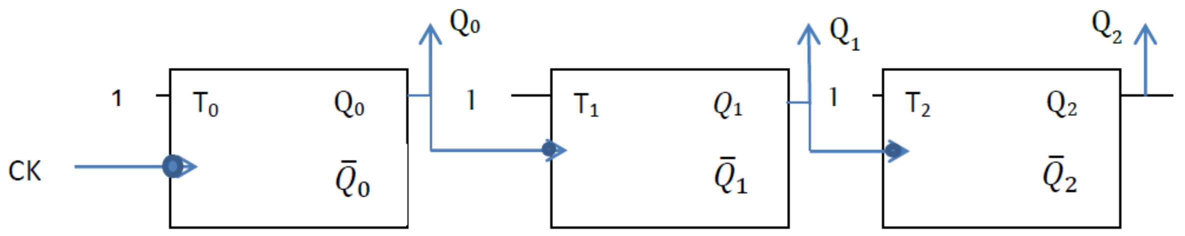
- A chaque front descendant de Q_0, on aura $Q_1^+ = \bar{Q}_1$

  Si on utilise les bascules T on aura $Q_1^+ = \bar{Q}_1 \rightarrow T_1 = 1$

- A chaque front descendant de Q_1, on aura $Q_2^+ = \bar{Q}_2$

  Si on utilise une bascule T on aura $Q_2^+ = \bar{Q}_2 \rightarrow T_2 = 1$

Circuit :



Remarques :

- Pour trouver la séquence d'un compteur synchrone existant on utilise la table caractéristique de son circuit, et pour trouver la séquence réalisée par un compteur asynchrone existant, on élabore le chronogramme régissant le fonctionnement de son circuit.

- Pour les compteurs asynchrones on va se limiter, dans les applications, à l'analyse de ce type de compteurs.

8. Les registres

Introduction

Un registre est un circuit séquentiel constitué à partir d'un certain nombre de bascules interconnectées à l'aide de portes logiques, dont la fonction est de mémoriser temporairement une information à n bits en vue de son transfert dans un autre circuit. Un registre à n bits est composé de n bascules. Il peut stocker n'importe qu'elle information binaire de n bits.

Il existe deux types de registre :

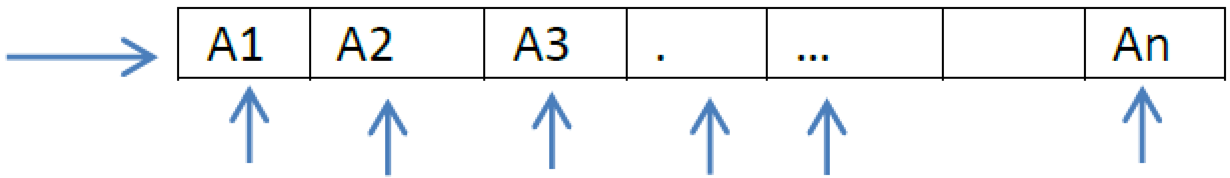
- Registre de mémorisation
- Registre de décalage

8.1 Registre de mémorisation

Un registre permet la mémorisation de n bits. Il est donc constitué de n bascules, mémorisant chacune un bit. L'information est emmagasinée sur un signal de commande et ensuite conservée et disponible en lecture. Donc les opérations qu'on peut réaliser sur ce type de registre sont la lecture et l'écriture.

On peut distinguer deux types de registres mémoires :

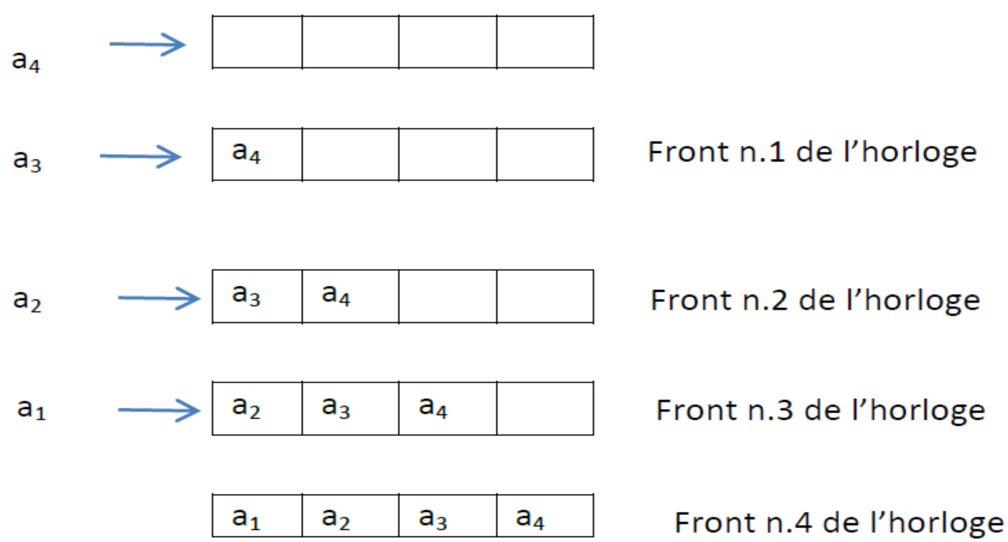
- A chargement parallèle
- A chargement série



8.2 **Registre** à **décalage**

Dans un registre à décalage, les bascules sont interconnectées de façon à ce que l'état logique de la bascule de rang **I** puisse être transmis à la bascule du rang **I+1** ou **I-1** quand un signal d'horloge est appliqué à l'ensemble de bascules. L'information est présentée séquentiellement bit après bit à l'entrée de la première bascule. A chaque signal d'horloge un nouveau bit est introduit pendant que ceux déjà mémorisés sont décalés d'un niveau dans le registre.

Exemple :



8.2.1 **Différents types de décalages**

Il existe 03 types de décalages :

- Décalage à droite
- Décalage à gauche
- Décalage circulaire

a) **Décalage à droite**

Exemple

1 -->

0	0	1	1

Avant

1	0	0	1

Après

b) Décalage à gauche

Exemple

1	0	0	1

<--0

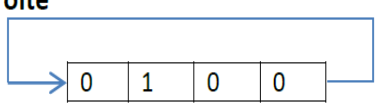
Avant

0	0	1	0

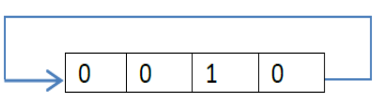
Après

c) Décalage circulaire

A droite

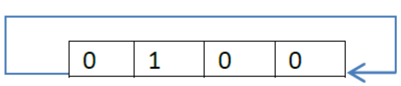


Avant

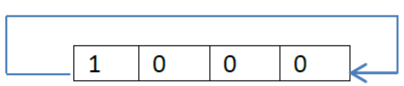


Après

A gauche



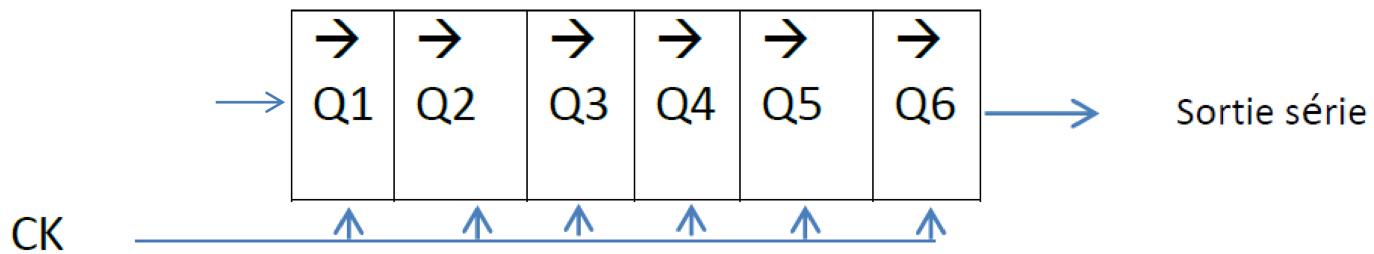
Avant



Après

8.2.2 Différents types de circuits de décalage :

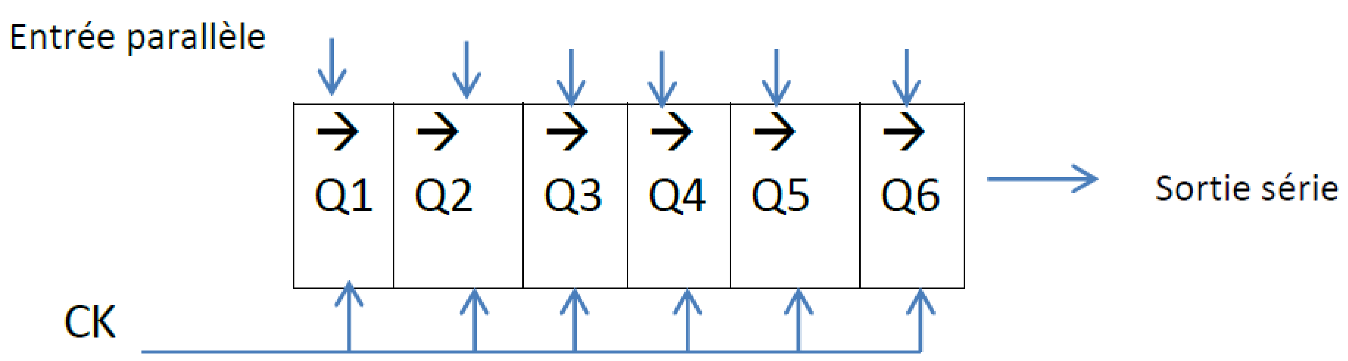
a) Registre d'entrée série sortie série



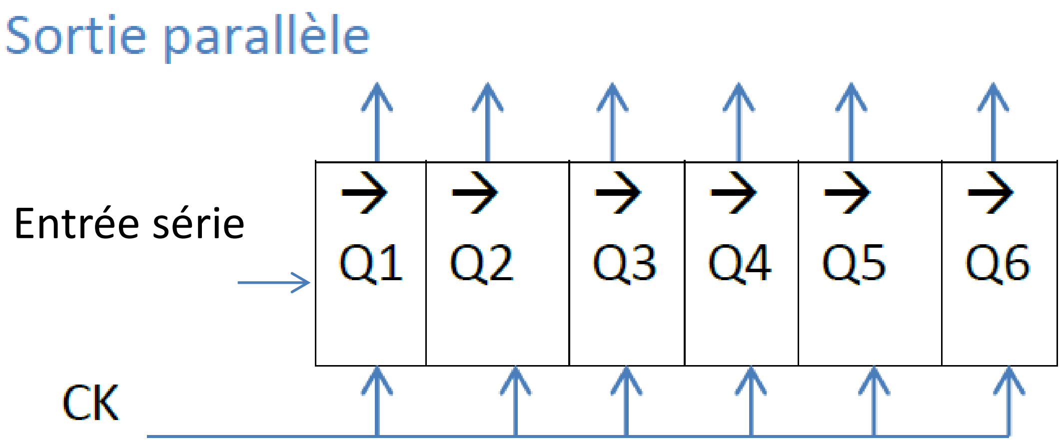
Remarque :

Ce registre est utilisé comme dispositif d'introduction d'un retard dans la transmission d'information série.

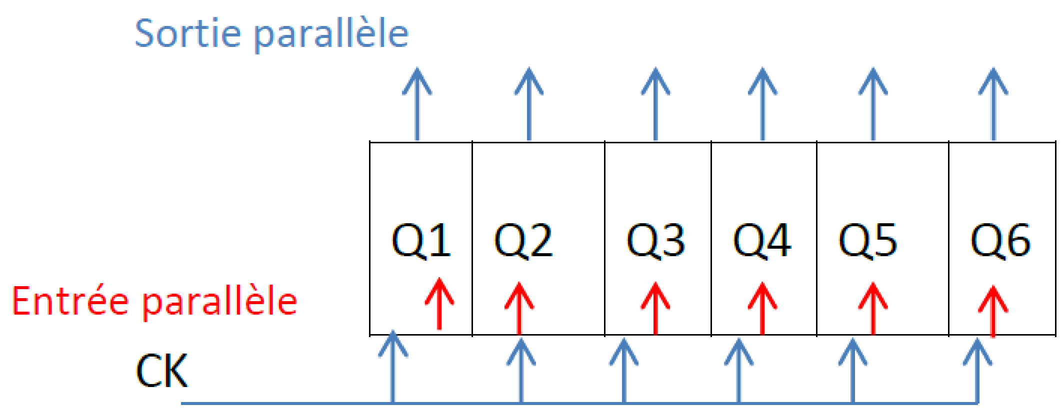
b) Entrée parallèle sortie série :



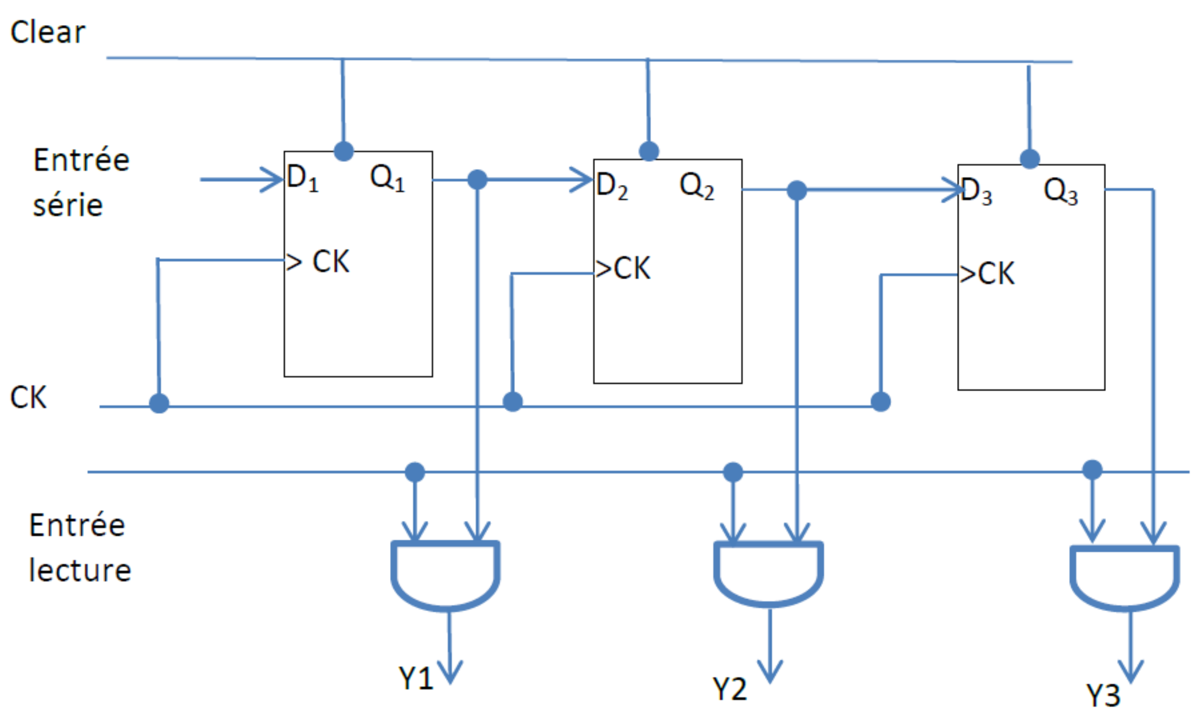
c) Entrée série sortie parallèle :



d) Entrée parallèle sortie parallèle



8.2.3 Exemple de circuit à entrée série et lecture parallèle utilisant des bascules D.



Clear : permet d'initialiser le registre (remise à zéro des bascules)

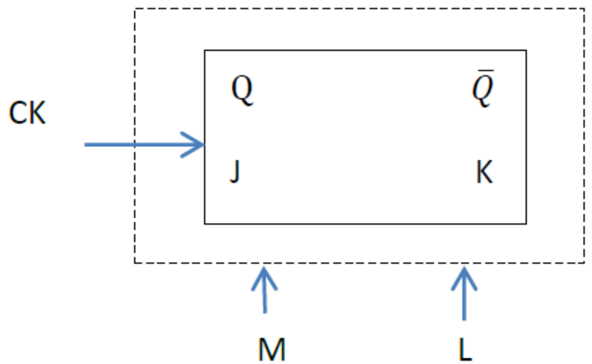
Entrée série : Par laquelle on injecte des bits '0' ou '1'.

Entrée lecture : Quand elle est mise à '0', la lecture sur les Yi (i=1,2,3) est invalide (sortie '0'), et quand elle est mise à '1' on lit le mot Y(Y=Y1Y2Y3).

8.3 Exemple de synthèse d'un registre à chargement parallèle:

Un registre à n bits composé de n bascules peut charger n'importe quel mot binaire de n bits et le mémorise. L'information à mémoriser se présente de façon parallèle aux entrées des bascules.

Soit à charger un mot M à un bit dans une bascule JK commandée par une entrée Load (L)



Fonctionnement :

- Si L=0, implique : pas de changement (état précédent)
- Si L=1 implique chargement du mot M

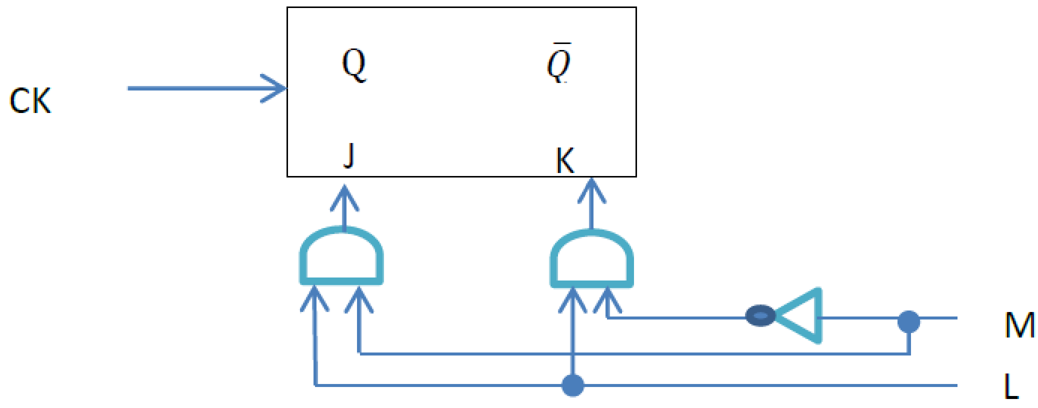
Table de vérité :

L	M	J	K	opération
0	X	0	0	Pas de chargement
1	0	0	1	Charger 0
1	1	1	0	Charger 1

On déduit que :

$$K = L.\overline{M}$$
$$J = L.M$$

Circuit :



Généralisation à un mot M de n bits (M=M0 M1…..Mn-1)