

Arquitetura do Conjunto de Instruções

Discentes: Fábio Leoli Junior

Fernando Chalita Cavalcanti Mansur

Instrução	OpCode	Formato da Inst.
ADD	000000	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
SUB	000001	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
AND	000010	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
OR	000011	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
XOR	000100	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
CMP	000101	$C_5C_4C_3C_2C_1C_0 RS1_1RS1_0RS2_1RS2_0XXXXXX$
CMPU	000110	$C_5C_4C_3C_2C_1C_0 RS1_1RS1_0RS2_1RS2_0XXXXXX$
SLL	000111	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
SLR	001000	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
SRA	001001	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0RS2_1RS2_0XXXX$
IN	001010	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RI_0XXXXXXXX$
OUT	001011	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RO_0XXXXXXXX$
MOV	001100	$C_5C_4C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0XXXXXX$
ADDI	0100	$C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0I_7I_6I_5I_4I_3I_2I_1I_0$
ANDI	0101	$C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0I_7I_6I_5I_4I_3I_2I_1I_0$
ORI	0110	$C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0I_7I_6I_5I_4I_3I_2I_1I_0$
XORI	0111	$C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0I_7I_6I_5I_4I_3I_2I_1I_0$
LOAD	1000	$C_3C_2C_1C_0 RD_1RD_0RS1_1RS1_0OS_7OS_6OS_5OS_4OS_3OS_2OS_1OS_0$

STORE	1001	$C_3C_2C_1C_0 \text{ } RS2_1RS2_0RS1_1RS1_0OS_7OS_6OS_5OS_4OS_3OS_2OS_1OS_0$
JMP	1010	$C_3C_2C_1C_0 \text{ } X \text{ } OS_{10}OS_9OS_8OS_7OS_6OS_5OS_4OS_3OS_2OS_1OS_0$
BEQ	1100	$C_3C_2C_1C_0 \text{ } RS2_1RS2_0RS1_1RS1_0OS_7OS_6OS_5OS_4OS_3OS_2OS_1OS_0$
BLT	1101	$C_3C_2C_1C_0 \text{ } RS2_1RS2_0RS1_1RS1_0OS_7OS_6OS_5OS_4OS_3OS_2OS_1OS_0$
BHT	1110	$C_3C_2C_1C_0 \text{ } RS2_1RS2_0RS1_1RS1_0OS_7OS_6OS_5OS_4OS_3OS_2OS_1OS_0$