

## 1 2x2-Bit-Addierer

(2+5+2 Punkte)

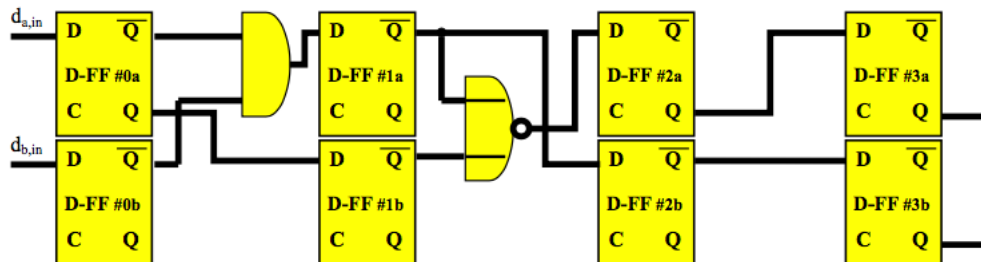
In der Vorlesung ist gezeigt worden, wie ein 2x2-Multiplizierer mit UND-/ODER-/NICHT-Gattern realisiert werden kann. Entwerfen Sie analog zu diesem Beispiel einen 2x2-Bit-Addierer mit den Eingangsgrößen  $a_1, a_0, b_1, b_0$  und den Ausgängen  $y_1, y_0$ ! Zusätzlich soll noch mit einem dritten Bit  $c$  angezeigt werden, ob ein Übertrag erfolgt ist.

1. Bestimmen Sie die Wahrheitstabelle des 2x2-Bit-Addierers!
2. Leiten Sie mittels KV-Diagramm und Vereinfachung die Funktionsgleichungen für  $c, y_1, y_0$  her!
3. Zeichnen Sie den Schaltplan der Gatter für den 2x2-Bit-Addierer!

## 2 Pipelining

(12 Punkte)

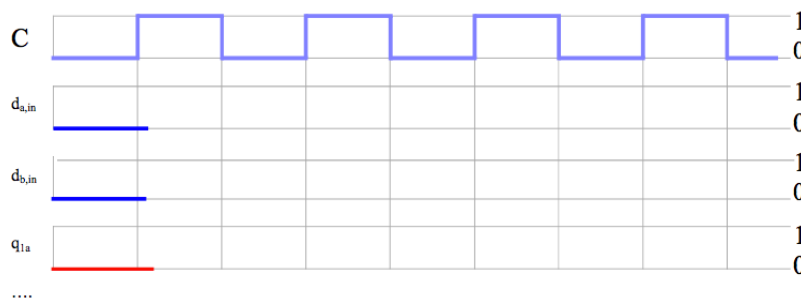
Gegeben Sei die folgende Pipeline, bestehend aus D-Flipflops.



Alle Flipflops seien mit 0 initialisiert. Alle  $C$ -Eingänge seien an den gleichen Takt angeschlossen. Für die Eingänge gelte folgendes Muster. Jeder Wert steht für einen Taktzyklus ( $d_{a,in}, d_{b,in}$ ).

(0, 0), (1, 1), (1, 0), (0, 1), (1, 1), (0, 0), (0, 0)

- a) Stellen Sie die Ausgänge  $Q$  der D-Flipflops #3a und #3b am Ausgang der Pipeline in einem Zeitdiagramm der folgenden Form dar!



### 3 Asynchroner Zähler (0-5, 0-9): Recherche und Entwurf (12 Punkte)

Entwerfen Sie einen 4-Bit und 3-Bit asynchronen Zähler aus D-Flipflops!

Diese D-Flipflops besitzen einen  $Q$ - und  $\bar{Q}$ -Ausgang und außerdem einen Reset(R)-Eingang, welcher das Flipflop zurück auf Null setzt.

1. Entwerfen Sie für die Zähler eine Rücksetzbedingung, welche den 4-Bit-Zähler so zurücksetzt, dass von 0-9 gezählt wird und für den 3-Bit-Zähler, dass von 0-5 gezählt wird.
2. Welche Probleme können bei asynchronen Zählern auftreten?
3. Warum wären diese Probleme für eine Schaltung, welche mit 1 Hz getaktet wird und als Anzeige LEDs verwendet zu vernachlässigen?