

FLIP FLOP S/R

martedì 1 novembre 2022 20:51

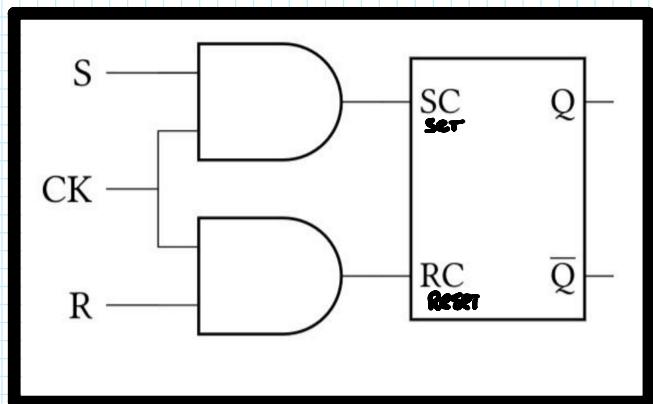
FLIP FLOP S/R

IL FLIP FLOP È UN CIRCUITO CHE, A INTERVALLI PERIODICI, CAMPIONA L'INPUT PER CAPIRE SE DEVE MEMORIZZARE AL SUO INTERNO IL VALORE 0 o 1, O SE DEVE MANTIENERE IL INPUT PRECEDENTE.

Per farlo questo utilizziamo un segnale di CLOCK. Il clock sarà da questo punto in poi il periodo che periodicamente andrà da 0 a 1 e da 1 a 0 con un periodo da 0 a 1 che garantisca che tutto il circuito a tutta la mia rete complessa, si sia stabilizzato!

Se tutto il mio circuito si è stabilizzato, significa che io posso cominciare a vedere l'input e quindi avrò un aggiornamento di stato.

Al latch si aggiunge un segnale di clock:



Pero' ancora ci può essere un transitorio dove questi segnali S e R possono valere 1 contemporaneamente. Si può ancora soffrire di questa cosa.

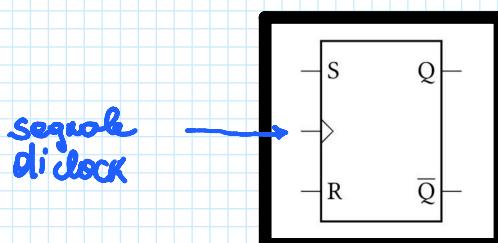
Ciascuno di questi due segnali viene messo in AND col mio segnale di sincronismo (clock).

Il clock determina qual'è il momento in cui io posso effettivamente leggere questi dati. Se R è proporzionale alla mia computazione arrivata al mio latch.

Fin tanto che il clock vale zero l'and con qualsiasi cosa a zero, sarà zero. quindi mi input prendono zero zero, è va bene.

quando il clock vale 1, se S è zero e R è 1, invertirò. Se S=1, R=0 va bene.

QUESTO CIRCUITO FLIP FLOP S/R È FORMATO CON QUESTE SCATOLE:



- È ancora possibile che gli input vengano impostati a $S = 1$ e $R = 1$
- Possiamo costruire un circuito che prevenga l'insorgere di configurazioni oscillanti

QUINDI È ANCORA POSSIBILE avere 1 e 1 su S e R, anche quando la rete si è

QUINDI È ANCORA POSSIBILE avere 1 e 1 su S e R, anche quando la rete si è STABILIZZATA. Perché S e R possono venire anche da CIRCUITI DIFFERENTI.

QUINDI ANCORA PUÒ SOFFRIRE DI UNA CONDIZIONE OSCILLANTE.

QUESTO FLIP FLOP S/R.
e_r e_s e_r

Possiamo progettare un FLIP FLOP IN cui PREVENIAMO le INSORGERE di SITUAZIONI OSCILLANTI, QUESTO FLIP FLOP SI CHIAMA:

FLIP FLOP JK
↳ JACK KELBY