

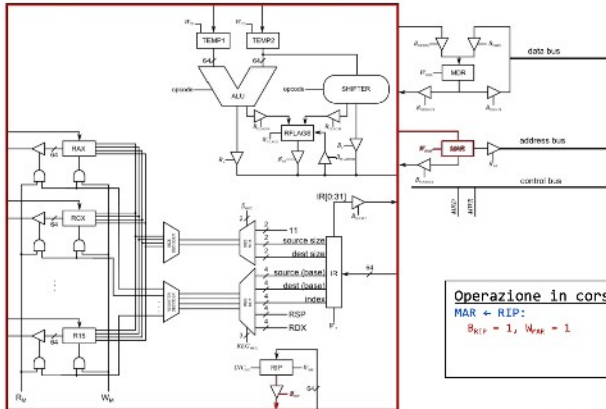
INTERAZIONE CON LA MEMORIA

LA MEMORIA È UNA RETE COMBINATORIA CHE VIAGGIA AD UNA VELOCITÀ INFERIORE. QUINDI AVIAMO LA NECESSITÀ DI DI FARE METTERE D'ACCORDO LA VELOCITÀ DEL CLOCK DEL PROCESSORE CON LA VELOCITÀ DELLA MEMORIA;

QUINDI SERVE UN PROTOCOLLO DI INTERAZIONE TRA PROCESSORE E MEMORIA.

L'INPUT ALLA MEMORIA DEVE RIMANERE STABILE FINCHÉ LA RETE COMBINATORIA DELLA MEMORIA NON S'È STABILIZZATA.

FASE DI FETCH

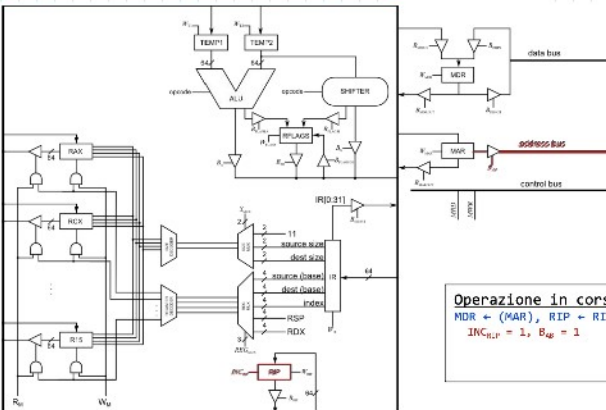


Operazione in corso:

$MAR \leftarrow RIP$

$B_{RIP} = 1, W_{MAR} = 1$

1



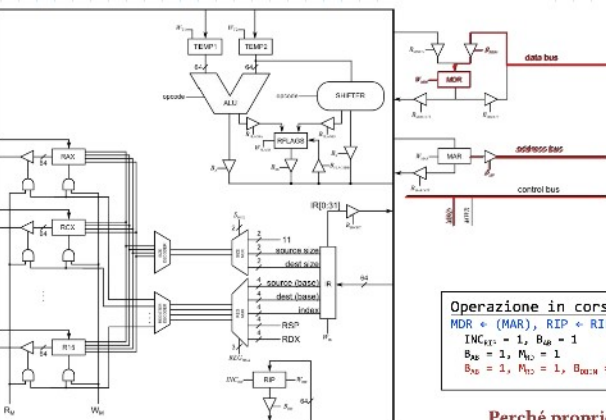
Operazione in corso:

$MAR \leftarrow (MAR), RIP \leftarrow RIP + 8$

$INC_{RIP} = 1, B_{MAR} = 1$

2

quà la rete combinatoria deve rimanere stabile



Operazione in corso:

$MAR \leftarrow (MAR), RIP \leftarrow RIP + 8$

$INC_{RIP} = 1, B_{MAR} = 1$

$B_{MAR} = 1, B_{RIP} = 1, B_{MAR} = 1, W_{MAR} = 1$

3

LATENZA

Perché proprio 3 cicli? di clock?

- Parametri costruttivi delle memorie determinano la latenza di accesso
- Questi parametri sono alcuni dei fattori di compatibilità tra memoria e CPU

→ qual'è il tempo che il processore deve aspettare ogni qual volta che richiede alla memoria di eseguire un comando di lettura o scrittura;



028: 2:41

↓
è quello che legge
sul DATA BUS È UN
DATO VALIDO?



028 : 2:41

'**SUL DATA BUS È UN DATO VALIDO**'

IL PRIMO NUMERO CHE VIENE UTILIZZATO VIENE CHIAMATO :

- **Column Address Strobe (CAS) latency**

La latenza che la memoria mostra al processore tra il momento in cui viene inviato un comando di lettura e il momento in cui i dati sono disponibili.

• Espresso in cicli di clock per le DRAM sincrone

• Espresso in nanosecondi per le DRAM asincrone

- **Ritardo tra indirizzo di riga e indirizzo di colonna**

C'è il registro **l'ampore** che ci copia una determinata riga e successivamente viene selezionata la colonna. Questo ritardo tra indirizzo di riga e colonna è il numero minimo di cicli di clock che il processore deve attendere, dal momento in cui copia la riga nel **l'ampore** e passa a leggere alla colonna.

- **Ritardo tra indirizzo di riga e indirizzo di colonna:** Il numero minimo di cicli di clock necessari tra l'apertura di una riga di memoria e l'accesso alle colonne al suo interno. Sommato alla CAS latency dà il tempo necessario a leggere il primo bit dal data bus.

- **Tempo di precaricamento di riga:** tempo necessario in caso di conflitto per caricare una riga
- **Tempo di attivazione di riga:** cattura il tempo di refresh