

b) Solo los desaciertos modificarán el estado del cache'.
 Denotaremos t_i al i -ésimo estado del cache', LC una línea de esta, $C[LC]$ y $E[LC]$ el contenido y etiqueta (respec.) que dicha línea almacena. Sea D la dirección de memoria a acceder, $L = D/16$ y $M[L]$ el contenido en L de la memoria. Notemos que $LC = L \% 256$ son los dos dígitos menos significativos de L :

línea cache'	etiqueta	contenido
t_0 : e2	4e2	
45	c45	
2a	92a	

1. $D = c450 \Rightarrow L = c45 \Rightarrow LC = 45$

$E[LC] = L \Rightarrow$ **Acierto**

2. $D = 92ac \Rightarrow L = 92a \Rightarrow LC = 2a$

$E[LC] = L \Rightarrow$ **Acierto**

3. $D = 5e24 \Rightarrow L = 5e2 \Rightarrow LC = e2$

$E[LC] \neq L \Rightarrow$ **Desacierto**

línea cache'	etiqueta	contenido
t_1 : e2	5e2	
45	c45	
2a	92a	

4. $D = 5e20 \Rightarrow L = 5e2 \Rightarrow LC = e2$

$E[LC] = L \Rightarrow$ **Acierto**

5. $D = 92a8 \Rightarrow L = 92a \Rightarrow LC = 2a$

$E[LC] = L \Rightarrow$ **Acierto**

6. $D = 2450 \Rightarrow L = 245 \Rightarrow LC = 45$

$E[LC] \neq L \Rightarrow$ Desacuerdo

línea caché	etiqueta	contenido
e2	5e2	
45	245	
2a	92a	

7. $D = 4e20 \Rightarrow L = 4e2 \Rightarrow LC = e2$

$E[LC] \neq L \Rightarrow$ Desacuerdo

línea caché	etiqueta	contenido
e2	4e2	
45	245	
2a	92a	

8. $D = 92a4 \Rightarrow L = 92a \Rightarrow LC = 2a$

$E[LC] = L \Rightarrow$ Acuerdo

	línea caché	etiqueta	contenido	} Estado Final del caché
$t_s:$	e2	4e2		
	45	245		
	2a	92a		

C)

2)

Ciclo	Fetch	Decode	Execute
1	A		
2	B	A	
3	C	B	A
4	D	C	B
5	E	D	C
6	F	E	D
7	G	F	E
8	H	G	F
9	R		
10	S	R	
11		S	R
12			S

A sub a3, s5, t2
 B add a5, t2, s4
 C andi a3, a3, 255
 D addi a3, a3, 1
 E ori a5, a5, 15
 F bgt a3, s1, R
 G add ...
 H sub ...
 I xor ...
 J andi ...

 R sub a3, a3, a5
 S ori a3, a3, 255

salto

ii)

Ciclo	Fetch	Decode	Execute
1	A B		
2	C D	A B	
3	E F	C D	A B
4		D	C
5	G H	E F	D
6	I J	G H	E F
7	R S		
8		R S	
9		S	R
10			S

salto