



1. Pode-se definir quatro grandes fases (gerações) na história dos computadores. Defina estas fases descrevendo a tecnologia construtiva utilizada que marcou cada geração.
2. i) O que é a “lei” de Moore? ii) Qual seu impacto no desenvolvimento de sistemas computacionais? iii) Discorra se a “lei” de Moore é ainda válida ou não.
3. Diferencie os termos “Arquitetura de Computadores” e “Organização de Computadores”.
4. O que é a arquitetura von Neumann e quais são seus módulos bases? Faça um esboço dos módulos da arquitetura.
5. O que é o *datapath* de uma arquitetura de computador?
6. Explique o que são memórias primária, secundária, terciária dando exemplos e justificando a necessidade/utilização de cada uma delas.
7. Essencialmente, qual a diferença entre a máquina de Von Neumann e suas predecessoras?
8. Descreva sucintamente o que é um ciclo de instrução? Esboce o formato de uma instrução em relação ao *opcode* e o *operand*.
9. Quais são as vias constituintes de um barramento de interconexão? Quais são os aspectos fulcrais para o projeto de um barramento?
10. Esboce a sincronização entre os sinais nas vias de um barramento assíncrono para uma operação de escrita em memória.
11. Considerando um barramento com método de acesso baseado em um árbitro centralizado, esboce a sincronização dos sinais para uma CPU requerendo acesso (ao barramento).
12. Quando se diz que a geração atual é de processadores de 64 bits, pergunta-se: i) a que se refere os 64bits? ii) que elemento do processador é responsável por esta definição? Qual o impacto na arquitetura da máquina?
13. Quais são os aspectos chaves na definição da memória de um sistema computacional?
14. Esboce uma célula de memória identificando os sinais fundamentais às operações.
15. Elabore um quadro com os tipos de memórias baseadas em semicondutores, especificando: o tipo (RAM, ROM, etc); a categoria (apenas leitura, leitura e escrita, etc); Volatilidade; e Mecanismo de escrita.
16. Em relação à hierarquia das memórias, elabore um diagrama que especifique a variação do tempo de acesso, capacidade e custo por *bit* ao longo do *datapath*.



17. Esboce o diagrama de uma SDRAM síncrona na qual os dados armazenados são arranjados em linhas e colunas e são necessários dois ou mais chips de memória para atender os requisitos da memória principal da máquina.
18. No slide 17 do conjunto de slides S05 (*Computer Memory Organization*) identifique os parâmetros de temporização apresentados no slide 15.
19. No slide 19 do conjunto de slides S05 identifique os parâmetros de temporização apresentados no slide 15 que se aplicam a esta figura.
20. Comente a estratégia de *interleaving* das figuras apresentadas no slide 20 do conjunto de slides S05.
21. Descreva o que é o princípio da localidade e como ele se aplica às instruções em termos dos *opcode* e dos *operands*.
22. Em relação às interrupções, por que os processadores apresentam duas linhas (pinos) para cada interrupção (*Interrupt Request* e *Interrupt Ack*)?
23. Justifique por que vários bancos de memória (pentes) são preferíveis em detrimento de um único banco.
24. Considerando uma via de dados de 12 bits, com correção de erro (ECC), e considerando que uma leitura de memória retornou '10110001010110001', identifique os bits de dados e os bits de ECC, bem como analise a sequência de bits.
25. Cite dois elementos chaves para a especificação de um sistema de Cache.
26. Para uma máquina com palavra de 32 bits, blocos de 2k words, e uma memória Cache de 2M bytes, esboce a estrutura do cache e indique qual o slot ocupado pela referência de memória 0x3E402A5B, para *direct mapping*.
27. Cite uma vantagem e uma desvantagem do algoritmo *Direct Mapping* para alocação de slot em *cache*.
28. No conjunto de slides S07 (*Cache Memory*), no slide 13, explique a alocação da entrada 0x3FFF da Memória Cache.
29. Suponha que foi requerido o projeto de uma máquina com memória cache Set Associative. Elabore o esboço do endereçamento para uma memória RAM L3 de 1GB e memória cache L2 de 256KB.
30. O que significa para uma arquitetura os termos *Unified* e *Split* em relação à memória Cache.