

# Aula 11 – Interrupções e exceções.

1.0 - Qual a diferença entre as exceções NMI e IRQ?

IRQ - é uma interrupção de hardware que pode ser ignorada por configurar um bit em um registro da máscara de interrupção (IMR) bit-mask

NMI - é uma interrupção de hardware que carece um bit-mask associado, então isto nunca pode ser ignorado. NMIs são frequentemente usados por timers, especialmente por watchdog timers

2.1 - Qual a diferença entre as exceções IRQ e ISR?

IRQ (Interrupt Request) , São interrupções disparadas por hardwares.

ISR (Interrupt Service Routine), é o código que será executado em cada interrupção.

2.2 - No ARM que utilizamos no curso, quantas são as interrupções suportadas e qual a sua menor prioridade ?

No Arm Cortex M4 temos 256 interrupções sendo a menor prioridade 34. Porém na placa utilizada em sala temos apenas 35 interrupções com a menor prioridade sendo 15.

2.3 - Descreva o uso do FIQ.

O FIQ ( Fast Interrupt Routine) é uma interrupção para rotinas que necessitam ser processadas “Em tempo real” como Mouse e Teclado ,e comunicação via placa de rede.

2.4 - No diagrama anterior, quem possui maior prioridade IRQ ou FIQ ?

A maior prioridade é do FIQ.

2.5 - No datasheet, secção 11.1 informa o ID do periférico que está associado com a sua interrupção. Busque a informação e liste o ID dos seguintes periféricos :

- PIOA – ID 11.
- PIOB – ID 12.
- TC0 – ID23.

2.6 - O que aconteceria caso não limpemos a interrupção ?

Executaria novamente a interrupção, sistema em looping.

2.7 - O que é latência na resolução de uma interrupção, o que é feito nesse tempo?

(Interrupt latency).

A latência de interrupção é o tempo da afirmação de uma interrupção de hardware até a primeira instrução do controlador de interrupção do manipulador do dispositivo ser executada. O sistema operacional deixa as interrupções totalmente habilitadas o tempo todo e a latência de interrupção é normalmente insignificante.

2.8 - De quantos ciclos é a latência do ARM Cortex M4 ?

É composta de 12 ciclos.

4.1 - Via documentação disponível no ASF, verifique as funções disponíveis para controlar o PIO. Qual a semelhança com as funções desenvolvidas em sala?

Olhando no link disponível com os drivers, para ATMEL SAM4S, pode ser visto que as funções são semelhantes às usadas em sala de aula. Um exemplo é a função que habilita a interrupção:

Site da atmel:

```
tc_enable_interrupt ( Tc *      p_tc,  
                     uint32_t ul_channel,  
                     uint32_t ul_sources  
                     )
```

Usada em sala:

```
pio_enable_interrupt(PIOB, MASK_BUT_2);
```

4.2 - Via documentação disponível no ASF, descreva o uso das seguintes funções do

Timer Counter.

- `tc_init()`: Configura o TC para contador, gerador de forma de onda ou captura.
- `tc_start()`: Inicia o TC em um canal específico.
- `tc_enable_interrupt()`: Habilita a interrupção pelo TC em um canal específico.

5.1 - Qual deve ser a configuração para operarmos com interrupção no botão do kit SAM4S-EK2 ?

Falling edge detection - detecção de borda de descida.

5.2 - Com base no texto anterior e nos diagramas de blocos descreva o uso da interrupção e suas opções.

Quando o `PIO_IER` e o `PIO_IDR` estão habilitados ou desabilitados a entrada da interrupção muda, configurando e limpando o bit correspondente em `PIO_IMR`.

Quando uma entrada de edge/level é detectada num I/O, o bit correspondente no `PIO_ISR` é setado. Se o bit que for setado corresponder ao `PIO_IMR`, a linha de interrupção do PIO está declarada.

Todas as interrupções só são apagadas quando o software lê o `PIO_ISR`, ou seja, as interrupções pendentes são tratadas toda vez que a Interrupt Status Register é lida.

5.3 – Descreva as funções dos registradores :

`PIO_IER` é utilizado para habilitar a interrupção.

`PIO_IDR` é utilizado para desabilitar a interrupção.

`PIO_AIMER` utilizado para habilitar interrupções adicionais

`PIO_AIMDR` utilizado para desabilitar interrupções adicionais

`PIO_ELSR` faz a leitura do estado atual da interrupção

`PIO_FRLHSR` utilizado para acessar a queda/elevação da polaridade da detecção de eventos.