

Arquitetura ARM

Projeto de Sistemas Digitais / Arquitetura e Organização de Computadores I

UNISINOS - Universidade do Vale do Rio dos Sinos

Felipe de Oliveira Brenner e Lucas Oliveira da Silva



Introdução

- História
- Características Principais
- Organização da Arquitetura, Famílias, Versões e Aplicações
 - Família Cortex
 - Versões ARMv
 - Processador Cortex A-53
 - Memória / Cache
 - Pipeline
 - Consumo e Área
 - Performance
- Conclusão

Breve História da Advanced RISC Machine - ARM

- 1980 - Projeto da BBC Computer Literacy Project
- 1981 - Acorn Computers LTDA apresenta protótipo inicial
- 1983 - Desenvolvimento do primeiro processador RISC próprio, o ARM
- 1985 - Primeira versão comercial dos processadores
- 1990 - ARM LTDA é fundada como resultado da união entre a Acorn Computers, VLSI Technology e Apple
- Ao longo dos anos 90, a ARM tornou-se líder de mercado em processadores embarcados de alto desempenho e baixo consumo de energia



Breve História da Advanced RISC Machine - ARM

Sales of chips containing Arm cores^{[131][132][133]}

Year	Billion units	Relative size
2015	15	
2014	12	
2013	10	
2012	8.7	
2011	7.9	
2010	6.1	
2009	3.9	
2008	4.0	
2007	2.9	
2006	2.4	
2005	1.662	
2004	1.272	
2003	0.782	
2002	0.456	
2001	0.420	
2000	0.367	
1999	0.175	
1998	0.051	
1997	0.009	
Total	78.094	

Architecture Evolution



Características Principais

- RISC - Reduced Instruction Set Computing
- LOAD - STORE
- Instruções ARM e THUMB
- Pipelines de 3 a 15 estágios, tanto in-order quanto out-of-order
- Baixo consumo e alto desempenho

Famílias, Versões e Aplicações

Example ARM component	Architecture Generation	Example Application	Approximate date of introduction
ARM1	ARMv1	Acorn Computer in internal testing	1985
ARM2	ARMv2	Acorn Archimedes (Macintosh-era PC)	1987
ARM6	ARMv3	Apple Newton MessagePad 100 series	1994
ARM7TDMI	ARMv4	Game Boy Advance, Nintendo DS*, iPod	2001
ARM9E	ARMv5	Nintendo DS*, Nokia N-Gage, Airport Extreme N basestation	2004
ARM11	ARMv6	iPhone, iPhone 3G, iPod touch	2007
Cortex-A8	ARMv7	Palm Pre, iPhone 3GS	2009

** Nintendo DS incorporates both processors for different uses.*

Famílias, Versões e Aplicações

Família	Recursos notáveis	Cache	MIPS típico @ MHz
ARM1	RISC 32 bits	Nenhuma	
ARM2	Instruções de multiplicação e swap; unidade de gerenciamento de memória integrada, processador gráfico e de E/S	Nenhuma	7 MIPS @ 12 MHz
ARM3	Primeira a usar cache de processador	4 KB unificada	12 MIPS @ 25 MHz
ARM6	Primeira a aceitar endereços de 32 bits: unidade de ponto flutuante	4 KB unificada	28 MIPS @ 33 MHz
ARM7	SoC integrado	8 KB unificada	60 MIPS @ 60 MHz
ARM8	Pipeline de 5 estágios; previsão estática de desvio	8 KB unificada	84 MIPS @ 72 MHz
ARM9		16 KB/16 KB	300 MIPS @ 300 MHz
ARM9E	Instruções DSP melhoradas	16 KB/16 KB	220 MIPS @ 200 MHz
ARM10E	Pipeline de 6 estágios	32 KB/32 KB	
ARM11	Pipeline de 9 estágios	Variável	740 MIPS @ 665 MHz
Cortex	Pipeline superescalar de 13 estágios	Variável	2 000 MIPS @ 1 GHz
XScale	Processador de aplicações; pipeline de 7 estágios	32 KB/32 KB L1 512KB L2	1 000 MIPS @ 1,25 GHz

DSP = processador de sinal digital (do inglês *digital signal processor*)

SoC = sistema em um chip (do inglês *system on a chip*)



Família Cortex

Cortex - A

Highest performance

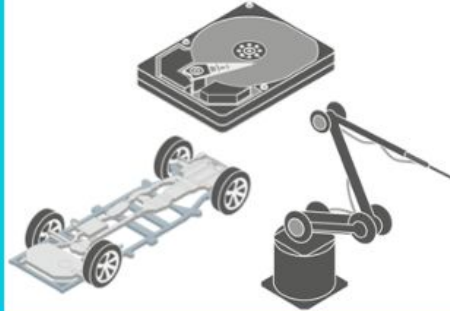
Optimised for
rich operating systems



Cortex - R

Fast response

Optimised for
high performance,
hard real-time applications



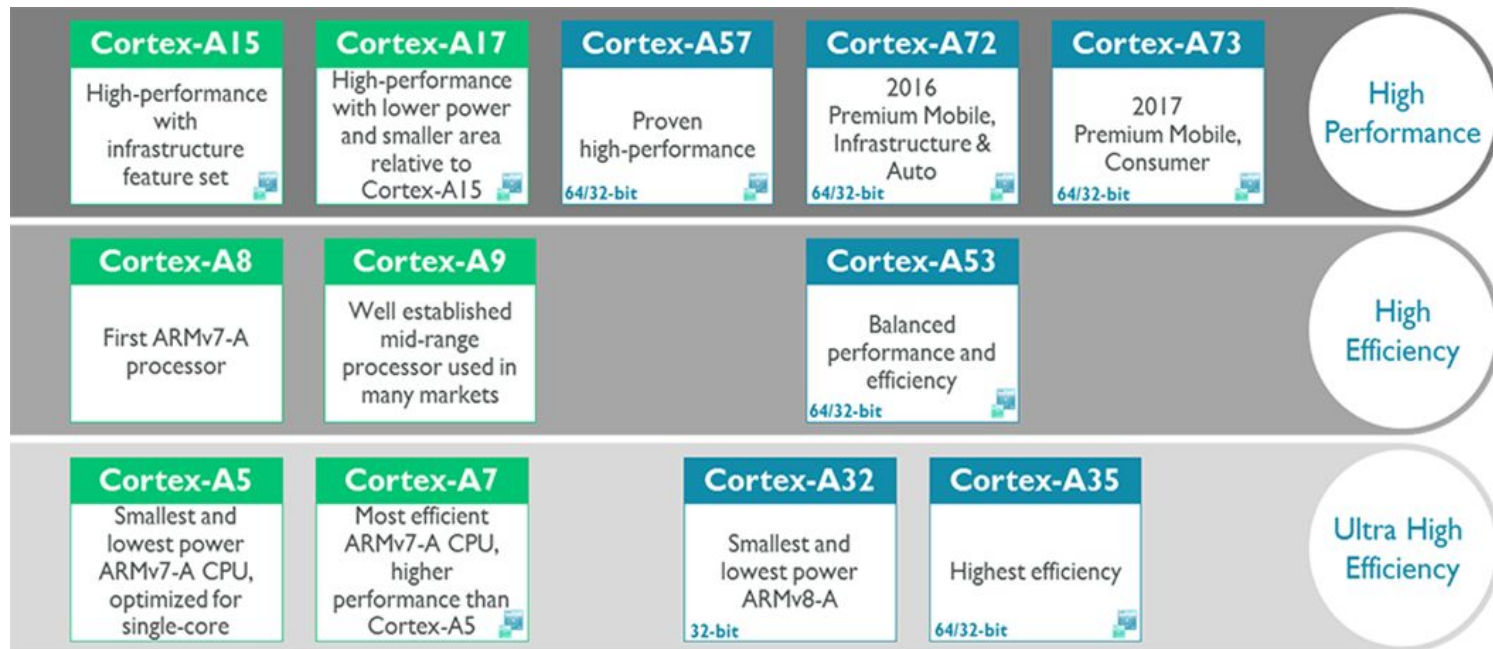
Cortex - M

Smallest/lowest power

Optimised for
discrete processing and
microcontrollers



Família Cortex - Perfil A - Versão ARMv8

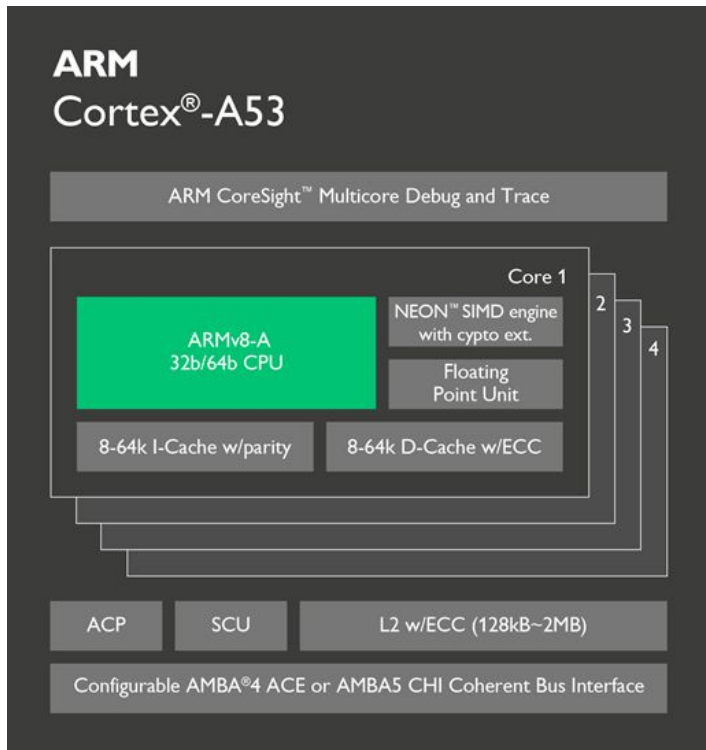


ARMv7-A

ARMv8-A

Key: big.LITTLE compatible

Processador Cortex-A53



- Conjunto de instruções de 64 bits
- Pipeline 8 estágios in-order superescalar
- Symetric Dual issue
- Memória dividida em 3 níveis de cache
- Mais eficiente, menos performance

Hierarquia de Memória no Cortex-A53

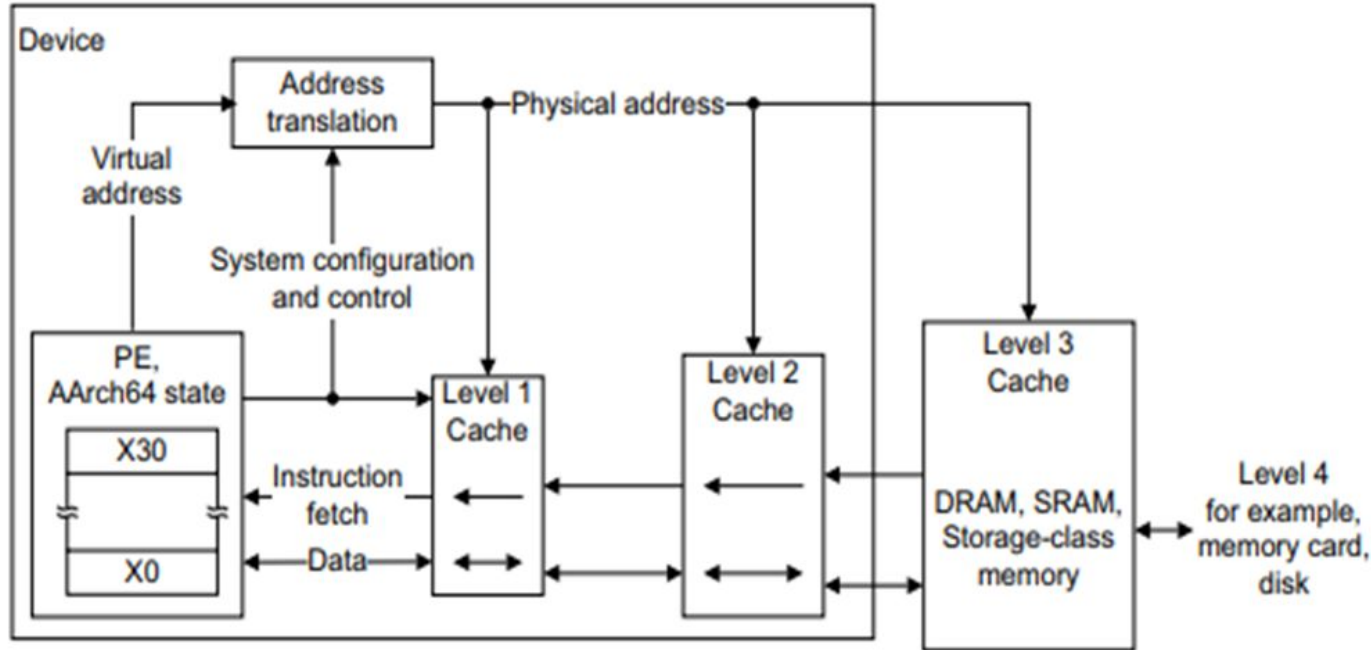


Figure B2-1 Multiple levels of cache in a memory hierarchy

Cache no Cortex-A53

L1

Instruções

- 8KB, 16KB, 32KB ou 64KB
- Linha de cache de 64 bytes
- 2 - way set associative

Dados

- 8KB, 16KB, 32KB ou 64KB
- Linha de cache de 64 bytes
- 4 - way set associative

L2

Sem sistemas separados

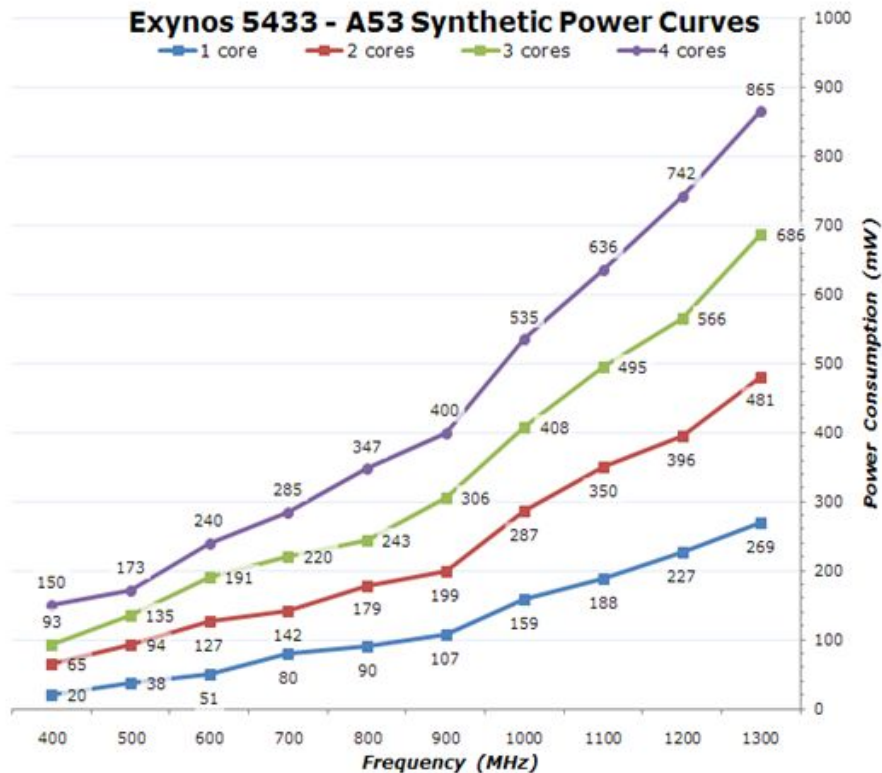
- 128KB, 256KB, 512KB, 1MB e 2MB
- Comprimento de linha fixa de 64 bytes
- Cache fisicamente indexado e “tagged”
- 16 - way set associative

Pipeline no Cortex-A53

Fetch	Decode 1	Decode 2	Decode 3	Operand	Execute 1	Execute 2	Retire
Fetch instruction	Decode instruction			Operand	Execute instruction		Retire

- 8 estágios
- Decodifica até três instruções ao mesmo tempo, e executa até duas
- Symetric Dual Issue, mesma taxa de latência e throughput
- In-order
- Superescalar

Consumo e Área no Cortex-A53



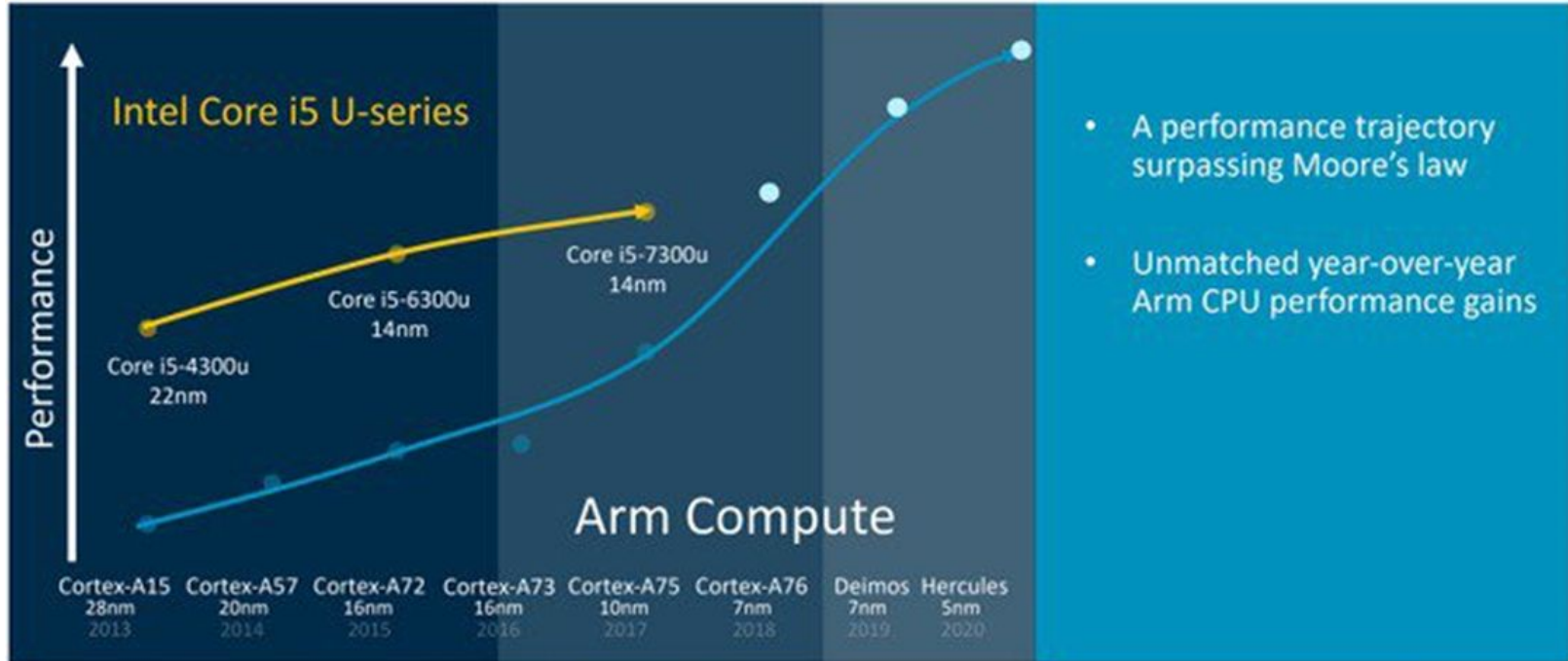
4 núcleos ativos

- 865mW
- 1300MHz
- Área de 0.7mm²

Clueste

- Área de 4.58mm²

Evolução Performance Cortex x Intel



- A performance trajectory surpassing Moore's law
- Unmatched year-over-year Arm CPU performance gains

Single-core performance based on SPECINT2k6, Intel measured, Arm Compute estimated
Graph not to scale

Conclusão

- Venda de núcleos, não de SoCs
- Liberdade ao comprador
- Clientes: Qualcomm, Samsung, Apple, Huawei, Nvidia, AMD ...
- Baixo consumo e alta performance

Referências

- **Corporate Logo Guidelines.** Disponível em: <<https://www.arm.com/company/policies/trademarks/guidelines-corporate-logo>>. Acesso em: 17 de julho de 2019.
- **History – ARM.** Disponível em: <<https://bit.ly/2R5qd0l>> Acesso em: 11 de junho de 2019. SMITH, Ryan. ARM Announces ARMv8-M Instruction Set For Microcontrollers – TrustZone
- **Comes to Cortex-M.** Disponível em: <<https://bit.ly/2XCbdtN>> Acesso em: 11 de junho de 2019. DAVE, Kinjal. **Introducing Cortex-A32: ARM's smallest, lowest power ARMv8-A processor.** Disponível em: <<https://bit.ly/2WzOWzW>> Acesso em: 11 de junho de 2019.
- **Lionel Belnet Blog: Introducing Cortex-A73.** Disponível em <<https://bit.ly/2X6LTOQ>> acesso em: 11 de junho de 2019.
- HUMRICK, Matt. **Exploring DynamIQ and ARM's New CPUs? Cortex-A75, Cortex-A55.** Disponível em: <<https://bit.ly/2KH0jik>> Acesso em: 11 de junho de 2019.
- **ARM® Architecture Reference Manual ARMv8, for ARMv8-A architecture profile.** Disponível em <<https://bit.ly/2KEBcg5>> Acesso em: 11 de junho de 2019.

Perguntas?

arm