

UNIVERSIDADE DO VALE DO RIO DOS SINOS

CIÊNCIA DA COMPUTAÇÃO

FELIPE DE OLIVEIRA BRENNER

LUCAS OLIVEIRA DA SILVA

TRABALHO SOBRE ARQUITETURA ARM

São Leopoldo

2019

1. Introdução

Neste trabalho, foi realizado um estudo sobre a arquitetura de processadores ARM, apresentando sua origem, desenvolvimento, a organização das arquiteturas, aplicações, famílias, informações técnicas e, por fim, a sua atuação no mercado.

2. Origem

No início dos anos 80, a BBC (British Broadcasting Corporation) desenvolveu o Computer Literacy Project, que buscava obter uma nova geração de computadores. Com o objetivo proposto pelo projeto, a Acorn Computers criou o primeiro protótipo como uma demonstração à BBC.

No ano de 1983, surgiu o primeiro processador RISC (Reduced Instruction Set Computer), o ARM. Sendo ARM o acrônimo para Acorn RISC Machine. Após 2 anos, em 1985, foi lançada a primeira versão comercial desses processadores.

Em 1990, após a união entre Acorn Computers, VLSI Technology e Apple, a empresa ARM foi fundada. Com isso, o acrônimo ARM alterou-se para Advanced RISC Machine.

Ao longo dos anos 90, a ARM tornou-se líder de mercado em processadores embarcados de alto desempenho e baixo consumo de energia.

3. Característica Principais

Os processadores ARM possuem uma arquitetura RISC, isto é, um dos fatores considerados é manter uma organização no hardware para que as instruções sejam simples e precisas.

Outra característica dos processadores ARM é a arquitetura LOAD-STORE, significando que os dados somente são manipulados no nível de registradores e as instruções utilizadas são ARM e THUMB, podendo variar de acordo com a família. Os pipelines podem ir de 3 à 15 estágios, alterando-se de acordo com as famílias, e as instruções podem ser executadas em ordem, in-order, ou fora de ordem, out-of-order.

4. Famílias, Versões e Aplicações

Os processadores e microcontroladores que são criados baseados na arquitetura ARM são nomeados de acordo com a versão da arquitetura utilizada, o perfil escolhido e suas variações.

Cada versão contém famílias de processadores, abaixo é possível verificar uma tabela com algumas famílias e versões, bem como suas aplicações.

Example ARM component	Architecture Generation	Example Application	Approximate date of introduction
ARM1	ARMv1	Acorn Computer in internal testing	1985
ARM2	ARMv2	Acorn Archimedes (Macintosh-era PC)	1987
ARM6	ARMv3	Apple Newton MessagePad 100 series	1994
ARM7TDMI	ARMv4	Game Boy Advance, Nintendo DS*, iPod	2001
ARM9E	ARMv5	Nintendo DS*, Nokia N-Gage, Airport Extreme N basestation	2004
ARM11	ARMv6	iPhone, iPhone 3G, iPod touch	2007
Cortex-A8	ARMv7	Palm Pre, iPhone 3GS	2009

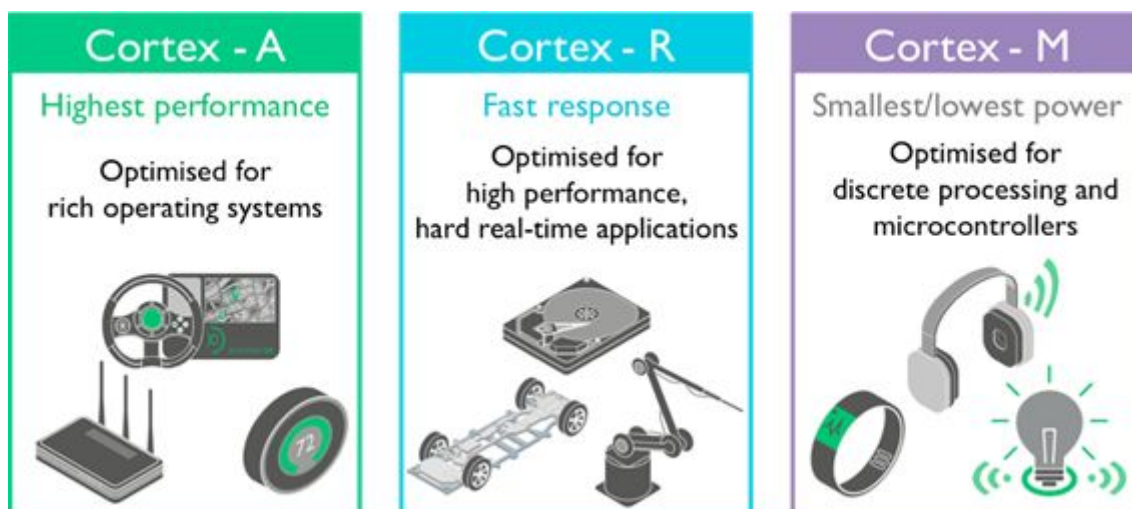
* Nintendo DS incorporates both processors for different uses.

5. Família Cortex

As famílias mais atuais são ARMv7 e ARMv8, que possuem a família córtex como referência, com 3 perfis disponíveis, ARMv7/8-A, ARMv7/8R e ARMv7/8-M.

Cada perfil possui uma otimização, visto que cada processador tem uma aplicação onde possui maior destaque. O perfil A, possui alta performance e suas principais aplicações são videogames, celulares, notebooks e desktop. O perfil R destaca-se por sua resposta rápida e precisa, suas aplicações encontram-se no ramo da medicina e automobilismo. Já no perfil M, o foco é o baixo consumo e é muito utilizado em microcontroladores, headphones e lâmpadas inteligentes.

A imagem abaixo representa exemplos e a característica dos perfis A, R e M.



Fonte: hexus, 2016

Para exemplificar mais detalhes e características, foi utilizado o perfil A, onde a alta performance destaca-se.

6. Cortex A-53

O ARM Cortex-A53 possui um conjunto de instruções de 64 bits, com um pipeline de 8 estágios in-order superescalar, isto é, por ser superescalar várias instruções podem ser iniciadas simultaneamente e executadas independentemente umas das outras.

6.1 Hierarquia de memória no Cortex A-53

Existem 3 níveis de cache no modelo Cortex A-53, sendo que o terceiro nível de cache é opcional. Um exemplo de sua organização segue conforme imagem:

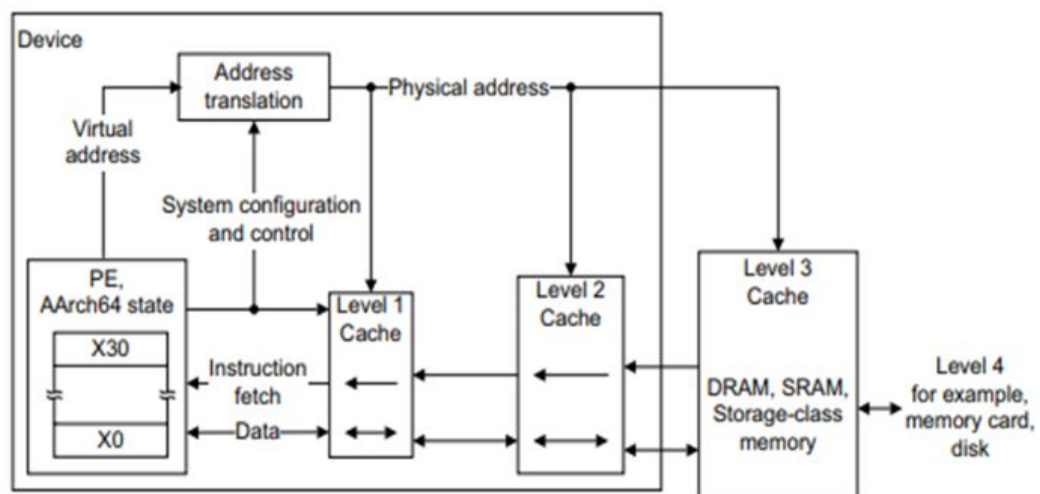


Figure B2-1 Multiple levels of cache in a memory hierarchy

Fonte: Arm® Cortex® -A53 MPCore Processor Revision: r0p4 Technical Reference Manual

6.1.1 Cache L1

O cache L1 divide-se em 2 memórias, uma para Instruções e outra para Dados, com tamanhos configuráveis de 8KB, 16KB, 32KB ou 64KB.

O sistema de Instruções possui uma linha de cache de 64 bytes e 2-way set associative.

Diferente da primeira memória, o sistema de dados é 4-way set associative e com uma linha de cache de 64 bytes.

6.1.2 Cache L2

O cache L2 possui tamanho configurável de 128KB, 256KB, 512KB, 1MB e 2MB, porém não possui dois sistemas separados para Dados e Instruções. Outras características importantes são o comprimento de linha fixa de 64 bytes, cache fisicamente indexado e “tagged” e 16-way set associative.

6.2 Pipeline no Cortex A-53

O pipeline no Cortex A-53 possui 8 estágios superescalar com a característica “Symetric Dual Issue”, significando que existem “dois datapaths” capazes de efetuar instruções por separado, com mesma taxa de latência e

throughput. Por possuir um pipeline in order, suas instruções são executadas assim que recebidas, “primeiro a chegar é o primeiro a sair”.

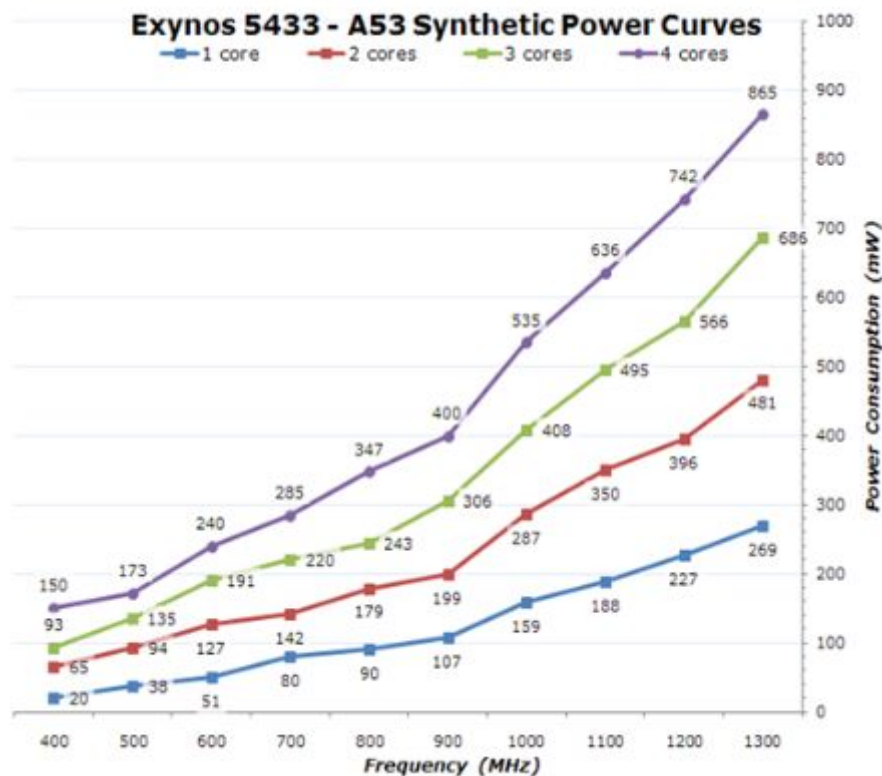
Fetch	Decode 1	Decode 2	Decode 3	Operand	Execute 1	Execute 2	Retire
Fetch instruction	Decode instruction			Operand	Execute instruction		Retire

Fonte: Comparison between Intel Atom and ARM Cortex-A54

6.3 Consumo e área

O consumo de um A53 pode chegar a 865mW, ao executar tarefas com seus 4 núcleos a 1300MHz, passando 100MHz da frequência recomendada pela ARM.

Segue um gráfico que compara o consumo de 1, 2, 3 e 4 núcleos com suas respectivas frequências:



Fonte: anandtech, 2015.

7. Conclusão

Após pesquisar e analisar as arquiteturas ARM e o desenvolvimento de seus produtos, é possível afirmar que, atualmente, a ARM Ltda é uma das líderes do mercado. Outro fator importante é que a ARM somente cria arquiteturas, projetos e licencia outras empresas para utilizar suas arquiteturas, não vendendo ou produzindo processadores e chips.

As arquiteturas ARM mostram uma versatilidade grande, um baixo consumo e alta performance, além de possibilitar uma liberdade para seus clientes, pois customizações ficam disponíveis ao projetista, por exemplo, ativação ou desativação de funcionalidades.

8. Referências

ARM® Architecture Reference Manual ARMv8, for ARMv8-A architecture profile. Disponível em <<https://bit.ly/2KEBcg5>> Acesso em: 11 de junho de 2019.

Comes to Cortex-M. Disponível em: <<https://bit.ly/2XCbdtN>> Acesso em: 11 de junho de 2019.

DAVE, Kinjal. **Introducing Cortex-A32: ARM's smallest, lowest power ARMv8-A processor.** Disponível em: < <https://bit.ly/2WzOWzW>> Acesso em: 11 de junho de 2019.

History – ARM. Disponível em: <<https://bit.ly/2R5qd0l>> Acesso em: 11 de junho de 2019.

Lionel Belnet Blog: Introducing Cortex-A73. Disponível em <<https://bit.ly/2X6LTOQ>> acesso em: 11 de junho de 2019.

HUMRICK, Matt. **Exploring DynamIQ and ARM's New CPUs? Cortex-A75, Cortex-A55.**

Disponível em: <<https://bit.ly/2KH0jik>> Acesso em: 11 de junho de 2019.

SMITH, Ryan. **ARM Announces ARMv8-M Instruction Set For Microcontrollers – TrustZone.**