

ARTHUR BRENO DOS REIS PAULA - 12547382
CARLOS NERY RIBEIRO - 12547698
FELIPE CECATO - 12547785
GABRIEL RIBEIRO RODRIGUES DESSOTTI - 12547228
PEDRO MANICARDI SOARES - 12547621

**RELÓGIO DIGITAL UTILIZANDO
COMPONENTES TTL**

Trabalho de Conclusão de Curso apresentado à
Escola de Engenharia de São Carlos, da
Universidade de São Paulo

Curso de Engenharia de Computação

Orientador: Maximilian Luppe

São Carlos - SP

2022

Sumário

Resumo	2
Introdução	3
Esquemático	3
3.1 Geração da frequência	3
3.2 Divisão da frequência	4
3.3 Esquemático do relógio	5
Análise de custo	6
Conclusão	8
Referências bibliográficas	9

1. Resumo

O estudo de sistemas digitais é de grande importância, já que estes conceitos estão presentes em todas as áreas da engenharia elétrica e da computação. Visto isso, a fim de pôr em prática estes conceitos, foi realizada a simulação e análise de custo de dinheiro e potência dos componentes utilizados. O projeto foi um relógio digital, com frequência gerada a partir de um cristal. Foi feita uma simulação desse sistema utilizando o software SimulIDE. Para representar o esquemático, o sistema foi dividido em três partes: a geração da frequência inicial, a divisão da frequência e a montagem do relógio em si. Para a geração da frequência, foram utilizados resistores, capacitores e portas NOT, além do cristal, que foi o componente responsável por gerar a frequência. Esta etapa gerou um sinal com 32,768 KHz, utilizado na próxima etapa. Para dividir a frequência, foram utilizados 4 contadores binários, 1 contador de década e 1 contador de 12, gerando, ao fim, dois sinais de 0,5 Hz e 1/60 Hz, utilizados na última etapa. Já para a construção do relógio, foram utilizados 4 vezes um contador de década, um decodificador BCD para 7 segmentos e um display de 7 segmentos. Com isso, foi possível dividir a frequência associando esses contadores de forma assíncrona e obter os sinais BCD para cada unidade: minuto, dezena de minutos, horas e dezena de horas. Além disso, foram utilizadas portas lógicas AND e OR para a composição da lógica extra necessária para zerar o relógio quando o tempo exceder 24h ou o botão de resetar foi acionado. A frequência de 0,5 Hz foi utilizada para fazer o ponto decimal de um dos displays piscar nessa frequência, ou seja, a cada segundo. No fim, foi feita uma análise de custo, em dinheiro e potência. Financeiramente, o gasto foi R\$124,09, um valor alto, porém esperado já que, neste caso, não foi fabricado em grande escala. Da parte energética, analisando os datasheets dos componentes, foi possível estimar o gasto energético de cada um, para o pior caso. O resultado foi um gasto de, aproximadamente, 3265 mW, também dentro do esperado para um circuito com esse. Por fim, apesar da simplicidade deste sistema, já que foram escolhidos componentes que desempenham uma função específica, foi possível perceber que, para que ele seja mais utilizável, é preciso otimizar bastante a questão do espaço gasto, valor dos componentes e gasto energético.

2. Introdução

O relógio digital é uma aplicação de sistemas digitais que é muito comum na sociedade contemporânea. Seu uso, que muitas vezes é descrito como um substituto do relógio analógico, começou a ser muito utilizado após a popularização e redução do preço de custo dos sistemas digitais. Com o objetivo de desenvolver um relógio digital, foram utilizados sistemas digitais e simulações computacionais para tal.

3. Esquemático

Para a exposição esquemática do sistema, o dividimos em três grandes partes. A primeira parte, é o gerador inicial de frequência utilizando um cristal, capacitores, resistores e portas NOT. Essa parte gera uma frequência de 32,768 kHz. A segunda parte recebe esta frequência e a divide, utilizando três contadores de década, um de 12 e um binário, gerando a frequência de 1/60 Hz e 0.5Hz, que serão utilizados na próxima parte. Por fim, a terceira parte recebe a frequência de 1/60 Hz e utiliza quatro contadores de década e quatro decodificadores BCD para 7 segmentos, além dos quatro displays de 7 segmentos, para a construção do relógio digital.

A seguir está a explicação de cada uma das partes.

3.1 Geração da frequência

Um cristal, associado a dois capacitores e resistores, auxilia na geração de um sinal de clock inicial de 32768 Hz, como esquematizado na figura abaixo:

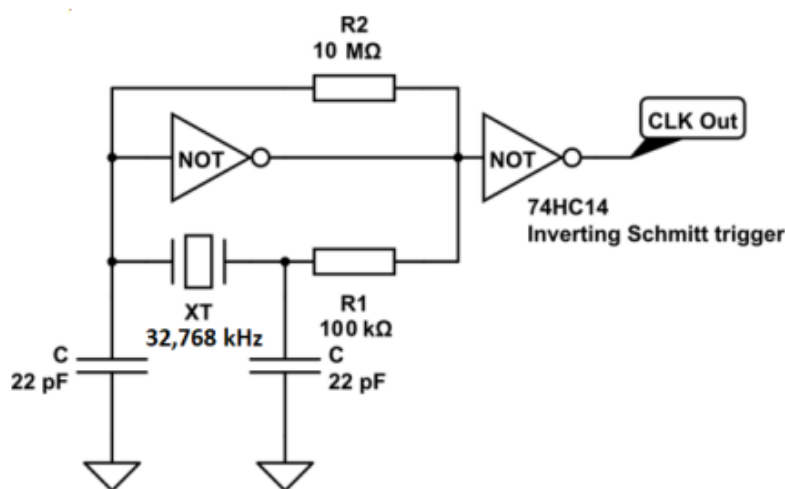


Figura 1: Circuito que gera a frequência inicial a partir do cristal

Percebe-se a utilização de duas portas NOT, um resistor de 10 M Ω e um de 100 k Ω , além de dois capacitores de 22 pF. O CI escolhido para as portas NOT foi o CD4069, e pode ser utilizado apenas um, já que este possui 6 entradas.

Fora o já mencionado, também foi utilizado um cristal de frequência igual a 32,768 kHz, que servirá de entrada para a próxima parte do sistema.

3.2 Divisão da frequência

Para a segunda parte, foi utilizado o simulador SimulIDE, onde foi possível simular o circuito utilizando a frequência obtida na etapa anterior.

No lado esquerdo da figura 2, é possível perceber um gerador de frequência e, ao lado, um medidor de frequência. Este gerador, representa a frequência obtida como saída da etapa anterior. Logo ao lado do gerador, foram utilizados quatro contadores binários do tipo 74LS93, dividindo a frequência por 16, quatro vezes, resultando na frequência de 0,5 Hz. Esta frequência servirá de entrada para a próxima etapa.

Mais ao lado, foi utilizado o contador de 12 74LS92 para dividir a frequência por seis e, em seguida, um contador de década para dividir a frequência por cinco, resultando, assim, na segunda frequência de entrada para a próxima etapa igual a 1/60 Hz.

O esquemático está representado na figura a seguir:

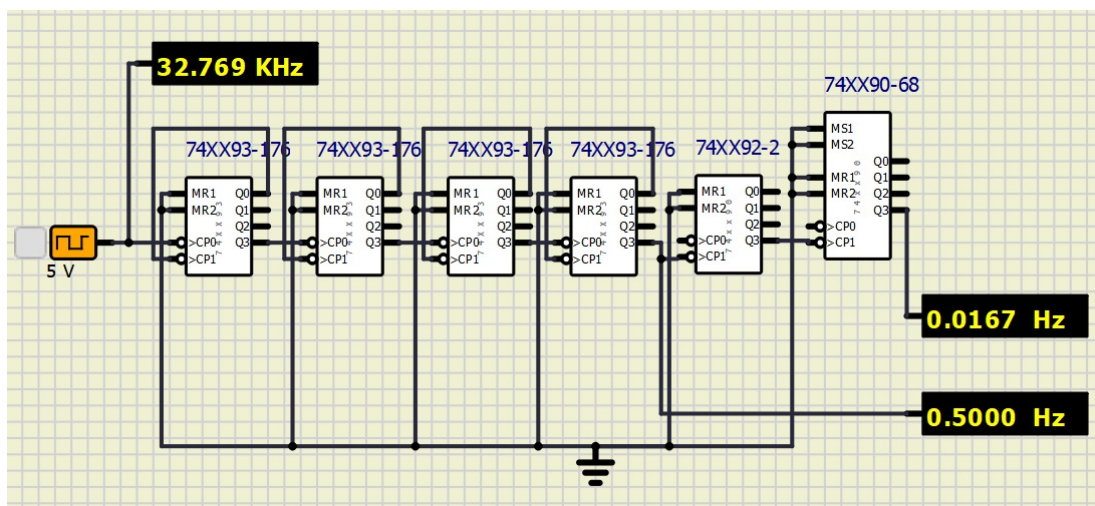


Figura 2: circuito divisor de frequência

É importante notar todos os botões de reset e set estão ligados ao potencial nulo, já que, para que os CIs funcionem corretamente, essas entradas precisam estar em 0.

Portanto, para a próxima etapa serão passados duas frequências: 0,5 Hz e 1/60 Hz.

3.3 Esquemático do relógio

Por fim, nesta última etapa, foram utilizadas as frequências geradas na etapa anterior, representadas no lado esquerdo da figura 3. Mais acima, é o gerador de 0,5 Hz e o mais baixo é o gerador de 1/60 Hz. Além disso, no lado esquerdo ainda temos uma fonte de tensão constante, utilizada nos decodificadores BCD para 7 segmentos e para resetar o relógio, juntamente com o botão associado a ela.

Primeiramente, é possível analisar que, para os minutos, foi utilizado o contador de década 74LS90, que gerou um sinal BCD (4 bits) e a frequência utilizada para as dezenas de minutos. Esse sinal serviu de entrada para outro contador de décadas, que também gerou um sinal BCD, porém esse contador zera quando chega em 6, por isso foi utilizada uma porta AND. A saída dessa porta é utilizada para gerar a frequência das horas, que, semelhante aos minutos, gerou um sinal BCD. Por fim, as dezenas de horas foram similar aos outros.

Como foram gerados quatro sinais BCD, foram utilizados quatro decodificadores BCD para 7 segmentos 74LS47. Ligados corretamente o teste que liga todos os segmentos (LT) e o que desliga todos os segmentos (BL) em 1 e o que congela o último dígito (LE) em 0, foram utilizadas resistências de 100Ω para ajustar a corrente ideal nos displays e ligados cada sinal de segmento passando pelos resistores.

É importante notar que em todos os segmentos os GDNs estão ligados ao neutro e os “ds” também, salvo o display das dezenas de minutos, em que o “ds” foi ligada à frequência de 0,5 Hz, gerada na etapa anterior. Dessa forma, o ponto decimal pisca a cada segundo, como em um relógio digital convencional.

Outra observação é que, a fim de facilitar o entendimento, a ordem no esquemático não é a convencional, pois, da esquerda para a direita, estão os minutos e depois as horas, sendo que geralmente, elas são representadas ao contrário. Caso fosse necessário esse ajuste, precisaria somente girar em 180° cada display.

Além disso, percebe-se a utilização de duas portas AND e uma porta OR, que auxiliaram na lógica necessária para zerar o relógio, quando atingisse o valor de 24h, e também quando acionado o botão de zerar. Botão este, presente ao lado do gerador de frequência de baixo. Este botão, quando apertado, deixa todos os displays com “0”s e zera também os contadores.

O esquemático do circuito final está representado a seguir:

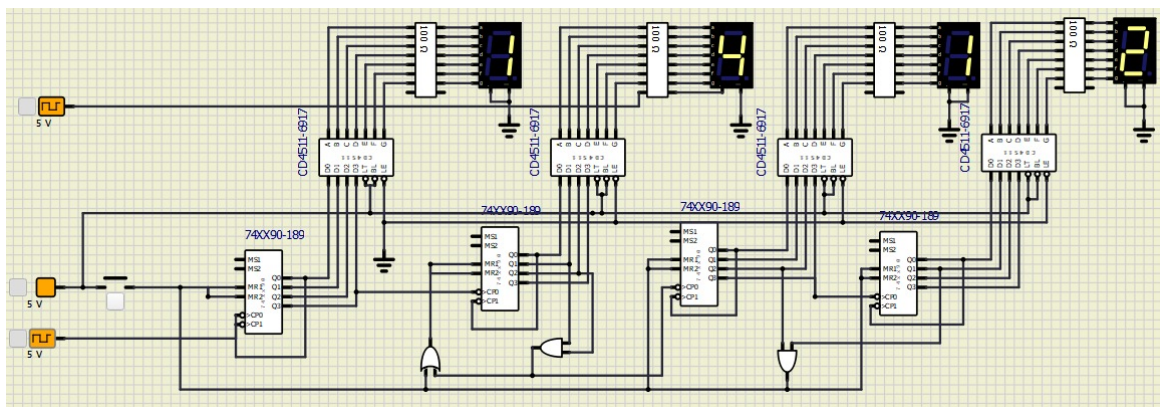


Figura 3: circuito do relógio em si

4. Análise de custo

Para desenvolver esse sistema, será necessário os seguintes componentes com os seus respectivos preços:

Função	Nome do Componente	Quantidade	Preço unitário (R\$)	Total (R\$)
Contador de 16	74LS93	4	8,00	32,00
Contador de 10	74LS90	5	5,49	27,45
Contador de 12	74LS92	1	3,89	3,89
BCD de 7 segmentos	74LS47	4	7,83	31,32
Resistor 100 Ω	-	29	0,50	14,5
Porta OR	74HC32	1	1,48	1,48
Porta AND	74HC21	1	2,05	2,05
Porta NOT	CD4069	1	1,40	1,40
Display de 7 segmentos	HS-5161AS	4	2,50	10,00

Total:				124,09

Tabela 1: Estimativa de preço do relógio.

Percebe-se um valor bastante alto, quando comparado aos relógios vendidos comercialmente. Os motivos podem ser a não escalabilidade desse protótipo, deixando o preço dos componentes mais altos e a não utilização de todas as funções de cada CI.

Para a parte energética, foram analisadas as potências dissipadas nos piores casos e representados na tabela 2:

Componente	Potência Total (mW)
Contador de 16	180
Contador de 10	225
Contador de 12	45
BCD de 7 segmentos	125
Resistor 100 Ω	290
Porta OR	500
Porta AND	500
Porta NOT	700
Display de 7 segmentos	700
Total:	3265

Tabela 2: Estimativa de Potência.

Da parte energética, como foi analisado o pior caso, percebe-se um custo alto. Porém, na prática, os componentes são bastante simples e não exigem muita energia.

5. Conclusão

O relógio digital proposto foi simulado e funcionou de acordo com o esperado. O preço estimado, considerando como um produto a ser vendido, foi muito alto quando comparado com relógios digitais simples vendidos que realizam a mesma função.

Além disso, foi possível perceber um gasto de espaço maior do que o comum. O primeiro motivo foi a não utilização de todas as funções de cada componente, como por exemplo, todas as portas NOT do componente CD4069, o qual só foi utilizado duas. Outro motivo foi a disponibilização nos esquemáticos de forma organizada, facilitando o entendimento da lógica, porém não tão eficiente na prática. Por isso, caso seja mantido fisicamente o circuito, o ideal seria reorganizar os componentes.

Portanto, apesar de não ser tão eficiente financeiramente e de espaço, o circuito final ficou bem simples e cumpre de forma satisfatória sua função.

6. Referências bibliográficas

FUTURLEC. Technical Information - Motorola Semiconductor 74LS92 Datasheet. Disponível em: <https://www.futurlec.com/74LS/74LS92.shtml>. Acesso em: 11 de jun. de 2022.

XLITX. Display 7 Segmentos Catodo Comum - HS-5161AS Vermelho. Disponível em: <https://cdn.awsli.com.br/945/945993/arquivos/Display%207%20Segmentos%20Catodo%20Comum%20-%20HS-5161AS%20Vermelho.pdf>. Acesso em: 11 de jun. de 2022.

DIODES INCORPORATED. 74HC32 Datasheet. Disponível em: <https://www.diodes.com/assets/Datasheets/74HC32.pdf>. Acesso em: 11 de jun. de 2022.

TEXAS INSTRUMENTS. BCD-to-Seven-Segment Decoders/Drivers Datasheet. Disponível em: <https://www.ti.com/lit/ds/symlink/sn7447a.pdf>. Acesso em: 11 de jun. de 2022.

NEXPERIA. Dual 4-input AND gate Datasheet. Disponível em: <https://assets.nexperia.com/documents/data-sheet/74HC21.pdf>. Acesso em: 11 de jun. de 2022.