

## Exercício Prático 1:

Felipe Rivetti Mizher

### 1) Meia soma:

Circuito:

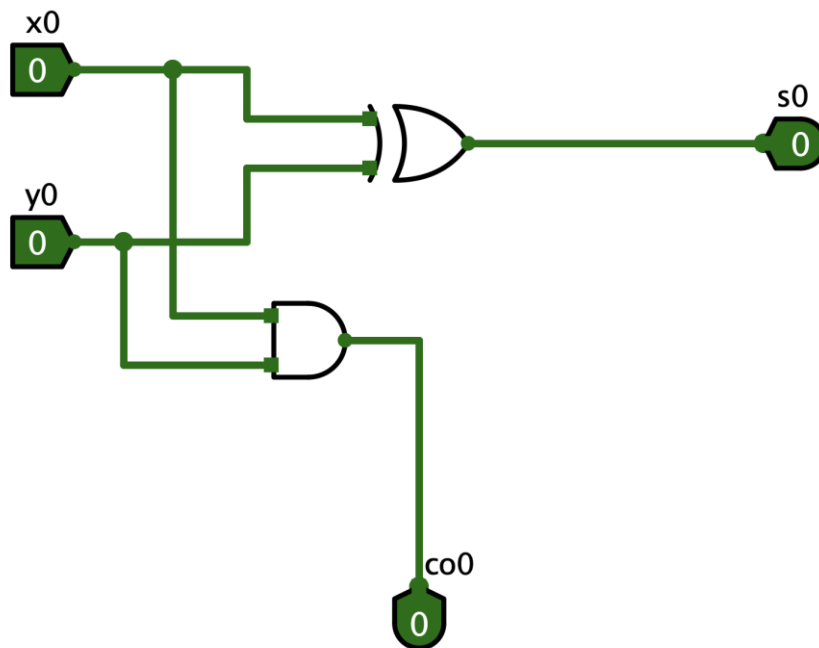


Tabela Verdade:

x0	y0	s0	co0
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

## 2) Soma Completa:

Circuito:

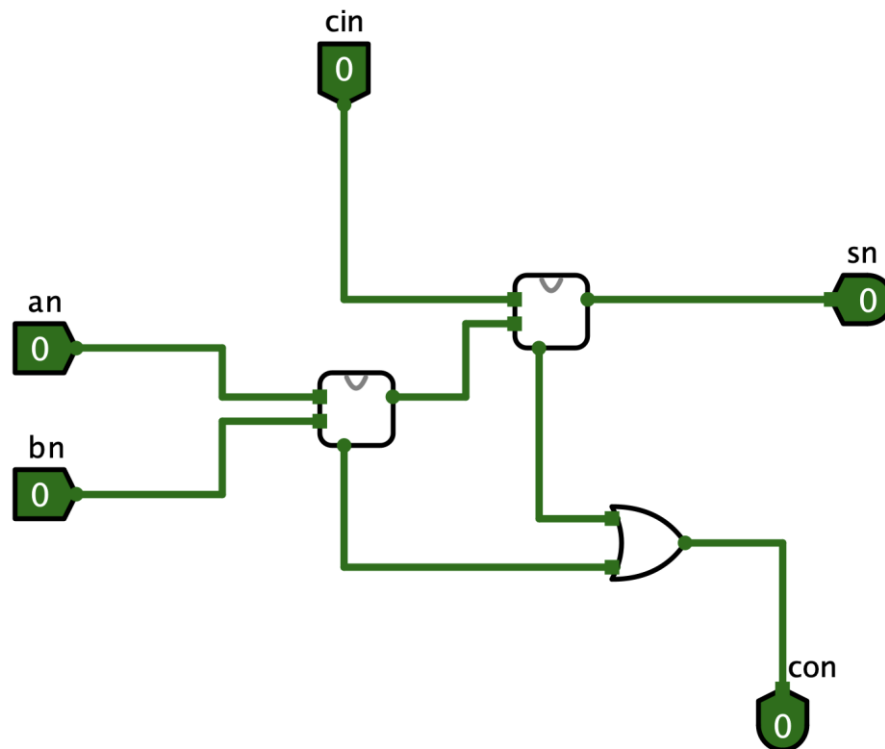
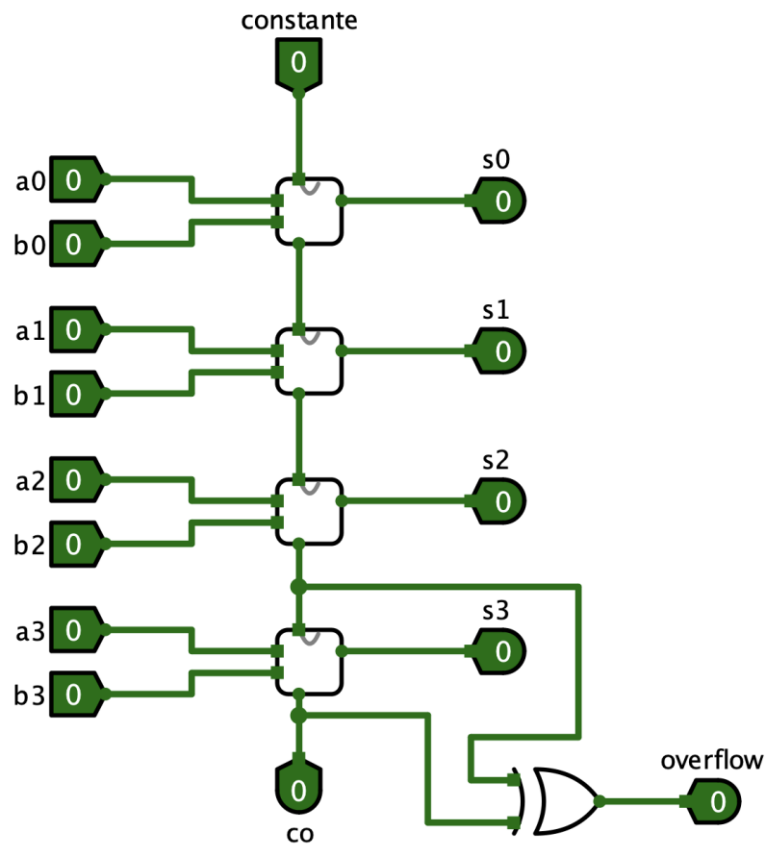


Tabela Verdade:

cin	an	bn	sn	con
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

### 3) Soma 4 Bits:

Circuito:



### 4) Perguntas:

1. Qual o problema de tempo associado a esse tipo de somador (pense no carry), considere o atraso médio de cada porta lógica de 10 ns.

R: O problema para este tipo de somador é que cada porta demoraria cerca de 30ns, sendo assim para um somador de 4 bits, usando 4 somadores de 1 bit, o tempo iria aumentar à medida que fosse colocando mais somadores.

**2. Qual o tempo necessário para a computação de uma soma e do vai um em um somador de 4 bits?**

**R:**  $(30 + 20 + 20 + 20 + 20) = 90\text{ns}$

**3. O que seria necessário para um somador de 32 bits?**

**R:** Para ter um somador de 32 bits é apenas ter 32 instancias do somar de 1 bit com o vai1 e o vem1.

$(30 + (20 * 31)) = 650\text{ns}.$

**4. Considerando esses tempos acima, calcule a frequência de operação de um somador de 32 bits?**

**R:**  $650 / 10^{-9} = 1,53 \text{ Mhz}.$

**5. Você consegue propor alguma forma de tornar essa soma mais veloz?**

**R:** Uma estratégia que poderia ser usada é o Carry-Look-Ahead (CLA), que ao invés de fazer as operações em sequência, ele realiza as operações em paralelo para assim reduzir o tempo do somador.

## Parte 2:

### 5) Somador hexadecimal com decodificador:

Circuito:

