

<u>STT</u>	Họ và tên: MSSV: Phòng thi:	<u>ĐIỂM</u>	<u>CÁN BỘ COI THI</u>
------------	--	-------------	-----------------------

BẢNG TRẢ LỜI TRẮC NGHIỆM

CÂU HỎI TỰ LUẬN (1 điểm) (G2.1)

Nếu ngoài 8 lệnh đã học trong phần datapath của chương 4: Bộ xử lý, nếu yêu cầu chỉnh sửa datapath trong Hình 1 (ở trang cuối đề thi) để có thể thực hiện thêm lệnh “ori” thì cần phải thay đổi hoặc bổ sung những khôi nào và mô tả lại quá trình thực thi lệnh “ori” trên datapath mới đó.

Trả lời:

CÂU HỎI TRẮC NGHIỆM (Sinh viên trả lời vào bảng trả lời trắc nghiệm ở trang đầu)

Câu 1 Công đoạn sử dụng địa chỉ vùng nhớ được tính toán ở công đoạn ALU để đọc dữ liệu ra hoặc ghi dữ liệu vào vùng nhớ dữ liệu thuộc công đoạn nào dưới đây? (G6.2)

A.	Instruction Decode & Operand Fetch
B.	Instruction Fetch
C.	Memory Access
D.	Result Write

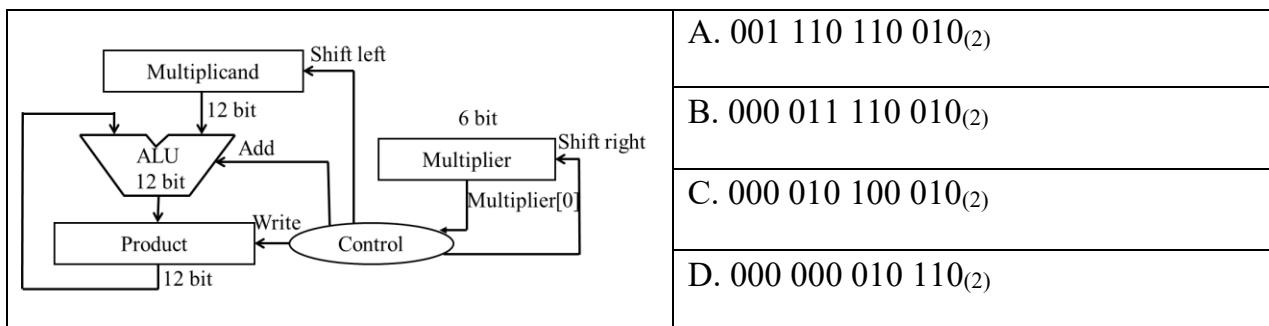
Câu 2 Trong bộ xử lý MIPS được thiết kế theo cơ chế pipeline, để xử lý xung đột dữ liệu khi kết quả của câu lệnh trước chưa sẵn sàng tại chu kỳ pipeline của lệnh sau mà không cần phải thêm lệnh “nop” bằng cách đưa thêm vào các bộ đệm phụ bên trong, các dữ liệu cần có thể được truy xuất từ bộ đệm này hơn là chờ đợi đến khi nó sẵn sàng trong bộ nhớ hay trong thanh ghi là sử dụng kỹ thuật gì? (G6.2)

A.	LRU
B.	No forwarding
C.	Forwarding
D.	OPT

Câu 3 Xung đột xảy ra ngay sau các lệnh điều khiển nhảy - lệnh liền kề được thực thi khi mà giá trị địa chỉ của lệnh kế tiếp chương trình muốn nhảy đến chưa được tính toán xong bởi lệnh hiện tại (G6.2)

A.	Structural hazard
B.	Data hazard
C.	Control hazard
D.	Jump hazard

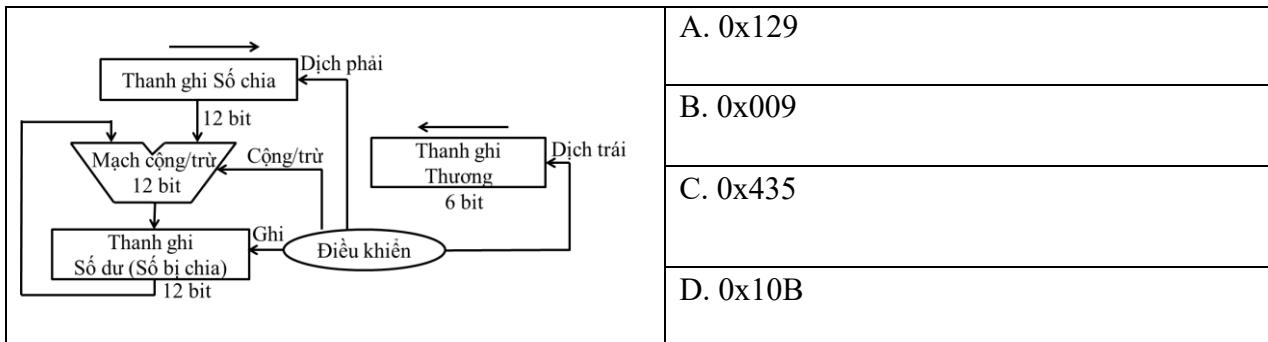
Câu 4 Cho cấu trúc phần cứng phép nhân như hình dưới, khi thực hiện phép nhân hai số 6-bit, số bị nhân x số nhân = $54_{(10)} \times 43_{(10)}$, giả sử số được biểu diễn là số không dấu, giá trị của thanh ghi **Product** là bao nhiêu sau khi kết thúc vòng lặp thứ 3? (G6.2)



Câu 5 Giá trị output “ALU result” của khối ALU bằng bao nhiêu khi mã lệnh sau được thực thi: 0x01285024? Biết giá trị của thanh ghi có địa chỉ 8 và 9 tương ứng là: 0x20242025 và 0x20252024. (G2.1)

A.	0x20242025
B.	0x20242024
C.	0x20252024
D.	0x20252025

Câu 6 Cho cấu trúc phần cứng phép chia tương tự như hình dưới, khi thực hiện phép chia $110101_{(2)} / 001011_{(2)}$, giả sử số được biểu diễn theo kiểu không dấu 6-bit, giá trị của thanh ghi **Remainder** là bao nhiêu sau khi kết thúc vòng lặp thứ 6? (G6.2)



Câu 7 Khối add phía sau khối Shift left 2 làm nhiệm vụ gì khi bộ xử lý thực thi lệnh lw? (G6.2)

- | | |
|----|---|
| A. | Tính toán địa chỉ của bộ nhớ dữ liệu |
| B. | Tính toán địa chỉ nhảy của lệnh tiếp theo |
| C. | Tính toán địa chỉ trả về của thanh ghi \$ra |
| D. | Cả 3 đáp án trên đều sai |

Câu 8 Hãy cho biết đường nào trong các đường sau là critical path (đường đi dài nhất của dữ liệu) của lệnh “*slt*” với datapath như trong Hình 1 (ở trang cuối đề thi)? (G6.2)

- | | |
|----|---|
| A. | I-Mem, Mux, Regs, Mux, ALU, Mux, Regs |
| B. | I-Mem, Mux, Regs, ALU, D-mem, Mux, Regs |
| C. | I-Mem, Mux, Regs, ALU, Mux, D-Mem, Regs |
| D. | I-Mem, Regs, Mux, ALU, Mux, Mux, Regs |

Câu 9 Trên kiến trúc MIPS 32 bit, ban đầu giá trị các thanh ghi tương ứng \$t5, \$t6 là 0x00000024, 0x00000025, giá trị lưu trong thanh ghi \$s1 bằng bao nhiêu khi câu lệnh “*mul \$s1, \$t5, \$t6*” được thực thi? (G2.1)

- | | |
|----|------------|
| A. | 0x00000024 |
| B. | 0x00000025 |
| C. | 0x00000534 |
| D. | 0x00000543 |

Câu 10 Trên kiến trúc MIPS 32 bit, ban đầu giá trị các thanh ghi tương ứng \$t2, \$t3 là 0x0A011E24, 0x000012B4, giá trị lưu trong thanh ghi \$s2 bằng bao nhiêu khi câu lệnh “*sub \$s2, \$t2, \$t3*” được thực thi? (G2.1)

- | | |
|----|---|
| A. | 00001010000000010000101101110000 ₍₂₎ |
| B. | 01001000000001010000110101010100 ₍₂₎ |
| C. | 00101010010001010000100100110010 ₍₂₎ |
| D. | 00001010100000010010100101110000 ₍₂₎ |

Câu 11 Cho \$s1 = 0x00002004; \$s2 = 0x10010004, sau khi thực hiện lệnh “*sw \$s1, 4(\$s2)*”, giá trị của thanh ghi nào bị thay đổi? (G2.1)

- | | | | |
|---------|---------|------------------------|--------------------------|
| A. \$s1 | B. \$s2 | C. Cả hai đều thay đổi | D. Cả hai không thay đổi |
|---------|---------|------------------------|--------------------------|

Câu 12 Cho cấu trúc phần cứng phép nhân như hình dưới, khi thực hiện phép nhân hai số 6-bit, số bị nhân x số nhân = $16_{(16)} \times 2B_{(16)}$, giả sử số được biểu diễn là số không dấu, giá trị của thanh ghi **Multiplicand (Số bị nhân)** là bao nhiêu sau khi kết thúc vòng lặp thứ 4? (G6.2)

	A. $001\ 011\ 010\ 000_{(2)}$ B. $010\ 110\ 000\ 000_{(2)}$ C. $000\ 101\ 100\ 010_{(2)}$ D. $000\ 101\ 100\ 000_{(2)}$
--	--

Câu 13 Các khối chức năng nào trong datapath trong hình 1 KHÔNG tham gia vào quá trình thực hiện lệnh “**and \$s3,\$t6,\$s4**”? (G2.1)

A.	Shift-left 2, Add sau Shift-left 2
B.	I-mem, Reg, Sign-extend, D-mem
C.	Mux, Reg, Sign-extend, ALU
D.	I-mem, ALU

Câu 14 Số bước lặp sử dụng cho cấu trúc phần cứng phép chia thông thường chia hai số 8-bit là bao nhiêu? (G2.1)

A. 8	B. 9	C. 10	D. 16
------	------	-------	-------

Câu 15 Giá trị input Address của khối “Data Memory” bằng bao nhiêu khi mã máy của lệnh sau được thanh ghi PC trả tới trong quá trình thực thi là $0x8E08003D$, biết thanh ghi $\$s0$ có giá trị bằng $0x1001002E$? (G2.1)

A. $0x1001002E$	B. $0x1001006B$	C. $0x1001004E$	D. $0x1001004C$
-----------------	-----------------	-----------------	-----------------

Câu 16 Giả sử có thiết kế bộ xử lý như sau: mỗi lệnh có một chu kỳ để hoàn thành, thời gian của chu kỳ bằng thời gian thực thi của lệnh dài nhất trong tập lệnh, sau mỗi chu kỳ thì có một lệnh mới được nạp vào. Đây là thiết kế gì? (G2.1)

A.	Thiết kế đa chu kỳ
B.	Thiết kế đơn chu kỳ
C.	Thiết kế pipeline
D.	Thiết kế song song

Câu 17 Giá trị output Instruction[31-0] của khối Instruction memory bằng bao nhiêu khi mã máy của lệnh sau được thanh ghi PC trả tới trong quá trình thực thi là “**slti \$t7, \$s5, 321**”? Biết giá trị được lưu trong các thanh ghi của thanh ghi $\$t7$ và thanh ghi $\$s5$ tương ứng là: $0x12340000$ và $0x00001234$. (G2.1)

A. $0x2AAF0114$	B. $0x2AAF0141$	C. $0x00001234$	D. $0x12340000$
-----------------	-----------------	-----------------	-----------------

Câu 18 Trên kiến trúc MIPS 32 bit, khi câu lệnh “**add \$t2, \$t0, \$t1**” được thực thi thì giá trị lưu trong thanh ghi $\$t2$ bằng bao nhiêu, biết ban đầu giá trị chứa trong các thanh ghi tương ứng $\$t0$, $\$t1$ là $0x00001B23$, $0x000002C4$? (G2.1)

A. $0x00001DE7$	B. $0x10002BA7$	C. $0x11003B59$	D. $0x25CA7010$
-----------------	-----------------	-----------------	-----------------

Câu 19 Cho bảng sau:

I-Mem	Mux	ALU	Regs	D-Mem
250 ps	40 ps	120 ps	150 ps	250 ps

Chu kỳ xung clock cần cho thiết kế datapath khi thiết kế ở dạng bộ xử lý đơn chu kỳ như Hình 1 (ở trang cuối đề thi) với 8 lệnh cơ bản (add, sub, or, and, slt, lw, sw và beq) là bao nhiêu? (G2.1)

A. 1040 ps	B. 785 ps	C. 1000 ps	D. 745 ps
------------	-----------	------------	-----------

Câu 20 Tín hiệu ALU control và ALUSrc bằng bao nhiêu khi thực hiện lệnh “add” (G2.1)

A. 0110, 1	B. 0110, 0	C. 0010, 0	D. 0011, 1
------------	------------	------------	------------

Câu 21 Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong Hình 1 (ở trang cuối đề thi) như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0):

I-Mem	Add	Mux	ALU	Regs	D-Mem
250ps	80ps	60ps	160ps	210ps	280ps

Thời gian trễ lớn nhất của lệnh “beq” khi thực thi theo Datapath trong Hình 1 (ở trang cuối của đề thi) là? (G2.1)

A. 820ps	B. 1020ps	C. 800ps	D. 740ps
----------	-----------	----------	----------

Câu 22 Đoạn chương trình sau được thực thi trong kiến trúc pipeline 5 tầng:

```

add $s1, $s5, $s3
sw $s1, 0($s2)
lw $s1, 4($s2)
nop
add $s5, $s5, $s1

```

Tổng số chu kỳ cần thiết để hoàn thành chương trình trên khi không dùng kỹ thuật nhìn trước (non-forwarding) và khi dùng kỹ thuật nhìn trước (full-forwarding) là bao nhiêu? (bỏ qua các xung đột khác nếu có) (G2.1)

A. 12 và 8	B. 12 và 9	C. 11 và 8	D. 11 và 9
------------	------------	------------	------------

Câu 23 Giả sử mỗi công đoạn trong datapath có thể thực thi 8 lệnh cơ bản (add, sub, or, and, slt, lw, sw và beq) có thời gian hoạt động như bảng dưới. Thời gian cần thiết để thực hiện 05 lệnh “add” cho trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng và không pipeline đơn chu kỳ lần lượt là bao nhiêu (ps)? (G2.1)

IF	ID	EX	MEM	WB
480ps	460ps	400ps	470ps	450ps

A. 2400 và 1790	B. 2400 và 2260	C. 4320 và 11300	D. 12000 và 8950
-----------------	-----------------	------------------	------------------

Câu 24 Với datapath như hình 1 giá trị của tín hiệu ALUOp tương ứng của lệnh ADD và AND lần lượt là? (G2.1)

A. 01 và 10	B. 10 và 10	C. 01 và 00	D. 01 và 01
-------------	-------------	-------------	-------------

Câu 25 Cho một bộ xử lý MIPS 32 bits (có datapath và control như Hình 1 ở cuối đề thi) lệnh nào sử dụng đường path từ Read data 2 (register) tới Write data (Data memory) trong quá trình thực hiện lệnh? (G2.1)

A. lw và sw	B. sw	C. beq	D. add
-------------	-------	--------	--------

Câu 26 Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
230ns	210ns	260ns	240ns	215ns

Cho 4 câu lệnh sau:

*lw \$s1, 40(\$s2)
add \$s2, \$s3, \$s3
add \$s1, \$s1, \$s2
sw \$s1, 20(\$s2)*

Các câu lệnh trên thực thi trong trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp sử dụng kỹ thuật nhìn trước (full-forwarding)? (G2.1)

- | | | | |
|-----------|-----------|-----------|-----------|
| A. 2340ns | B. 2080ns | C. 2600ns | D. 1820ns |
|-----------|-----------|-----------|-----------|

Câu 27 Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
230ns	210ns	260ns	240ns	315ns

Cho 4 câu lệnh sau:

*lw \$s1, 40(\$s2)
add \$s2, \$s3, \$s3
add \$s1, \$s1, \$s2
sw \$s1, 20(\$s2)*

Các câu lệnh trên thực thi trong trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp KHÔNG sử dụng kỹ thuật nhìn trước (non-forwarding)? (G2.1)

- | | | | |
|-----------|-----------|-----------|-----------|
| A. 3120ns | B. 2860ns | C. 3150ns | D. 3780ns |
|-----------|-----------|-----------|-----------|

Câu 28 Cho một bộ xử lý MIPS 32 bits (có datapath và control như Hình 1 ở cuối đề thi) thực thi đoạn chương trình assembly như sau:

*addi \$t0, \$t1, 8
lw \$s1, 0(\$t0)
beq \$s0,\$s1,20*

Biết khi bắt đầu thanh ghi PC = 0x00400000; \$t1 = 0x10010000; \$s0 = 0x00000008; word nhớ tại địa chỉ 0x10010008 đang có nội dung (hay giá trị) bằng 0x0000 0001. Khi thực hiện câu lệnh thứ 3, giá trị đầu ra Zero của khối ALU bằng bao nhiêu?

- | | | | |
|------|------|-------|------|
| A. 0 | B. 1 | C. 20 | D. 7 |
|------|------|-------|------|

Câu 29 Trong kiến trúc MIPS đã học, tập thanh ghi có bao nhiêu thanh ghi đa dụng? (G2.1)

- | | | | |
|------|-------|-------|-------|
| A. 8 | B. 16 | C. 32 | D. 64 |
|------|-------|-------|-------|

Câu 30 Cho một bộ xử lý MIPS 32 bits (có datapath và control như Hình 1 ở cuối đề thi) thực thi đoạn chương trình assembly như sau:

```

addi $t0, $t1, 8
lw $s1, 0($t0)
beq $s0, $s1, 20

```

Biết khi bắt đầu thanh ghi PC = 0x00400000; \$t1 = 0x10010000; \$s0 = 0x00000008; word nhớ tại địa chỉ 0x10010008 đang có nội dung (hay giá trị) bằng 0x0000 0001. Khi thực hiện câu lệnh thứ 2, giá trị ALU result của khối ALU bằng bao nhiêu?

- | | | | |
|------|---------------|---------------|---------------|
| A. 0 | B. 0x10010008 | C. 0x00400004 | D. 0x00000001 |
|------|---------------|---------------|---------------|

---HẾT---

Duyệt đề của Bộ Môn

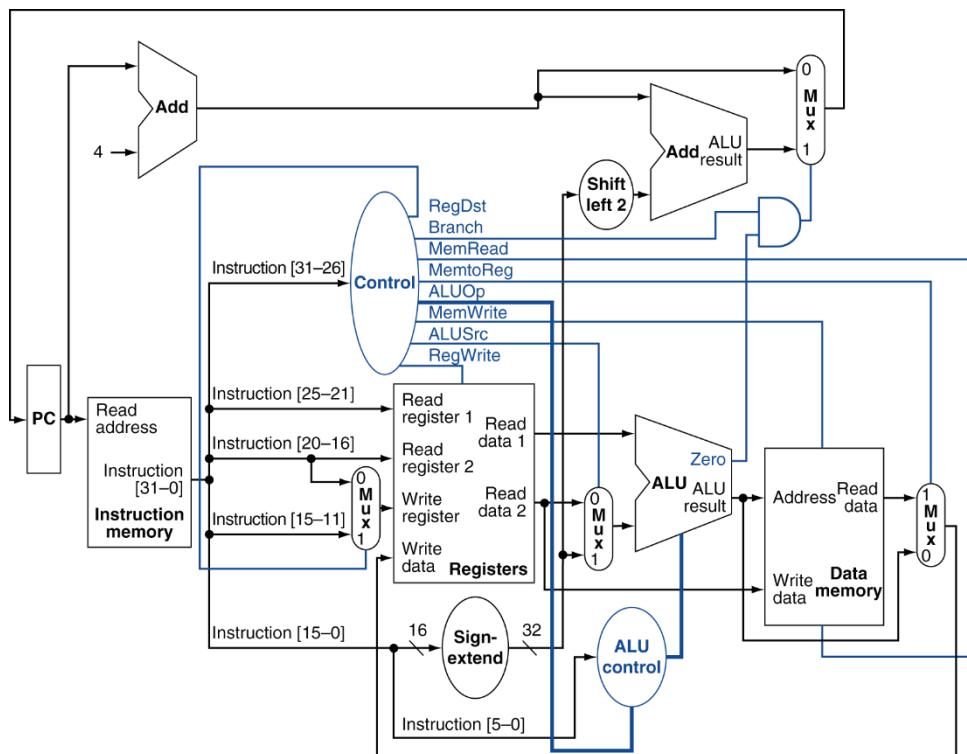
Giáo viên ra đề

Trịnh Lê Huy

Phan Đình Duy

Bảng phân bổ chuẩn đầu ra môn học Kiến trúc máy tính trong đề thi

CĐRMH	Mô tả CĐRMH
G2.1	Nắm vững kiến thức nền tảng về lĩnh vực CNTT
G6.2	Trình bày, thảo luận được các giải pháp liên quan ngành KTMT bằng ngoại ngữ



Hình 1 Datapath