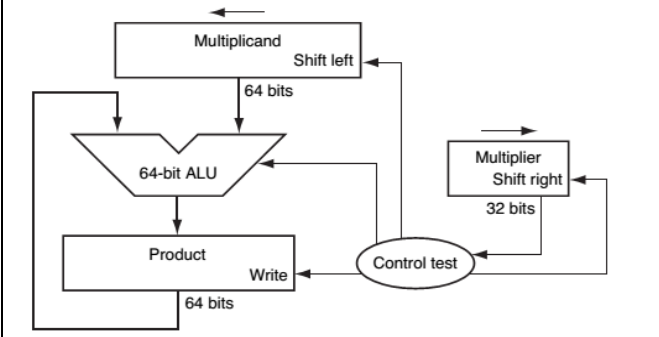


CÂU HỎI TRẮC NGHIỆM (Sinh viên trả lời vào bảng trả lời trắc nghiệm ở trang đầu)

Câu 1 Với datapath như hình 1, khối Instruction Memory thực hiện chức năng gì? (G6.2)

A.	Xuất ra nội dung cộng 2 thanh ghi
B.	Nhận địa chỉ lệnh từ thanh ghi PC và xuất ra 32 bits mã máy tương ứng
C.	Đọc và xuất nội dung 1 thanh ghi
D.	Ghi dữ liệu vào thanh ghi đích

Câu 2 Cho cấu trúc phần cứng phép nhân như hình, khi thực hiện phép nhân hai số 5-bit, $00110_{(2)} * 11011_{(2)}$, giả sử số được biểu diễn là số không dấu, giá trị của các thanh ghi **Multiplicand** và **Product** lần lượt là bao nhiêu sau khi kết thúc vòng lặp thứ 5? (G6.2)

	A. 00011 00000, 00101 00010
	B. 00110 00000, 00101 00010
	C. 01100 00000, 00101 11010
	D. 11000 00000, 00101 11010

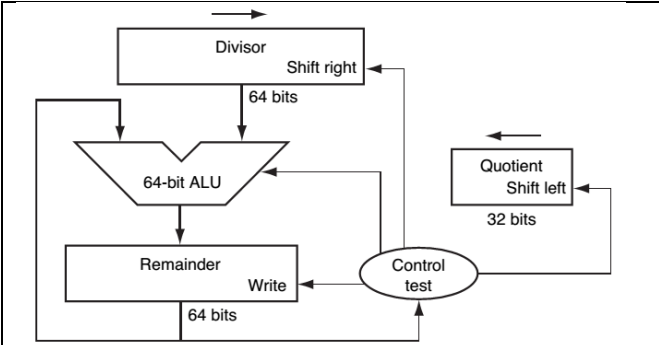
Câu 3 Công đoạn nhận mã máy của lệnh để giải mã và nạp các toán hạng tương ứng thuộc công đoạn nào dưới đây? (G6.2)

A.	Instruction Decode & Operand Fetch
B.	Instruction Fetch
C.	Memory Access
D.	Result Write

Câu 4 Để phân biệt các lệnh R-Format với nhau, bộ điều khiển dựa vào trường nào trong định dạng lệnh? (G6.2)

A.	Opcode
B.	Function
C.	Immediate
D.	Shamt

Câu 5 Cho cấu trúc phần cứng phép chia tương tự như hình, khi thực hiện phép chia $46_{(10)} / 09_{(10)}$, giả sử số được biểu diễn theo kiểu không dấu 8-bit, giá trị của các thanh ghi Divisor và Remainder lần lượt là bao nhiêu sau khi khởi tạo? (G6.2)

	A. 0x2E00 và 0x0009
	B. 0x0009 và 0x2E00
	C. 0x0900 và 0x002E
	D. 0x002E và 0x0900

Câu 6 Hãy cho biết đường nào trong các đường sau là critical path (đường đi dài nhất của dữ liệu) của lệnh “*sub*” với datapath như trong Hình 1 (ở trang cuối đề thi)? (G6.2)

A.	I-Mem, Mux, Regs, Mux, ALU, Mux, Regs
B.	I-Mem, Mux, Regs, ALU, D-mem, Mux, Regs
C.	I-Mem, Mux, Regs, ALU, Mux, D-Mem, Regs
D.	I-Mem, Regs, Mux, ALU, Mux, Mux, Regs

Câu 7 Trong kiến trúc MIPS, phép chia được thực hiện bằng lệnh “*divu rs, rt*”. Phát biểu nào sau đây đúng và đủ? (G2.1)

A.	Phép chia không dấu, số dư 32-bit sẽ lưu trong thanh ghi LO và thương 32-bit sẽ lưu trong thanh ghi HI
B.	Phép chia không dấu, số dư 32-bit sẽ lưu trong thanh ghi HI và thương 32-bit sẽ lưu trong thanh ghi LO
C.	Phép chia có dấu, số dư 32-bit sẽ lưu trong thanh ghi HI và thương 32-bit sẽ lưu trong thanh ghi LO
D.	Phép chia có dấu, số dư 32-bit sẽ lưu trong thanh ghi LO và thương 32-bit sẽ lưu trong thanh ghi HI

Câu 8 Nhận định nào sau đây SAI khi nói về tràn số học (overflow)? (G2.1)

A.	Vùng giá trị biểu diễn của số n bit biểu diễn có dấu bù 2 từ -2^{n-1} đến $+2^{n-1}-1$
B.	Overflow luôn cho ra kết quả sai
C.	Phát hiện overflow có thể sử dụng cổng XOR
D.	Overflow = $C_{n+1} \text{ XOR } C_n$ (số n bit biểu diễn có dấu bù 2)

Câu 9 Giá trị output “ALU result” của khối ALU bằng bao nhiêu khi mã lệnh sau được thực thi: 0x8d280010? Biết giá trị của thanh ghi có địa chỉ 8 và 9 tương ứng là: 0xffffffff3 và 0x10010000? (G2.1)

A.	0xFFFFFFFF3
B.	0x10010000
C.	0xFFFFFFFF10
D.	0x10010010

Câu 10 Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits theo cơ chế pipeline 5 tầng, trong đó giá trị của các thanh ghi là \$8 = 0x00000018, \$9 = 0x1000000C, \$10 = 0x1000001C, \$13 = 0xFFFFFFFF, \$14 = 0x00000000, \$20 = 0x20000000.

add \$t2, \$t1, \$t0
or \$s2, \$t2, \$t6
and \$s3, \$t6, \$s4
add \$s4, \$s3, \$s2

Sau khi thực thi đoạn chương trình trên, giá trị của thanh ghi có địa chỉ 10 và 20 trong tập thanh ghi là? (G2.1)

A.	0x10000030 và 0x10000034
B.	0x10000024 và 0x10000024
C.	0x10000024 và 0x10000028
D.	0x10000026 và 0x10000028

Câu 11 Giả sử có thiết kế bộ xử lý như sau: mỗi lệnh có thể lấy nhiều chu kỳ để hoàn thành, số chu kỳ của mỗi lệnh đều bằng nhau và bằng số công đoạn của lệnh, sau mỗi chu kỳ thì có một lệnh mới được nạp vào. Đây là thiết kế gì? (G2.1)

A.	Thiết kế đa chu kỳ
B.	Thiết kế đơn chu kỳ
C.	Thiết kế pipeline
D.	Thiết kế song song

Câu 12 Trong MIPS, lệnh nào dưới đây bỏ qua overflow? (G2.1)

A. addiu	B. add	C. addi	D. sub
----------	--------	---------	--------

Câu 13 Tín hiệu ALU control và ALUSrc bằng bao nhiêu khi thực hiện lệnh “add” (G2.1)

A. 0110, 1	B. 0110, 0	C. 0010, 0	D. 0011, 1
------------	------------	------------	------------

Câu 14 Các khối chức năng nào KHÔNG thuộc datapath tham gia vào lệnh
sw \$t0, 4(\$t1) # M[R[rs]+SignExtImm] = R[rt]? (G2.1)

A.	Shift-left 2, Add
B.	I-mem, Reg, Sign-extend, D-mem
C.	Mux, Reg, Sign-extend, ALU
D.	I-mem, ALU

Câu 15 Số bước lập sử dụng cho cấu trúc phần cứng phép chia thông thường chia hai số 16-bit là bao nhiêu? (G2.1)

A. 8	B. 16	C. 17	D. 32
------	-------	-------	-------

Câu 16 Giá trị input Address của khối “Data Memory” bằng bao nhiêu khi mã máy của lệnh sau được thanh ghi PC trở tới trong quá trình thực thi là 0x8E08002C, biết thanh ghi \$s0 có giá trị bằng 0x1001002E? (G2.1)

A. 0x1001002E	B. 0x1001005A	C. 0x1001004E	D. 0x1001004C
---------------	---------------	---------------	---------------

Câu 17 Giá trị output Read data1 của khối Registers bằng bao nhiêu khi mã máy của lệnh sau được thanh ghi PC trở tới trong quá trình thực thi là 0x1109FFFF? Biết giá trị được lưu trong các thanh ghi của thanh ghi \$t0 và thanh ghi \$t1 tương ứng là: 0xFFFFFFF90 và 0x00001234. (G2.1)

A. 0xFFFFFFF90	B. 0xFFFFFFFF	C. 0x00001234	D. 0x1109FFFF
----------------	---------------	---------------	---------------

Câu 18 Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong Hình 1 (ở trang cuối đề thi) như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0):

I-Mem	Add	Mux	ALU	Regs	D-Mem
350ps	100ps	40ps	140ps	220ps	300ps

Thời gian trễ lớn nhất của lệnh “sw” khi thực thi theo Datapath trong Hình 1 (ở trang cuối của đề thi) là? (G2.1)

A. 1250ps	B. 1350ps	C. 1150ps	D. 1310 ps
-----------	-----------	-----------	------------

Câu 19 Đoạn chương trình sau được thực thi trong kiến trúc pipeline 5 tầng:

lw \$t3, 40(\$s4)

sw \$t3, 50(\$t2)

add \$t3, \$t3, \$s0

Tổng số chu kỳ cần thiết để hoàn thành chương trình trên khi không dùng kỹ thuật nhìn trước (non-forwarding) và khi dùng kỹ thuật nhìn trước (full-forwarding) là bao nhiêu? (bỏ qua các xung đột khác nếu có) (G2.1)

A. 10 và 8	B. 9 và 8	C. 10 và 9	D. 11 và 9
------------	-----------	------------	------------

Câu 20 Cho bảng sau:

I-Mem	Mux	ALU	Regs	D-Mem
300 ps	80 ps	280 ps	230 ps	400 ps

Chu kỳ xung clock cần cho thiết kế datapath khi thiết kế ở dạng bộ xử lý đơn chu kỳ như Hình 1 (ở trang cuối đề thi) với 8 lệnh cơ bản (add, sub, or, and, slt, lw, sw và beq) là bao nhiêu? (G2.1)

A. 1600 ps	B. 1680 ps	C. 1370 ps	D. 1450 ps
------------	------------	------------	------------

Câu 21 Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
130ns	110ns	160ns	140ns	115ns

Cho 4 câu lệnh sau:

sub \$s2, \$t1, \$t7

sw \$s1, 32(\$s2)

or \$s4, \$s1, \$s3

lw \$s2, 12(\$s4)

Các câu lệnh trên thực thi trong trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp sử dụng kỹ thuật nhìn trước (full-forwarding)? (G2.1)

A. 1440ns	B. 1280ns	C. 1040ns	D. 1120ns
-----------	-----------	-----------	-----------

Câu 22 Giả sử mỗi công đoạn trong datapath có thời gian hoạt động như bảng dưới. Thời gian cần thiết để thực hiện một lệnh “add” cho trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng và không pipeline đơn chu kỳ lần lượt là bao nhiêu (ps)? (G2.1)

IF	ID	EX	MEM	WB
380ps	360ps	300ps	400ps	350ps

A. 1500 và 1790	B. 2000 và 1790	C. 1500 và 1390	D. 2000 và 1390
-----------------	-----------------	-----------------	-----------------

Câu 23 Với datapath như hình 1 giá trị của tín hiệu điều khiển “ALU control” bằng 0110 trong trường hợp nào sau đây? (G2.1)

A. beq \$s1, \$s2, label	B. add \$s1, \$s2, \$s3	C. lw \$s1, 4(\$s2)	D. sw \$s1, 10(\$s2)
--------------------------	-------------------------	---------------------	----------------------

Câu 24 Thực hiện phép nhân $55_{(10)} \times 13_{(10)}$ với phần cứng 3 thanh ghi và dùng 8-bits để biểu diễn và thực hiện trên kiến trúc phần cứng phép nhân 8-bit. Ngay khi kết thúc bước lặp thứ ba, giá trị của thanh ghi **Product** là? (G2.1)

A. $01_{(16)}$	B. $0113_{(16)}$	C. $01B8_{(16)}$	D. $00DC_{(16)}$
----------------	------------------	------------------	------------------

Câu 25 Phát biểu nào sau đây **ĐÚNG** khi nói về xung đột dữ liệu (G2.1)

A.	Có thể xảy ra khi tại thời điểm lệnh kế tiếp cần sử dụng kết quả dữ liệu của lệnh trước đó nhưng lệnh trước đó chưa thực thi xong
B.	Có thể xảy ra ngay sau các lệnh điều khiển nhảy
C.	Có thể xảy ra khi một lệnh cần dữ liệu để xử lý nhưng dữ liệu đó chưa có sẵn
D.	Có thể xảy ra khi hai hoặc nhiều công đoạn của các lệnh khác nhau sử dụng cùng một tầng cấu trúc phần cứng

Câu 26 Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
130ns	110ns	160ns	140ns	115ns

Cho 4 câu lệnh sau:

```
sw $s2, 32($s2)
sub $s1, $s2, $t7
or $s1, $s4, $s3
lw $s2, 32($s1)
```

Các câu lệnh trên thực thi trong trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp KHÔNG sử dụng kỹ thuật nhìn trước (non-forwarding)? (G2.1)

A. 1440ns	B. 1280ns	C. 1040ns	D. 1600ns
-----------	-----------	-----------	-----------

Dữ kiện bên dưới sử dụng cho 4 câu hỏi tiếp theo (từ câu 27 đến câu 30)

Cho một bộ xử lý MIPS 32 bits (có datapath và control như Hình 1 ở cuối đề thi).

Giả ban đầu (câu lệnh đầu tiên của đoạn chương trình) thanh ghi PC có giá trị 0x001000A0; \$t1 = 0x10010018; \$t3 = 0x00000005; \$t4 = 0x000011EF; \$t5 = 0x0000001A; các word (từ) tại các địa chỉ (Address) tương ứng có giá trị (Data) như trong bảng sau:

Address	0x10010008	0x1001000C	0x10010010	0x10010014	0x10010018
Data	0x00000004	0x00000005	0x00000006	0x00000007	0x00000008

Nếu đoạn chương trình sau được thực thi:

```
addi $t1, $t1, -16
lw $t2, 4($t1)
beq $t3, $t2, nhan
sub $t2, $t3, $t4
nhan: add $t3, $t4, $t5
```

Câu 27 Giá trị của thanh ghi PC là bao nhiêu khi câu lệnh “beq” thực thi xong công đoạn ALU? (G2.1)

A. 0x001000AC	B. 0x001000A8	C. 0x001000B0	D. 0x001000B4
---------------	---------------	---------------	---------------

Câu 28 Ngõ ra của khối Instruction Memory là bao nhiêu khi chương trình bắt đầu thực hiện lệnh số 2 (thanh ghi PC trở đến câu lệnh số 2)? (G2.1)

A. 0x8D2A0004	B. 0x8D2A0000	C. 0x8B2A0000	D. 0x8D2A0008
---------------	---------------	---------------	---------------

Câu 29 Giá trị tín hiệu MemRead, MemWrite lần lượt bằng bao nhiêu khi chương trình bắt đầu thực hiện lệnh số 2? (G2.1)

A. 0, 0	B. 0, 1	C. 1, 0	D. 1, 1
---------	---------	---------	---------

Câu 30 Kết quả tại đầu ra ALU result bằng bao nhiêu sau khi thực hiện xong lệnh cuối cùng? (G2.1)

A. 0x0000120F	B. 0xFFFF11EF	C. 0x00001209	D. 0xFFFF11EA
---------------	---------------	---------------	---------------

Duyệt đề của Bộ Môn

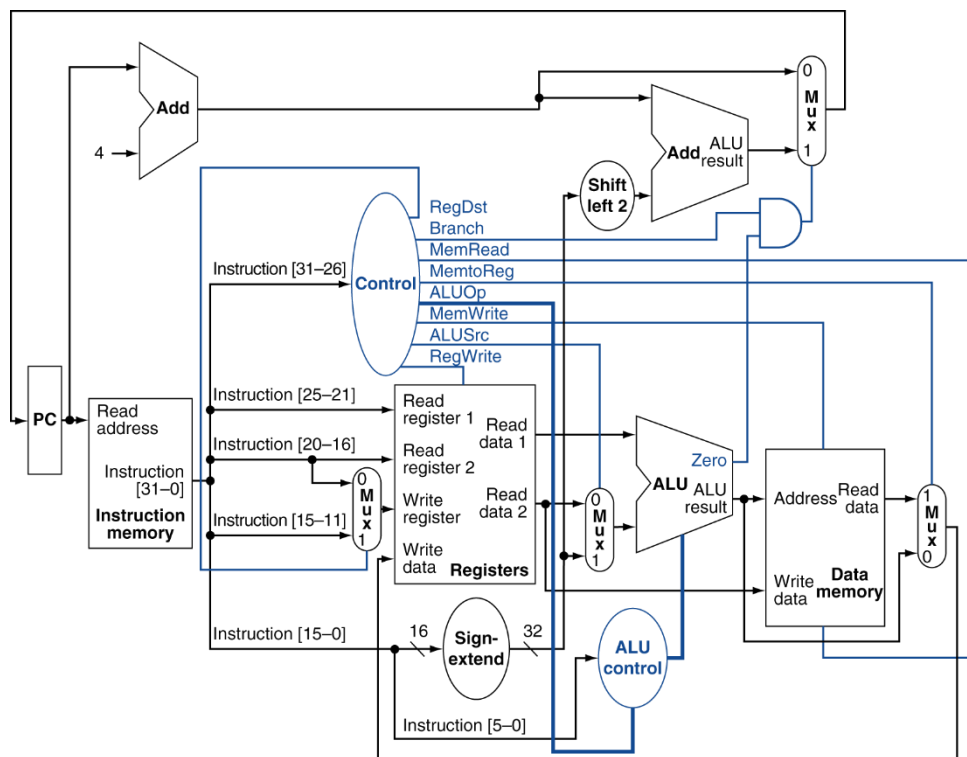
Giáo viên ra đề

Trịnh Lê Huy

Phan Đình Duy

Bảng phân bổ chuẩn đầu ra môn học Kiến trúc máy tính trong đề thi

CĐRMH	Mô tả CĐRMH	Phân bổ CĐRMH trong các câu hỏi
G2.1	Nắm vững kiến thức nền tảng về lĩnh vực CNTT	Tự luận, Trắc nghiệm từ Câu 7 tới Câu 30
G6.2	Trình bày, thảo luận được các giải pháp liên quan ngành KTMT bằng ngoại ngữ	Trắc nghiệm từ Câu 1 đến Câu 6



Hình 1 Datapath