

<u>STT</u>	Họ và tên: ..... MSSV: ..... Phòng thi: .....	<u>ĐIỂM</u>	<u>CÁN BỘ COI THI</u>
------------	---	-------------	-----------------------

## BẢNG TRẢ LỜI TRẮC NGHIỆM

## TƯ LUẬN (1 điểm) (G1, G2)

Nếu ngoài 8 lệnh đã học trong phần datapath, nếu yêu cầu chỉnh sửa datapath trong Hình 1 (ở trang cuối đề thi) để có thể thực hiện thêm lệnh “bne” thì cần phải thêm những khối nào và mô tả lại quá trình thực thi lệnh “bne” trên datapath mới đó.

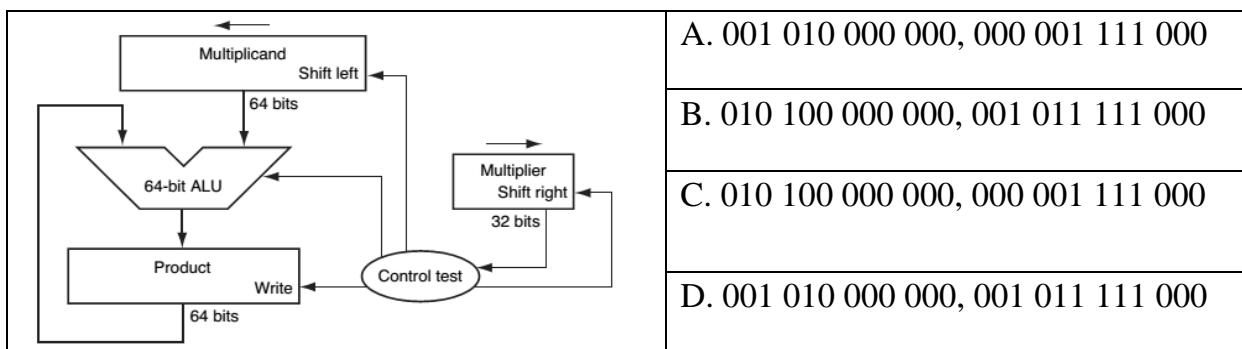
## Trả lời:

## CÂU HỎI TRẮC NGHIỆM (9 điểm, 0.3 điểm/câu), SV chọn 1 đáp án đúng

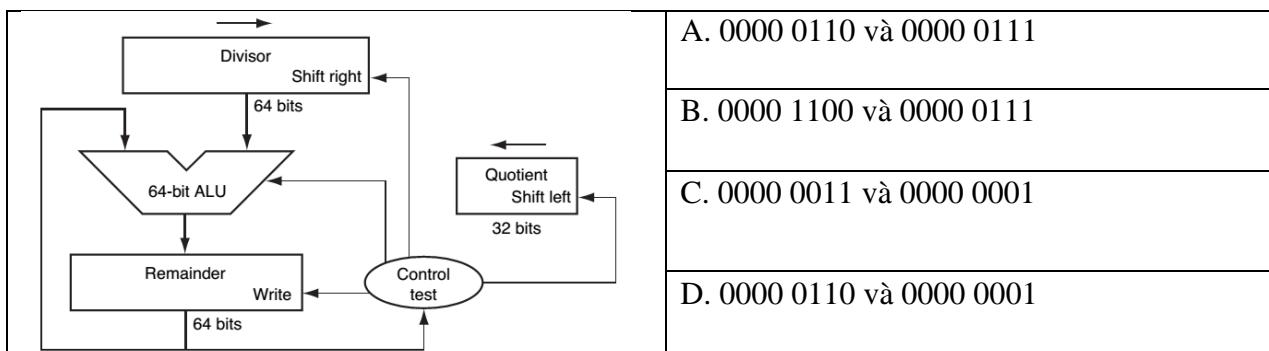
**Câu 1** Cho  $A = 010110$  và  $B = 101110$  là số nhị phân dùng 5-bit để lưu trữ, theo dạng số nhị phân có dấu dạng bù 2. Tính  $A + B$  và c ho biết kết quả có tràn hay không? (G1)

- |    |                     |
|----|---------------------|
| A. | 000100 (không tràn) |
| B. | 000100 (tràn)       |
| C. | 100100 (không tràn) |
| D. | 100100 (tràn)       |

**Câu 2** Cho cấu trúc phần cứng phép nhân tương tự như hình, khi thực hiện phép nhân hai số 6-bit:  $101000_{(2)} * 010011_{(2)}$ , giả sử số được biểu diễn là số không dấu, giá trị của các thanh ghi **Multiplicand** và **Product** lần lượt là bao nhiêu sau khi kết thúc vòng lặp thứ 5? (G1)



**Câu 3** Cho cấu trúc phần cứng phép chia tương tự như hình, khi thực hiện phép chia:  $7_{(10)} / 3_{(10)}$ , giả sử số được biểu diễn theo kiểu không dấu 4-bit, giá trị của các thanh ghi Divisor và Remainder lần lượt là bao nhiêu sau khi kết thúc lần lặp thứ 3? (G1)



**Câu 4** Trong kiến trúc MIPS, phép chia được thực hiện bằng lệnh “*div rs, rt*”. Phát biểu nào sau đây đúng và đủ? (G1)

- |    |  |
|----|--|
| A. | Giá trị số dư 32-bit và thương 32-bit được lưu mặc định trong 2 thanh ghi HI và LO |
| B. | Giá trị số dư 32-bit và thương 32-bit được lưu mặc định trong 2 thanh ghi LO và HI |
| C. | Thanh ghi HI lưu 32-bit trọng số cao của giá trị số dư                             |
| D. | Thanh ghi LO lưu 32-bit trọng số thấp của giá trị thương                           |

**Câu 5** Các bit từ [20:16] trong mã máy của lệnh “*add \$s1, \$s2, \$s3*” có ý nghĩa là gì? (G1)

- |    |                            |
|----|----------------------------|
| A. | Địa chỉ của thanh ghi \$s1 |
| B. | Địa chỉ của thanh ghi \$s3 |
| C. | Giá trị của thanh ghi \$s1 |
| D. | Giá trị của thanh ghi \$s3 |

**Câu 6** Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits, trong đó giá trị của các thanh ghi là \$8 = 0x0000001C, \$9 = 0x10000000, \$10 = 0x1000001C, \$13 = 0xFFFFFFFF, \$14 = 0x00000000, \$15 = 0x00000000, \$19 = 0x20000000, \$20 = 0x20000000.

```

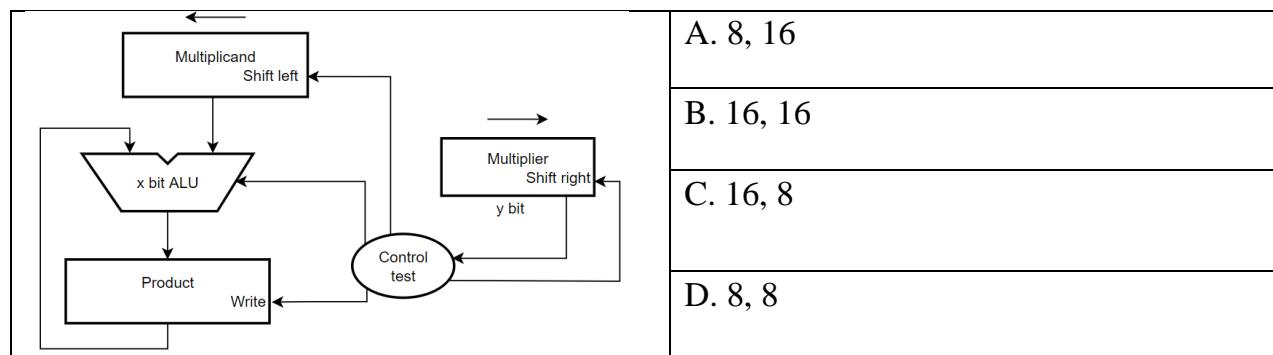
add $t2, $t1, $t0
and $s2, $t2, $t5
or $s3, $t6, $t2
sw $s4, 100($t2)
add $s4, $t2, $t2

```

Sau khi thực thi chương trình trên, giá trị của thanh ghi \$s4 trong tập thanh ghi là? (G1)

A.	0x2000002C
B.	0x20000028
C.	0x20000038
D.	0x20000048

**Câu 7** Cho cấu trúc phần cứng phép nhân như hình, khi thực hiện phép nhân hai số 8-bit thì giá trị x, y tối thiểu lần lượt là? (G1)



**Câu 8** Khối chức năng nào thuộc datapath KHÔNG tham gia vào lệnh “beq \$t3, \$t2, ABC”? (G2)

A. I-mem	B. D-mem	C. Add sau shift left 2	D. ALU
----------	----------	-------------------------	--------

**Câu 9** Số bước lắp sử dụng cho cấu trúc phần cứng phép chia thông thường khi chia hai số 6-bit là bao nhiêu? (G1)

A. 6	B. 7	C. 8	D. 9
------	------	------	------

**Câu 10** Hãy cho biết đường nào trong các đường sau là critical path (đường đi dài nhất của dữ liệu) của lệnh “slt” với datapath như trong Hình 1 (ở trang cuối đề thi)? (G2)

A.	I-Mem, Mux, Regs, Mux, ALU, Mux, Regs
B.	I-Mem, Mux, Regs, ALU, D-mem, Mux, Regs
C.	I-Mem, Mux, Regs, ALU, Mux, D-Mem, Regs
D.	I-Mem, Regs, Mux, ALU, Mux, Mux, Regs

**Câu 11** Quy trình thực thi một lệnh trong kiến trúc MIPS lần lượt theo thứ tự sau? (G2)

A.	Fetch -> Memory Access -> Instruction Decode -> ALU -> Result Write
B.	Fetch -> Instruction Decode -> Memory Access -> ALU -> Result Write
C.	Fetch -> Instruction Decode -> ALU -> Memory Access -> Result Write
D.	Fetch -> ALU -> Instruction Decode -> Memory Access -> Result Write

**Câu 12** Giá trị output của khối “Sign-extend” bằng bao nhiêu khi mã sau được thanh ghi PC trả tối trong quá trình thực thi: 0x325002A3? (G1)

A. 0xfffff02A3	B. 0x325002A3	C. 0x000002A3	D. 0x02A3
----------------	---------------	---------------	-----------

**Câu 13** Giá trị Output của khối ALU bằng bao nhiêu khi mã lệnh sau được thanh ghi PC trả tối trong quá trình thực thi: 0x02328024? Biết giá trị của thanh ghi s1 và thanh ghi số s2 tương ứng là: 0x00002022 và 0x00002023. (G1)

A. 0xfffff2023	B. 0x2023ffff	C. 0x00002023	D. 0x00002022
----------------	---------------	---------------	---------------

**Câu 14** Giá trị Input thứ hai của ALU bằng bao nhiêu khi mã lệnh sau được thanh ghi PC trả tối trong quá trình thực thi: 0x8e2bfff4? Biết giá trị được lưu trong các thanh ghi của thanh ghi Read register 1 và thanh ghi Read register 2 tương ứng là: 0xffffffff90 và 0x00001234. (G1)

A. 0xffffffff90	B. 0xfffffffff4	C. 0x00001234	D. 0x0000fff4
-----------------	-----------------	---------------	---------------

**Câu 15** Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong Hình 1 (ở trang cuối đề thi) như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0):

I-Mem	Add	Mux	ALU	Regs	D-Mem
350ps	110ps	60ps	180ps	220ps	330ps

Thời gian trễ lớn nhất của lệnh “slt” khi thực thi theo Datapath trong Hình 1 (ở trang cuối đề thi) là? (G1)

A. 1330 ps	B. 1220 ps	C. 1150 ps	D. 1060 ps
------------	------------	------------	------------

**Câu 16** Cho bảng sau:

I-Mem	Mux	ALU	Regs	D-Mem
520 ps	90 ps	190 ps	230 ps	550 ps

Chu kỳ xung clock cần cho thiết kế datapath như Hình 1(ở trang cuối đề thi) với 8 lệnh cơ bản (add, sub, or, and, slt, lw, sw và beq) là bao nhiêu khi bộ xử lý được thiết kế đơn chu kỳ? (G1)

A. 2420 ps	B. 2260 ps	C. 1680 ps	D. 1900 ps
------------	------------	------------	------------

**Câu 17** Đoạn chương trình sau được thực thi trong kiến trúc pipeline 5 tầng:

```
sw $t3, 40($s4)
add $t2, $t3, $s0
sw $s1, 50($t2)
```

Tổng số chu kỳ cần thiết để hoàn thành chương trình trên khi không dùng kỹ thuật nhìn trước (no forwarding) và khi dùng kỹ thuật nhìn trước (forwarding) là bao nhiêu? (bỏ qua các xung đột khác nếu có) (G1)

A. 9 và 7	B. 11 và 8	C. 10 và 9	D. 11 và 7
-----------	------------	------------	------------

**Câu 18** Giả sử mỗi công đoạn trong pipeline có thời gian hoạt động như bảng dưới. Thời gian cần thiết để thực hiện một lệnh “add” cho trường hợp processor có pipeline và không pipeline đơn chu kỳ lần lượt là bao nhiêu? (G1)

IF	ID	EX	MEM	WB
360ps	200ps	250ps	400ps	190ps

A. 1500 và 1000	B. 2000 và 1400	C. 1500 và 1400	D. 2000 và 1000
-----------------	-----------------	-----------------	-----------------

**Câu 19** Với datapath như Hình 1 (ở trang cuối đề thi), khi thực hiện lệnh “sw” thì ALU thực hiện chức năng gì? (G2)

A. add	B. subtract	C. set on less than	D. and
--------	-------------	---------------------	--------

**Câu 20** Với datapath như hình 1, câu lệnh nào có tín hiệu ALUSrc = 1? (G1)

A. slt	B. lw	C. beq	D. add
--------	-------	--------	--------

**Câu 21** Cho lệnh sau: “add \$s1, \$s2, \$s3”, giá trị tín hiệu RegWrite là? (G1)

A. 0	B. 1	C. 11	D. x
------	------	-------	------

**Câu 22** Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
160ns	100ns	80ns	150ns	90ns

Cho 3 câu lệnh sau:

*add \$s2, \$t1, \$t7*

*lw \$s1, 32(\$s2)*

*add \$s2, \$s1, \$s3*

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 3 câu lệnh trên trong trường hợp sử dụng kỹ thuật nhìn trước (full-forwarding)? (G1)

A. 1440ns	B. 1280ns	C. 1600ns	D. 1120ns
-----------	-----------	-----------	-----------

**Câu 23** Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
140ns	100ns	80ns	150ns	90ns

Cho 3 câu lệnh sau:

*add \$s2, \$t1, \$t7*

*sw \$s1, 32(\$t2)*

*sub \$s4, \$s5, \$s1*

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 3 câu lệnh trên trong trường hợp KHÔNG sử dụng kỹ thuật nhìn trước (forwarding)? (G1)

A. 1050ns	B. 1350ns	C. 1200ns	D. 1500ns
-----------	-----------	-----------	-----------

**Câu 24** Phát biểu nào sau đây ĐÚNG khi nói về xung đột dữ liệu (G1)

A.	Có thể xảy ra khi tại thời điểm lệnh kế tiếp cần sử dụng kết quả của lệnh trước đó nhưng lệnh trước đó chưa thực thi đến công đoạn Write back
B.	Có thể xảy ra ngay sau các lệnh điều khiển nhảy
C.	Có thể xảy ra khi một lệnh cần dữ liệu để xử lý nhưng dữ liệu đã có sẵn
D.	Có thể xảy ra khi hai hoặc nhiều công đoạn của các lệnh khác nhau sử dụng cùng một tầng cấu trúc phần cứng

**Câu 25** Công đoạn mà lệnh “beq” và “sw” KHÔNG cần thực hiện các thao tác trong công đoạn này là? (G2)

A. Instruction Decode	B. Instruction Fetch	C. Memory Access	D. Result Write
-----------------------	----------------------	------------------	-----------------

**Câu 26** Chọn phát biểu đúng nhất trong các phát biểu dưới đây? (G1)

A.	Kỹ thuật pipeline giúp giảm thời gian thực thi của từng lệnh riêng lẻ
B.	Kỹ thuật pipeline không giúp giảm thời gian thực thi của từng lệnh riêng lẻ
C.	Kỹ thuật pipeline không giúp giảm thời gian thực thi của chương trình chứa nhiều lệnh
D.	Kỹ thuật pipeline giúp giảm thời gian thực thi của lệnh sw

### **Dữ kiện bên dưới sử dụng cho 4 câu hỏi tiếp theo (từ câu 27 đến câu 30)**

Cho một bộ xử lý MIPS 32 bits (có datapath và control như hình đã học).

Biết ban đầu (câu lệnh đầu tiên của đoạn chương trình) thanh ghi PC = 0x00400000; \$s6 = 0x10010058; Word nhớ tại các địa chỉ (Address) tương ứng có nội dung/giá trị (Data) như trong bảng sau:

Address	0x10010068	0x1001006C	0x10010070	0x10010074	0x10010078
Data	0x00005678	0x00004321	0x00006789	0x00065432	0x6789000D

Nếu đoạn chương trình sau được thực thi:

```

addi $s2, $s6, 8
lw $t4, 8($s2)
sll $t4, $t4, 2
lw $t4, 20($s2)

```

Khi bộ xử lý trên đang thực thi vừa xong câu **lệnh thứ tư**, trả lời các câu hỏi bên dưới vào bảng trả lời trắc nghiệm ở trang đầu

**Câu 27** Ngõ ra của khối Instruction Memory là bao nhiêu? (G1)

A. 0x8F4C0020	B. 0x8E4C0020	C. 0x8E4C0014	D. 0x8E4C0010
---------------	---------------	---------------	---------------

**Câu 28** Giá trị của thanh ghi \$t4? (G1)

A. 0x0000432	B. 0x000159F0	C. 0x6789000D	D. 0x00065432
--------------	---------------	---------------	---------------

**Câu 29** Kết quả tại đầu ra ALU result bằng bao nhiêu (G1)

A. 0x10010068	B. 0x10010070	C. 0x1001006C	D. 0x10010074
---------------	---------------	---------------	---------------

**Câu 30** Ngõ ra tại khối ALU control là bao nhiêu? (G1)

A. 1001	B. 0110	C. 0010	D. 0111
---------	---------	---------	---------

**Duyệt đề Khoa/Bộ Môn**

**Giáo viên ra đề**

Bảng chuẩn đầu ra môn học Kiến trúc máy tính năm 2022

CĐRMH	Mô tả CĐRMH
G2.1	Nắm vững kiến thức nền tảng về lĩnh vực CNTT
G6.2	Trình bày, thảo luận được các giải pháp liên quan ngành KTMT bằng ngoại ngữ