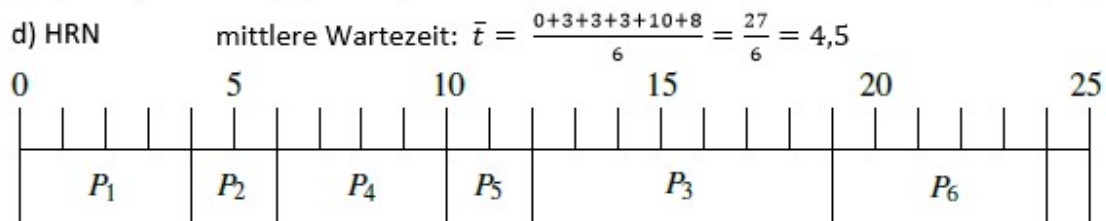
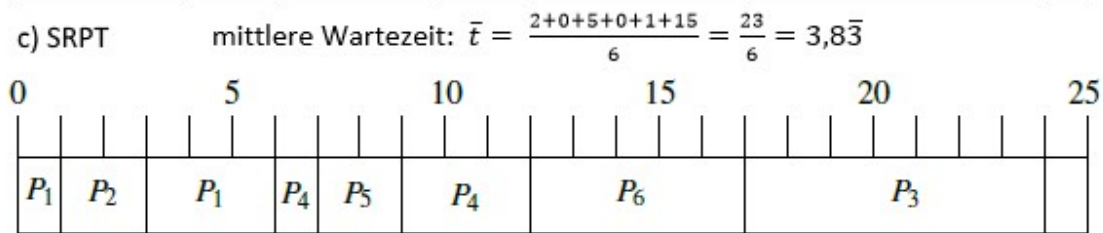
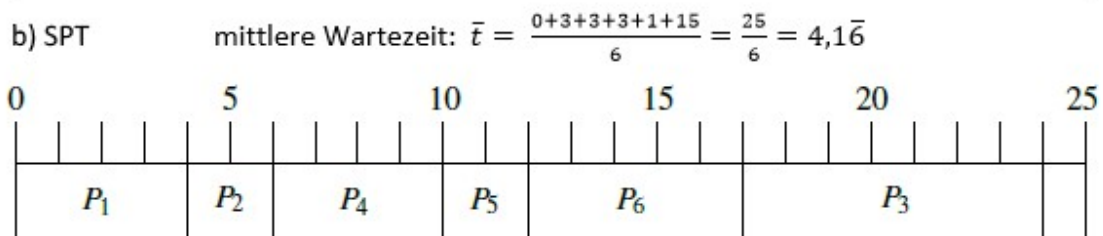
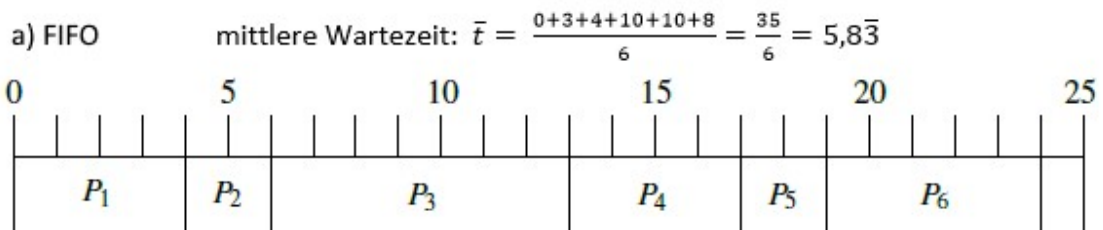
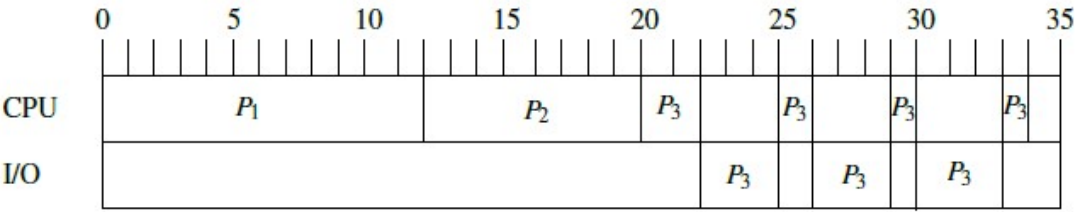


4.1

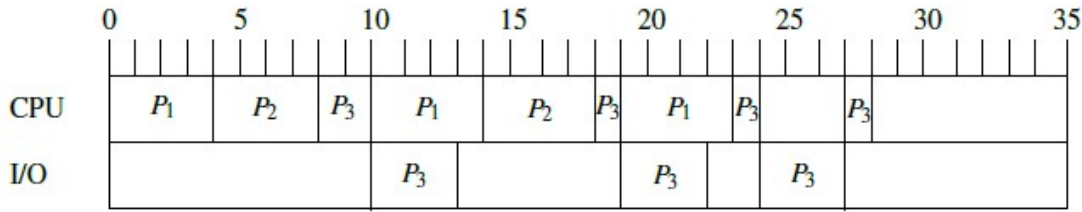
4.2

a)

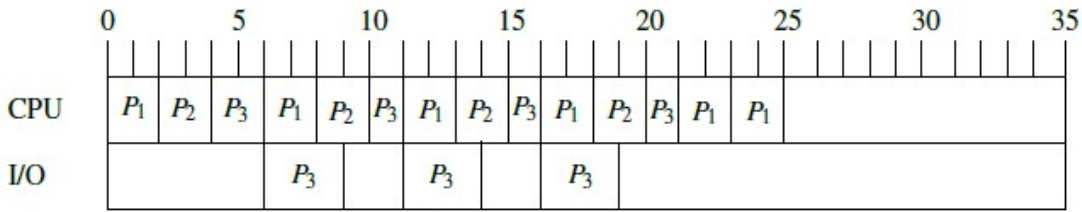
i) FIFO



ii) RR, Quantum 4



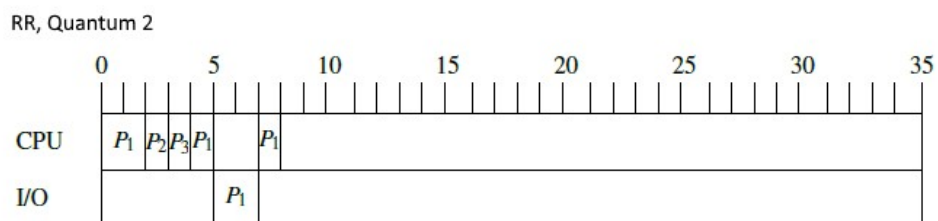
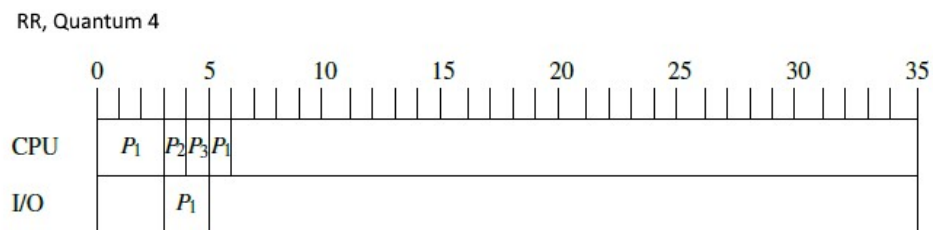
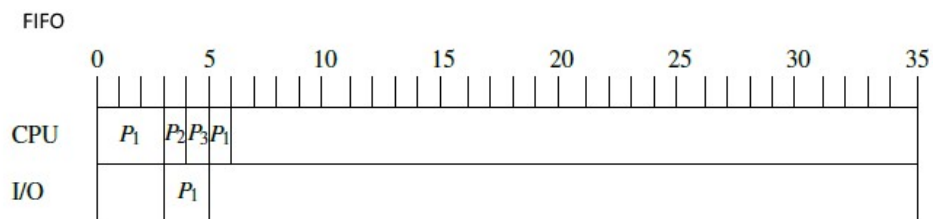
iii) RR, Quantum 2 etc.



b)

In a) maximiert iii) RR, Quantum 2 die CPU-Auslastung. Dies ist nicht immer so, hier ein Gegenbeispiel.

Prozess	Ankunftszeitpunkt	Bedienzeit	Ausführungsmuster
P_1	0	4	PPPIIP
P_2	1	1	P
P_3	2	1	P



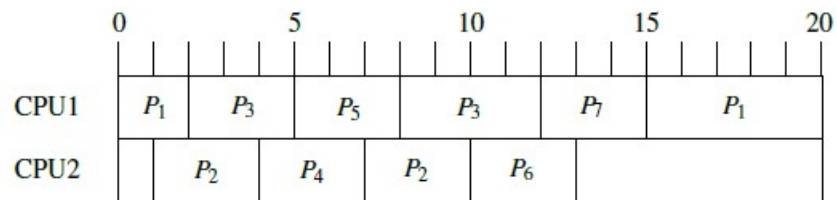
Da sowohl FIFO als auch RR, Q=4 die CPU besser auslasten als RR, Q=2, ist also RR, Q=2 nicht immer optimal.

4.3

t	Klasse 0 FIFO(1)	Klasse 1 $RR_2(4)$	Klasse 2 $RR_6(16)$	Klasse 3 FIFO	Incoming	Running
0	-	-	-	-	A(6), B(7)	-
1	-	-	A(6)	-	C(1)	B(6)
2	-	B(6)	A(6)	-	D(2)	C(0)
3	-	D(2)	A(6)	-	-	B(5)
4	-	B(5)	A(6)	-	-	D(1)
5	-	B(5)	A(6)	-	E(17)	D(0)
6	-	-	A(6)	E(17)	-	B(4)
7	-	-	A(6)	E(17)	-	B(3)
8	-	-	B(3)	E(17)	-	A(5)
9	-	-	B(3)	E(17)	-	A(4)
10	-	-	B(3)	E(17)	F(3)	A(3)
11	-	-	A(3), B(3)	E(17)	-	F(2)
12	-	-	A(3), B(3)	E(17)	-	F(1)
13	-	-	A(3), B(3)	E(17)	G(5)	F(0)
14	-	-	A(3), B(3)	E(17)	-	G(4)
15	-	-	A(3), B(3)	E(17)	H(3)	G(3)
16	-	H(3)	A(3), B(3)	E(17)	I(3)	G(2)
17	-	I(3), G(2)	A(3), B(3)	E(17)	-	H(2)
18	-	I(3), G(2)	A(3), B(3)	E(17)	-	H(1)
19	-	G(2), H(1)	A(3), B(3)	E(17)	-	I(2)
20	-	G(2), H(1)	A(3), B(3)	E(17)	-	I(1)

4.4

a)



b)

Es kam zu genau einer Verletzung einer Deadline, nämlich der von P_1 . Da dieser einen Zeitschritt nach seiner Deadline fertig geworden ist, beträgt also die maximale Verspätung eine Zeiteinheit.

c)

Es würde die obige Situation verbessern, da P_1 dann nicht mehr erst bei Zeiteinheit 16 von CPU1 geschedult würde, sondern bei Zeitschritt 14 zur CPU2 gewechselt und somit ab Zeitschritt 15 bearbeitet werden könnte. Dies würde bewirken, dass P_1 dann genau bei der Deadline 19 fertig wird, also gäbe es nun keine Deadlineverletzungen mehr und die maximale Verspätung wäre somit 0.