

Σ

Kapitelfragen 2

(Abgabe am 15.11.2018)

Fragen und Antworten

1. Ist die Entwicklung oder die Fertigung für die Ausbeute verantwortlich?

Die Fertigung ist für die Einhaltung der Technologieparameter verantwortlich. Toleranzüberschreitungen führen zu Ausschuss und somit geringerer Ausbeute. Also hat die Fertigung einen Einfluss auf die Ausbeute. Außerdem: Gemäß der Formel nach Moore steigt die Ausbeute bei kleinerer Fläche eines einzelnen Chips. Diese Verringerung der Fläche ist durch kleinere Fertigungsgrößen erreichbar, welche wiederum durch kleinere Transistoren erreicht werden können. Ebenso könnte mittels effizienterer Schaltungen (weniger Gatter bei gleicher logischer Mächtigkeit) und besserem Layout weiter Platz eingespart werden. Alle drei Punkte fallen unter Designparameter und in den Verantwortungsbereich der Entwicklung. Insgesamt kann also gesagt werden, dass sowohl Fertigung als auch Entwicklung einen Einfluss auf die Ausbeute haben.

2. Was ist das Entwicklungsergebnis?

Zum einen resultieren aus dem Entwicklungsprozess ganz allgemein die Designparameter basierend auf den Vorgaben der Kunden (Spezifikationsparameter) und den Fähigkeiten der Fertigung (Technologieparameter). Zum Anderen werden als Ergebnis der Entwicklung an das Frontend of Line die Masken zur Fotolithografie und die Designparameter weitergereicht. Außerdem entsteht aus der Entwicklung durch die Implementierung der Spezifikations- und Technologieparameter in direkter Abhängigkeit das entsprechende Testprogramm für das Backend of Line.

3. Was ist am Ende der Waferfertigung zu testen?

1. Messung der Technologieparameter (elektrisch in Ordnung)
2. Messung ob Spezifikationen eingehalten werden
3. Prüfen auf Funktionalität (evtl. evtl. parametrische Einschränkungen durch Punkt-Defekte)

4. Was begrenzt die Ausbeute unabhängig von Fertigung und Entwicklung?

Generell begrenzen unabhängig von Fehlerfreiheit bei Fertigung und Entwicklung Verunreinigungen die Ausbeute. Teils in der Luft des Reinraumes oder aber auch chemisch in den verwendeten Stoffen.

5. Was versteht man unter Defektdichte?

Auf einem Wafer können Defekte auftreten. Liegt solch ein Defekt auf einem Chip, dann ist dessen Funktionalität sehr wahrscheinlich eingeschränkt oder er hat einen Totalausfall. Die Defektdichte gibt die Anzahl solcher Defekte pro Flächeneinheit auf einem Wafer.

6. Wie ist die Ausbeute definiert?

Die Ausbeute ist das Verhältnis der durch den Produktions-Test der Chips noch auf der Scheibe vor dem Vereinzeln für gut befundenen Chips zu den auf der Scheibe geometrisch möglichen.

7. Wie kann man die Anzahl guter Chips auf dem Wafer erhöhen?

Je kleiner die Chips desto geringer die Wahrscheinlichkeit, dass er sich einen Punktdefekt einfängt.

8. Was für Informationen enthält eine Ausbeuteformel?

1. D = Die Defektdichte in Defekte pro Flächeneinheit
2. A = Die Fläche eines einzelnen ICs

9. Wie lautet Moores Ausbeuteformel?

Formel: $Y_W = e^{-\sqrt{AD}}$

Dabei ist zu beachten, dass die tatsächliche Verteilung der Defekte auf einem Wafer unbekannt ist. Daher wird mit der Ausbeuteformel nur statistisch abgeschätzt. Weiter noch ist der Aufbau der Formel heuristisch und in keiner Weise theoretisch einwandfrei begründbar.

10. Zahlenbeispiel

$$\frac{K_{\text{neu}}}{K_{\text{alt}}} = \frac{A_{\text{neu}}}{A_{\text{alt}}} \cdot \frac{Y_{W_{\text{alt}}}}{Y_{W_{\text{neu}}}}$$

mit Murphy Dirac $Y_W = e^{-AD_0}$:

Einfluss Chipfläche:

$$\frac{K_{\text{neu}}}{K_{\text{alt}}} = \frac{2cm^2}{1cm^2} \cdot \frac{e^{-1cm^2 \cdot \frac{1}{cm^2}}}{e^{-2cm^2 \cdot \frac{1}{cm^2}}} \approx 5.44$$

Die verdoppelte Chipfläche hat also circa die 5.4 fachen Kosten zur Folge.

Einfluss Defektdichte:

$$\frac{K_{\text{neu}}}{K_{\text{alt}}} = \frac{2cm^2}{1cm^2} \cdot \frac{e^{-1cm^2 \cdot \frac{0.5}{cm^2}}}{e^{-2cm^2 \cdot \frac{0.5}{cm^2}}} \approx 3.3$$

Mit Halbierung der Defektdichte wären die neuen Chips mit doppelter Chipfläche nur noch 3.3 mal so teuer.

mit Murphy Dreieck $Y_W = \left[\frac{1-e^{-AD_0}}{AD_0} \right]^2$:

Einfluss Chipfläche:

$$\frac{K_{\text{neu}}}{K_{\text{alt}}} = \frac{2}{1} \cdot \frac{\left[\frac{1-e^{-1cm^2 \cdot \frac{1}{cm^2}}}{1cm^2 \cdot \frac{1}{cm^2}} \right]^2}{\left[\frac{1-e^{-2cm^2 \cdot \frac{1}{cm^2}}}{2cm^2 \cdot \frac{1}{cm^2}} \right]^2} \approx 2 \cdot \frac{[0.63]^2}{[0.43]^2} \approx 4.3$$

Die verdoppelte Chipfläche hat also circa die 4.3 fachen Kosten zur Folge.

Einfluss Defektdichte:

$$\frac{K_{\text{neu}}}{K_{\text{alt}}} = \frac{2}{1} \cdot \frac{\left[\frac{1-e^{-1cm^2 \cdot \frac{0.5}{cm^2}}}{1cm^2 \cdot \frac{0.5}{cm^2}} \right]^2}{\left[\frac{1-e^{-2cm^2 \cdot \frac{0.5}{cm^2}}}{2cm^2 \cdot \frac{0.5}{cm^2}} \right]^2} \approx 2 \cdot \frac{[0.79]^2}{[0.63]^2} \approx 3.14$$

Mit Halbierung der Defektdichte wären die neuen Chips mit doppelter Chipfläche nur noch 3.14 mal so teuer.