Wilhelm-Schickard-Institut für Informatik Arbeitsbereich Technische Informatik Prof. Dr. W. Rosenstiel



Chip Design WS 2018/19

Prof. Dr.-Ing. W. Glauert

Übungsblatt 1 - Abgabe zum 08.11.2018

Aufgabe 1: Ausbeute [2 Punkte]

Auf einem 150mm Wafer zum Preis von $1000 \in$ können Chips vom Typ A oder B platziert werden. Chip A hat auf diesem Wafer eine Ausbeute von 35~% der geometrisch möglichen ICs und benötigt eine Fläche von $1~cm^2$. Chip B hat ein ähnliches Layout und damit eine entsprechende Defektdichte wie Chip A und besitzt eine Fläche von $1,5~cm^2$.

- 1. Berechnen Sie, wie viele Chips vom Typ A auf dem Wafer geometrisch möglich sind.
- 2. Berechnen Sie die Defektdichte nach Moore für diesen Herstellungsprozess.
- 3. Berechnen Sie die für Chip B erwartete Ausbeute und die Anzahl der funktionsfähigen ICs.
- 4. Berechnen Sie die jeweiligen Kosten für ein Exemplar von Chip A und Chip B.

Aufgabe 2: Bonusaufgabe - Einfluss auf die Ausbeute

[+1 Punkt]

- 1. Kann ein IC-Entwickler Einfluss auf die Ausbeute einer Halbleiter-Fabrik nehmen? Begründen Sie Ihre Antwort!
- 2. Wie ändern sich die IC-Kosten, wenn bei gleichbleibender Defektdichte $D=1\ cm^{-2}$ die Fläche von $2\ cm^2$ auf $1\ cm^2$ halbiert wird? Verwenden Sie hierzu die Ausbeuteformel nach Moore.

Aufgabe 3: Bonusaufgabe - IC-Kosten

[+1 Punkt]

Eine IC-Herstellung ist in drei Prozess-Gruppen aufgeteilt (z.B. Transistoren/Interconnect/Assembly) welche die folgenden Eigenschaften besitzen:

Gruppe i	Ausbeute Y_i [%]	Prozesskosten K_i je Wafer [\in]
1	90	600
2	82	400
3	95	200

1. Auf jedem Wafer-Rohling für 200 € können 500 ICs plaziert werden. Berechnen Sie die Gesamtkosten je IC.