

高速PCB布线规范与EMC问题处理

凡亿教育® www.fanyedu.com

主讲老师: 龙学飞



内容简介

1

什么是3W规则?

2



什么是包地?

3



什么是蛇形等长? 为什么需要等长?

4



什么是EMC? 和布线有啥关系?

5



如何处理PCB设计中的常见EMC问题?





01主讲人

▶ 龙学飞老师

深圳市凡亿技术开发有限公司技术总 监。凡亿教育PADS、封装课程金牌 讲师。有10年+高速PCB设计与EDA 培训经验;

曾任职于大型PCB设计企业CAD事业部、主导完善过多家上市公司封装库建设。擅长消费类电子、高速通信类等各类型产品的PCB设计,擅长PCB封装库设计与管理,有丰富CIS系统(零件(物料)信息系统)设计及管理经验。



02联系方式



凡亿



讲师微信



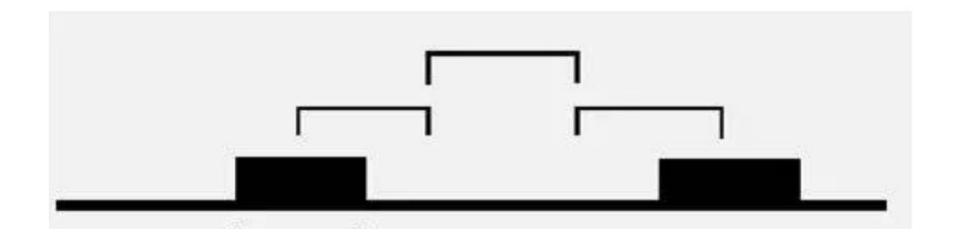


什么是3W规则?



什么是3W规则?

线与线之间的距离保持 3 倍线宽。是为了减少线间串扰,应保证线间距足够大,如果线中心距不少于 3 倍线宽时,则可保持 70%的线间电场不互相干扰,称为 3W 规则。





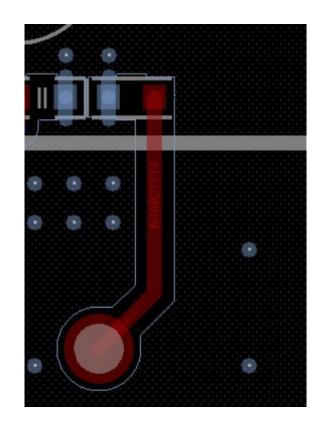


什么是包地?



什么是包地?

一些重要的信号整条信号线周围用地包起来,以对其进行隔离、保护,防止其与其他信号互相 干扰,影响其信号质量。





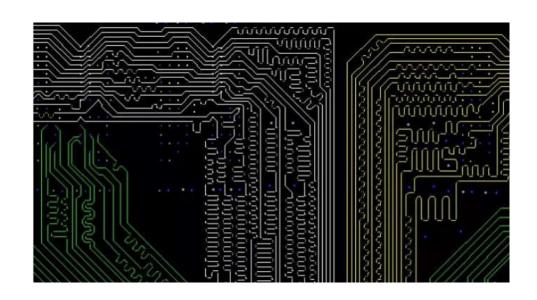


什么是蛇形等长?为什么需要等长?



什么是蛇形等长? 为什么需要等长?

在做 PCB 设计时,为了满足某一组所有信号线的总长度满足在一个公差范围内,通常要使用蛇形走线将总长度较短的信号线绕到与组内最长的信号线长度公差范围内,这个用蛇形走线绕长信号线的处理过程,就是我们俗称的 PCB 信号等长处理。



- 1、 一般做等长是为了满足系统对信号组的等时,即为了满 足此组内信号的时序须满足系统要求。比如对于 DDR, 其 数据信号每8位一组,做+/-25mil处理,如果此组信号等 长没有在此公差范围内,信号线长度相差太大,会导致其 相对延时较长,最终导致 DDR 运行速率不高。但是我们做 设计时有时发现 DDR 器件等长没有做,其成品也可正常运 行,并没产生影响,原因一般是系统软件对此信号做了延 时处理,软件上做了时序控制。对于带状线来说,每 1ps 延时对应的走线长度是 6mil 左右,所以一般信号组长度每 相差 6mil, 其总延时在 1ps。一般我们做设计时等长并不 用控制的太小,控制到+/-10mil 左右就已经很好了。+/-10mil 等长和+/-1mil 等长,在时间上的差异不超过 4ps, 一般的 IC 信号裕量都不止 4ps,所以做等长时没必要控制 的过小,从而导致自己设计走线困难。
- 2、 差分信号 (差分信号分析可查看我们的公众号往期文章) 等长是为了满足相位,一对差分信号相位相差 180 度,如 果长度相差太大,会导致其相位偏移过大。





什么是EMC? 和布线有啥关系?



什么是EMC? 和布线有啥关系?

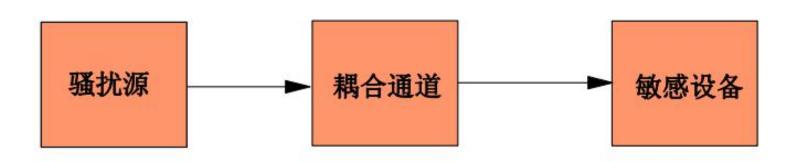
EMC (电磁兼容性)包括EMS (电磁敏感度)及EMI (电磁干扰)。设备在共同的电磁环境中能一起执行各自功能的共存状态,即该设备不会由于受到处于同一电磁环境中其他设备的电磁发射导致不允许的降级;也不会使同一电磁环境中其他设备因受其电磁发射而导致不允许的降级。

EMS: 设备暴露在电磁环境下所呈现的不希望有的响应程度。即设备对周围电磁环境

敏感程度的度量。电磁敏感意味着电磁环境已经造成设备性能的降低。

EMI: 电磁骚扰导致电子设备相互影响,并引起不良后果的一种电磁现象。

电磁干扰三要素: 电磁骚扰源、耦合通道、敏感设备。







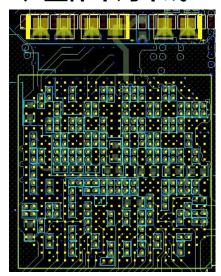
如何处理PCB设计中的常见EMC问题?

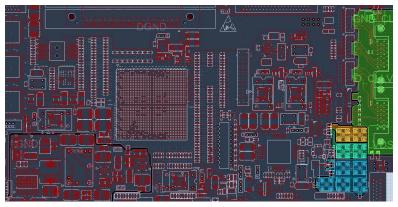


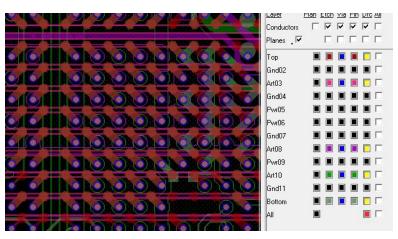
如何处理PCB设计中的常见EMC问题?

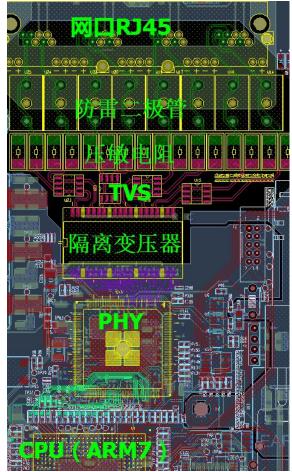
PCB设计考虑因素:

- 1、电容和滤波器件
- 2、叠层
- 3、隔离和保护
- 4、接口与保护
- 5、电源、时钟布局布线
- 6、整体布局布线



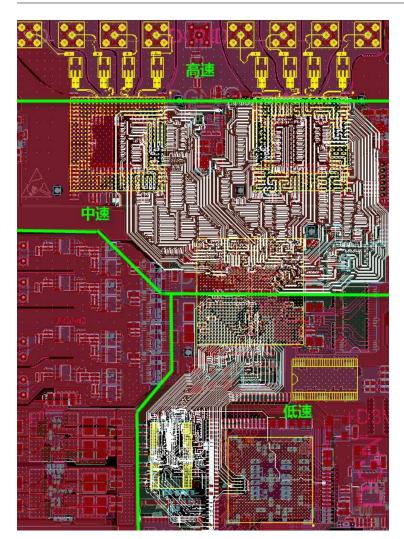


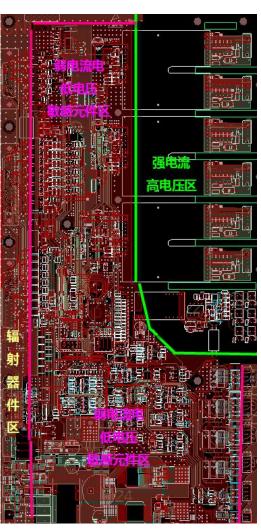




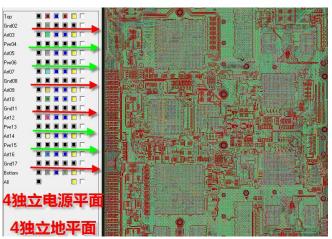


如何处理PCB设计中的常见EMC问题?













提问答疑





凡亿微信公众号



龙学飞个人微信号

获取教程和帮助请访问:

https://www.fanyedu.com

或关注微信公众号

THANKS