

第4章作业参考答案 15级1-2班百家版

4.3

- 1) 存储器的层次结构主要体现在 Cache—主存和主存—辅存这两个存储层次上。
- 2) Cache—主存层次主要解决 CPU 和主存速度不匹配的问题，在存储系统中主要对 CPU 访存起加速作用。从 CPU 的角度看，该层次的速度接近于 Cache，而容量和每位价格却接近于主存。这就解决了存储器的高速度和低成本之间的矛盾；主存—辅存层次主要解决存储系统的容量问题，在存储系统中主要起扩容作用。从程序员的角度看，其所使用的存储器的容量和每位价格接近于辅存，而速度接近于主存。该层次解决了大容量和低成本之间的矛盾。
- 3) 主存与 Cache 之间的数据调度是由硬件自动完成的，对程序员是透明的。而主存—辅存之间的数据调度，是由硬件和操作系统（采用虚拟存储技术）共同完成的。

4.5

- 1) 存储器的带宽指单位时间内存储器存取的信息量。
- 2) 存储器带宽 = $1/200\text{ns} \times 32 \text{ 位} = 160\text{M 位/秒} = 20\text{MB/S}$ （此处 $1\text{M}=10^6$ ）

4.8

- 1) 静态 RAM：依靠双稳态触发器保存二进制代码，只要不断电，信息就不会丢失；功耗较大，集成度较低，速度快，每位价格高，适合于作 Cache 或存取速度要求较高的小容量主存。
- 2) 动态 RAM：依靠电容存储电荷来保存二进制代码，需刷新电路进行动态刷新，存取速度较慢；功耗小，集成度高，每位价格低，适合于作大容量主存。

4.9

- 1) 为防止信息丢失，将动态 RAM 的存储单元中的原存信息读出，并重新写入的数据再生过程，称为刷新。
- 2) 由于电容极板漏抗的存在，存储于电容中的电荷存在泄漏的情况，这会导致动态 RAM 存储单元中的原存信息丢失，因此，必须要进行刷新。
- 3) 动态 RAM 的刷新方式有集中式刷新、分散式刷新、异步式刷新和透明式刷新等四种方式。（只答前三种也可）
- 4) 各种刷新方式的特点如下：

集中式刷新：在最大刷新闻隔时间内，集中安排一段时间进行刷新。其缺点是进行刷新时必须停止读、写操作。这对主机而言是个“死区”

分散式刷新：刷新工作安排在系统的存取周期内进行，对主机而言不再有“死区”。但该方式加长了系统的存取周期，存在无谓刷新，降低了整机运行效率。因此，分散方式刷新不适用于高速存储器。

异步式刷新：结合了上述两种方式的优点，充分利用了最大刷新闻隔。相对于分散式刷新而言，它减少了刷新次数；相对于集中方式来说，主机的“死区”又缩短很多。因此，这种方式使用得比较多。

透明式刷新：该方式不占用 CPU 时间，对 CPU 而言是透明的操作；但控制线路复杂。

4.15

贡献者： 曲乐芹 张晓

0000 0000 0000 0000

.....

0000 1111 1111 1111

系统程序区 $4K \times 8$ 位，应选择 2 片 $4K \times 4$ 位的 ROM。

0001 0000 0000 0000

.....

0001 1111 1111 1111

0010 0000 0000 0000

.....

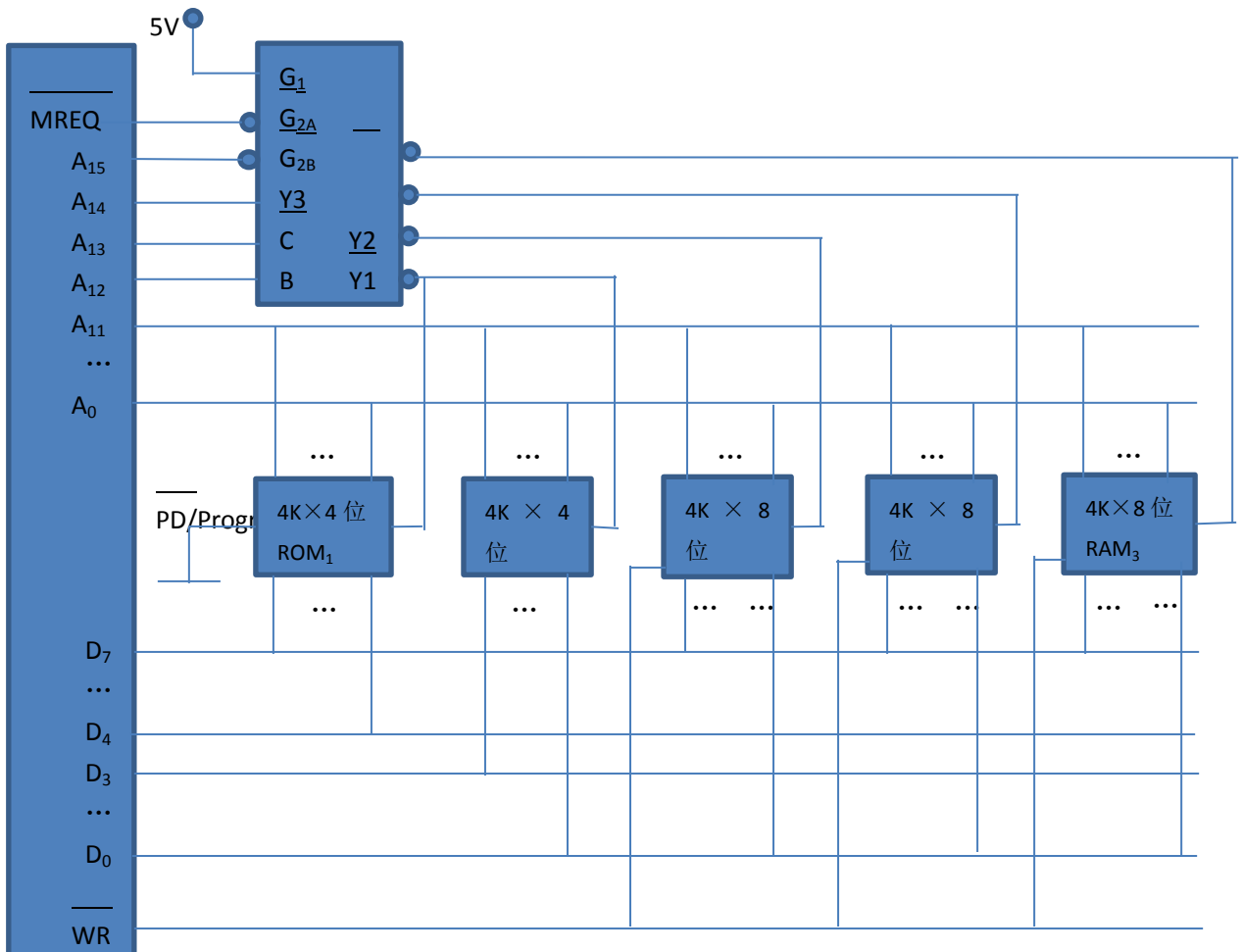
0010 1111 1111 1111

0011 0000 0000 0000

... ..

0011 1111 1111 1111

用户程序区 $4K \times 8$ 位 + $2 \times 4K \times 8$ 位 = $12K \times 8$ 位，应选择 3 片 $4K \times 8$ 位的 RAM。



4.14

贡献者：陶屿

解：(1) 该机所允许的最大主存空间是： $2^{18} \times 8 \text{ 位} = 256\text{K} \times 8 \text{ 位} = 256\text{KB}$ ，
 (2) 模块板总数 = $256\text{K} \times 8 / 32\text{K} \times 8 = 8 \text{ 块}$ ，
 (3) 板内片数 = $32\text{K} \times 8 \text{ 位} / 4\text{K} \times 4 \text{ 位} = 8 \times 2 = 16 \text{ 片}$ ，
 (4) 总片数 = $16 \text{ 片} \times 8 = 128 \text{ 片}$ ，
 (5) CPU 通过最高 3 位地址译码输出选择模板，次高 3 位地址译码输出选择芯片。地址格式分配如下：

模板号 (3位)	芯片号 (3位)	片内地址 (12位)
----------	----------	------------

4.17

贡献者：修方彬

4.17 写出1100、1101对应的汉明码。

答：有效信息均为 $n=4$ 位，假设有效信息用 $d_1 d_2 d_3 d_4$ 表示

校验位位数 $k=3$ 位，($2k \geq n+k+1$)

设校验位分别为 c_1 、 c_2 、 c_3 ，则汉明码共 $4+3=7$ 位，即： $c_1 c_2 d_1 c_3 d_2 d_3 d_4$

$$c_1 = d_1 \oplus d_2 \oplus d_4$$

$$c_2 = d_1 \oplus d_3 \oplus d_4$$

$$c_3 = d_2 \oplus d_3 \oplus d_4$$

当有效信息为1100时， $c_1 c_2 c_3 = 011$ ，汉明码为0111100。

当有效信息为1101时， $c_1 c_2 c_3 = 100$ ，汉明码为1010101。

4.18

贡献者：曾逸城 臧照虎

(1) 1100100

P1 P2 D1 P3 D2 D3 D4

1 1 0 0 1 0 0

由 $G_3 = P_3 \oplus D_2 \oplus D_3 \oplus D_4 = 1$

$G_2 = P_2 \oplus D_1 \oplus D_3 \oplus D_4 = 1$

$G_1 = P_1 \oplus D_1 \oplus D_2 \oplus D_4 = 0$

$G_3 G_2 G_1 = 110$ ，即第六位出错。

(2) 1100111

P1 P2 D1 P3 D2 D3 D4

1 1 0 0 1 1 1

由 $G_3 = P_3 \oplus D_2 \oplus D_3 \oplus D_4 = 1$

$G_2 = P_2 \oplus D_1 \oplus D_3 \oplus D_4 = 1$

$G_1 = P_1 \oplus D_1 \oplus D_2 \oplus D_4 = 1$

$G_3 G_2 G_1 = 111$ ，即第七位出错。

4.24

贡献者: 王浪 张振飞

67/4 T

4.28

贡献者: 张泰邦 罗幸幸

4.28 (1) Cache容量为2K字, 块长为4, Cache共有 $\frac{2K}{4} = \frac{2^{11}}{2^2} = 512$

Cache 字地址9位, 字块内地址为2位

因此Cache地址如下

Cache字块地址(9位) 字块内地址(2位)

(2) 主存容量为256K字 = 2^{18} 字, 主存地址共18位, 共有 $\frac{256K}{4} = 2^{16}$ 块, 主存字块标记为18-9-2=7位

直接映射方式下主存地址格式如下:

主存字块标记(7位) Cache字块地址(9位) 字块内地址(2位)

(3) 根据四路组相联的条件, 一组内共有4块, 得Cache共分为 $\frac{512}{4} = 128 = 2^7$ 组

主存字块标记为18-7-2=9位, 主存地址格式设计如下:

主存字块标记(9位) 组地址(7位) 字块内地址(2位)

(4) 在全相联映射方式下, 主存字块标记为18-2=16位, 其地址格式如下:

主存字块标记(16位) 字块内地址(2位)

(5) 若存储字长为32位, 存储器按字节寻址, 则主存容量为 $\frac{256K \times 32}{8} = 2^{20}$ B.

Cache容量为 $2K \times \frac{32}{8} = 2^{13}$ B 块长为4, 字块内地址为4位.

① 直接映射, 主存字块 $20 - (13 - 4) - 4 = 7$

主存(7位) Cache(9位) 字块(4位)

② 四路组相联映射, 主存字块 $20 - 7 - 4 = 9$

主存(9位) 组地址(7位) 字块(4位)

③ 全相联映射, 主存字块 $20 - 4 = 16$

主存(16位) 字块(4位)

4.29

贡献者：郭光涛 李峰

设Cache存取周期 $t_c = 30ns$ ，主存存取周期是 $5t_c = 150ns$

$$\text{Cache 命中率} = \frac{4800}{4800 + 200} = 0.96$$

$$\text{平均访问时间} = 30ns \times 0.96 + 150ns \times (1 - 0.96) = 34.8ns$$

$$\text{效率} = \frac{30ns}{34.8ns} \times 100\% = 86.2\%$$

$$\text{性能提升} \frac{5t_c}{34.8ns} = 4.31 \text{ 倍, 即提高了 } 3.31 \text{ 倍}$$

4.31

贡献者：李永康 杜瑜嘉

4.31

按字节寻址：

cache容量为：16KB=2¹⁴B，cache地址为14位。块长为4，即4×32÷8=2⁴B，故cache中有2¹⁴B/2⁴B=2¹⁰块主存容量为1MB=2²⁰B，主存地址为20位，故主存中有2²⁰B/2⁴B=2¹⁶块

主存字块标记为20-10-4=6位

主存地址各字段的分配：

主存字块标记	cache字块地址	字块内地址
6位	10位	4位

主存地址为ABCDEH=1010 1011 1100 1101 1110B

主存字块标记为101010； cache字块地址为1111001101

字块内地址为1110

所以，该存储单元映射到cache的第11 1100 1101 1110，即3CDEH字节位置

4.32

贡献者：吴挺茂 张全杰

(1) 每字块 8 个字，每字 32 位，按字节编址，则主存地址中字块内地址 $8 \times 32 / 8 = 25$ B，即 5 位。

Cache 容量为 16KB=214B，Cache 地址共 14 位，Cache 共有 $214 / 5 = 29$ 块。又因为是四路组相联映射，所以 Cache 分为 $29 / 22 = 27$ 组。

主存容量为 4MB=222B，所以主存地址共 22 位，主存字块标记为 $22 - 7 - 5 = 10$ 位，所以主存地址格式是（按字节寻址）：

主存字块标记 10 位 组地址 7 位 字块内地址 5 位

(2) 90 个单元包含在 12 个字块中，因为一个字块有 8 位。Cache 初态为空，因此 CPU 在读第一个字块的第一位即 0 单元时，未命中，然后访存，将该字所在的主存块调入第一个字块内，接着 CPU 读剩下 7 个单元都会命中。类似的，在剩下的单元格中，CPU 只会在每个字块的首位访存一次。同理，第一次读完后，后面重复读的 7 次不再访存。因此命中率为：

$$(90 \times 8 - 12) / 90 \times 8 = 0.984$$

(3) 设在一次访存中 Cache 的周期为 t ，主存周期为 $6t$ ，没有 Cache 的访问时间为 $T_1 = 6t \times 90 \times 8$ ，有 Cache 的访问时间为 $T_2 = t(90 \times 8 - 12) + 6t \times 12$ ，所以速度提高的倍数为：

$$T_1 / T_2 - 1 = 4.54$$