

一、计算题

1.进制之间的转换

将十进制数123.6875转换成二进制数、八进制数和十六进制数。（王道，P25）

2.定点数和浮点数的运算以及溢出判断

1) 已知 $X=-0.1011$, $Y=-0.0111$, 求 $[X+Y]$ 的补码。（天勤，P41）

2) 设机器字长为5位（含1位符号位, $n=4$ ）, $X=-0.1101$, $Y=0.1011$, 采用原码一位乘法求 $X*Y$ 。

3) 已知十进制数 $X=-5/256$, $Y=+59/1024$, 按机器补码浮点运算规则计算 $X-Y$, 结果用二进制表示, 浮点数格式如下: 阶符取2位, 阶码取3位, 数符取2位, 尾数取9位。（王道, P66）

3.Cache——主存地址映射, 三种映射方式的计算

1) 设主存容量为1MB, Cache的容量为16KB, 每字块有16个字, 每字32位, 且按字节编址。

①若Cache采用直接映射, 试求主存地址字段中各段的位数。

②若Cache采用四路组相联映射, 试求主存地址字段中各段的位数。（天勤, P123）

2) 设某机器主存容量为16MB, Cache容量为8KB, 且按字节编址。每字块8个字, 每字32位。设计一个四路组相联映射的Cache组织。

①画出主存地址字段中各段的位数。

②设Cache初态为空, CPU依次从主存0, 1, 2, ..., 99号单位中读出100个字（主存一次读出一个字）, 并重复此次序10次, 问命中率是多少?

③若Cache速度是主存速度的5倍, 试问有Cache和无Cache相比, 速度提高了多少倍?

④系统的效率是多少?（天勤, P123）

4.指令流水的三项指标的计算以及画指令流水线。

二、简答题

1.CPU响应中断的条件是什么?（课本, P362）

2.如何处理Cache块内信息与对应主存块内的信息的不一致, 并作简要分析?（课本, P113）

3.简述各常见指令寻址方式的特点和适用情况。（王道, P165）

4.计算机有哪两种不同的地址指定方式, 试画出 $(0x20000) = 0x12345678$ 在这两种不同的表示方式下在内存中的存储情况。（课本P73, P306）

5.试述I/O设备与主机交换信息的程序中断方式和DMA方式的特点, 并分析二者之间的区别。（课本P163~165、P194~209）

6.什么是周期挪用?（课本, P203）

7.分析基址寻址和变址寻址的区别。（课本, P314~316）

8.什么是指令周期、机器周期和时钟周期? 三者有何关系?（课本, P385~387）

三、应用设计题

1.指令格式设计（课本例题7.4、7.5、7.6、7.7）

2.中断屏蔽技术的使用（课本课后题8.24~28）

3.流水线、影响流水线性能的因素（选做, 不知道是不是考点）

现有4级流水线, 分别完成取值、指令译码并取数、运算、回写4步操作, 假设完成各步操作的时间依次是100ns、100ns、80ns、50ns。试问:

1) 流水线的操作周期应设计为多少?

2) 试给出相邻两条指令发生数据相关的例子（假设在硬件上不采取措施）, 试分析第2条指令要推迟多少时间进行才不会出错?

3) 如果在硬件设计上加以改进, 至少需要推迟多少时间?

4.存储器与CPU的连接, 直接看课本吧, 找不到题了, 做题时看清楚所给出地址是十进制还是以十六进制给出。（课本, P94, 例题4.1、4.2, 下面为课后题P151）

设CPU共有16根地址线, 8根数据线, 并用MREQ（低电平有效）作访存控制信号, R/W作读/写命令信号（高电平为读, 低电平为写）。现有这些存储芯片: ROM（2K x 8位、4K x 4位、8K x 8位）, RAM（1K x 4位、2K x 8位、4K x 8位）及74138译码器和其他门电路（门电路自定）。

试从上述规格中选用合适的芯片, 画出CPU和存储芯片的连接图。要求如下:

1) 最小4K地址为系统程序区, 4096~16383地址范围为用户程序区。

2) 指出选用的存储芯片类型及数量。

3) 详细画出片选逻辑。

5.指令的执行过程。（课本P382, 例题9.1、9.2）