



山东大学



计算机组成与设计 课内实验

第1-2讲 Quartus的使用

张瑞华、马良

计算机科学与技术学院

Version: 20221011



目录

CONTENTS

二

01

Quartus背景知识

02

用Quartus创建工程

03

原理图的绘制与编译

04

在实验平台上验证设计

05

设计的仿真验证

06

层次化设计方法



1 Quartus背景知识



- Altera公司*的Quartus II 软件提供了可编程片上系统（SOPC）设计的一个综合开发环境，是进行SOPC设计的基础。
- Quartus II 集成环境包括：系统级设计、嵌入式软件开发、可编程逻辑器件设计、综合、布局和布线、验证和仿真。集成的开发环境可加快动态调试、缩短开发周期。
- Quartus II 支持的器件有：Stratix系列、Mercury、MAX系列、FLEX系列、Cyclone系列、APEX系列等。
- Quartus II 还可与MATLAB的Simulink、DSP Builder 结合，是开发DSP硬件系统的关键EDA工具。



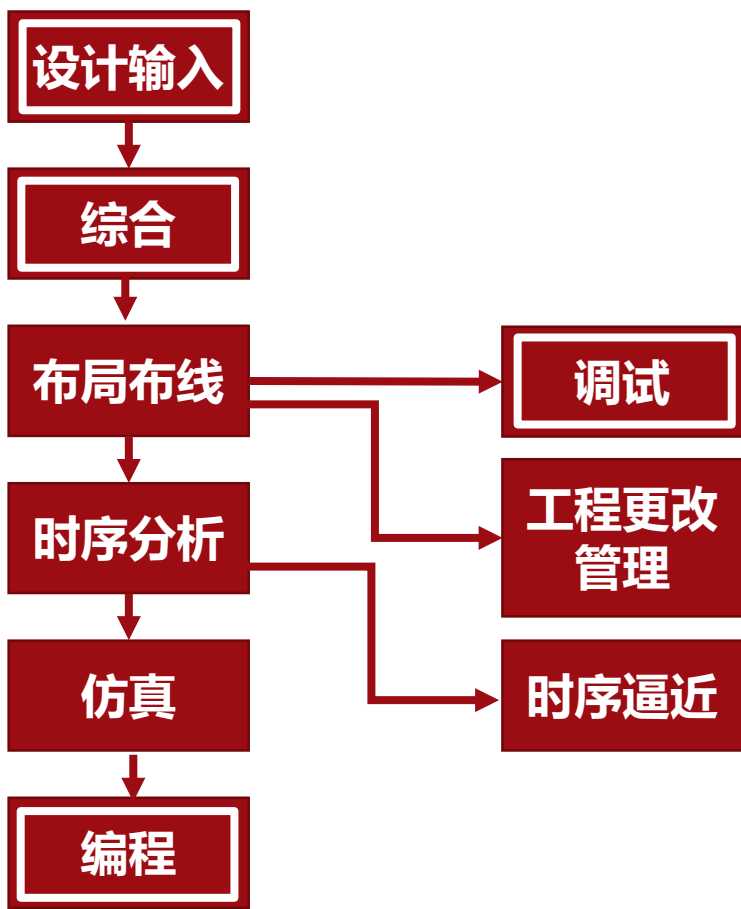
*Altera公司已于2015年被Intel公司收购



1 Quartus背景知识



Quartus II 的一般设计流程



Quartus II 组件功能*

设计输入

- Text Editor
- Block & Symbol Editor
- Mega Wizard Plug-In Manager
- Assignment Editor
- Pin Planner

综合

- Analysis & Synthesis
- VHDL, Verilog HDL & AHDL
- Design Assistant

布局布线

- Fitter
- Assignment Editor
- Pin Planner
- Chip Planner
- 报告窗口
- 增量布局布线

时序分析

- TimeQuest Timing Analyzer
- VHDL, Verilog HDL & AHDL
- Design Assistant

仿真

- Simulator
- Waveform Editor

编程

- Assembler
- Programmer
- 转换编程文件

系统级设计

- SOPC Builder
- DSP Builder

软件开发

- NIOS II

基于块的设计

- LogicLock
- Chip Planner
- Design Partition Planner

EDA界面

- EDA Netlist Writer

时序逼近

- Chip Planner
- LogicLock

调试

- SignalTap II Logic Analyzer
- Signal Probe
- In-System Memory Content Editor
- JTAG Chain Debugger

工程更改管理

- Chip Planner
- Resource Property Editor
- Change Manager

*不同版本的Quartus II 组件名称有一定区别, 本课件针对Quartus II v.13



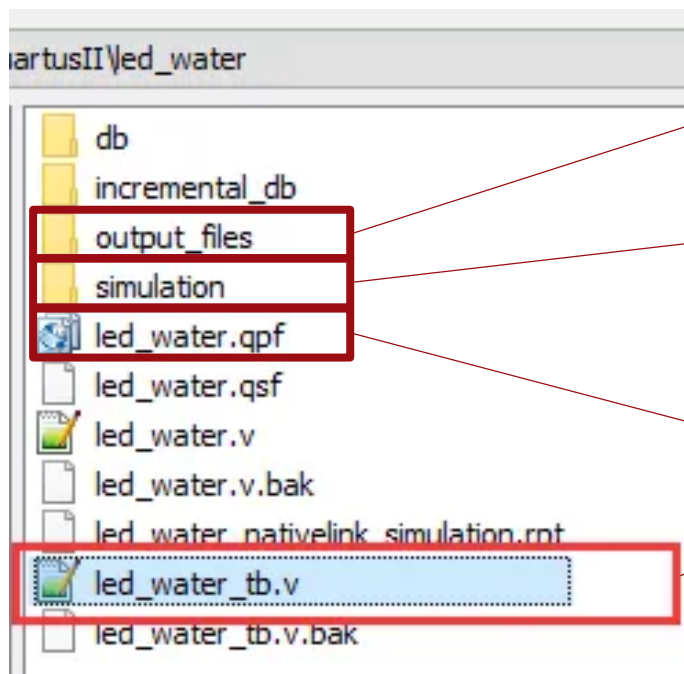
2 用Quartus创建工程



Quartus II 工程管理

Quartus II 软件的工作对象是工程（Project），一个工程（Project）是一个系统设计的总和，包含了所有的子设计文件和工程中的所有辅助文件，所以在进行一个逻辑设计时，首先要指定该设计的工程名称，**对于每个新的工程应该建立一个单独的文件夹*进行存放**，以后所有与该工程有关的文件都将存在这个文件夹的目录下。

Quartus II 工程目录中的子目录及常见文件



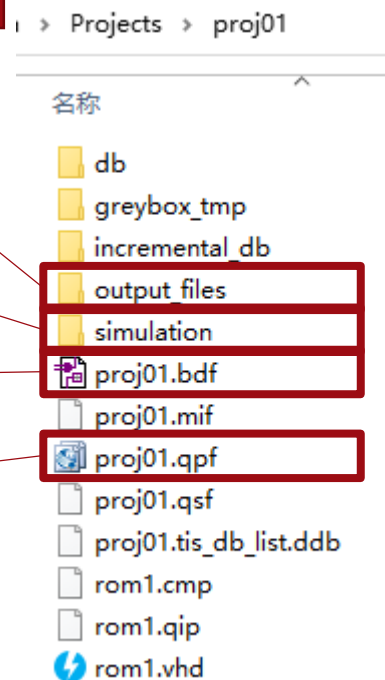
存储编译形成的文件，如 '.sof' SRAM对象文件等

存储仿真相关文件

原理图文件 Block Diagram File

工程文件 Quartus Project File

Verilog HDL 设计文件



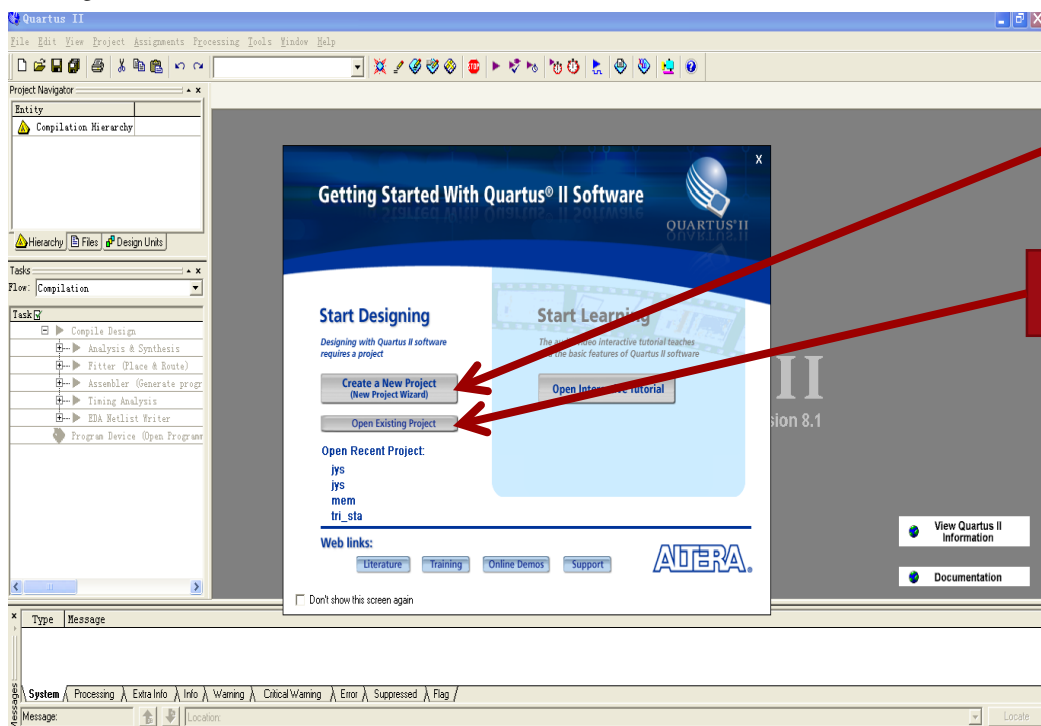


2 用Quartus创建工程



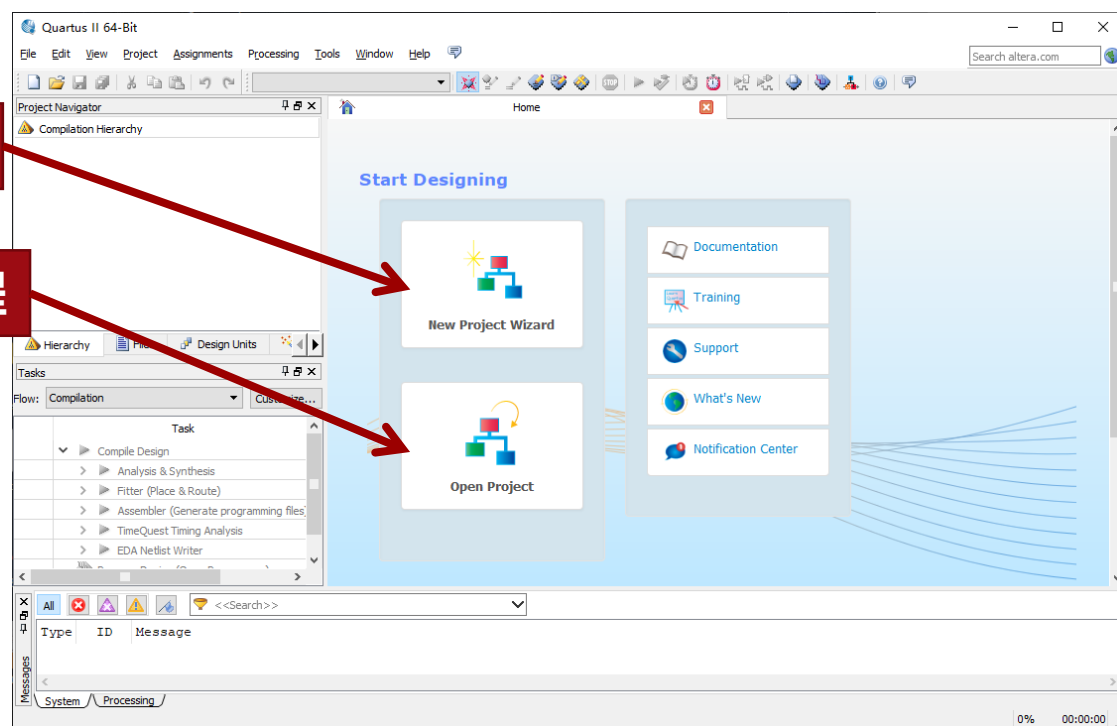
用Quartus II 创建新工程

1. 在桌面上双击Quartus II图标，进入Quartus II主界面。
2. 点击“Create a New Project”或“New Project Wizard”打开新工程向导。也可选择点击菜单栏“File” - “New Project Wizard”创建工程。



创建新工程

打开现有工程





2 用Quartus创建工程

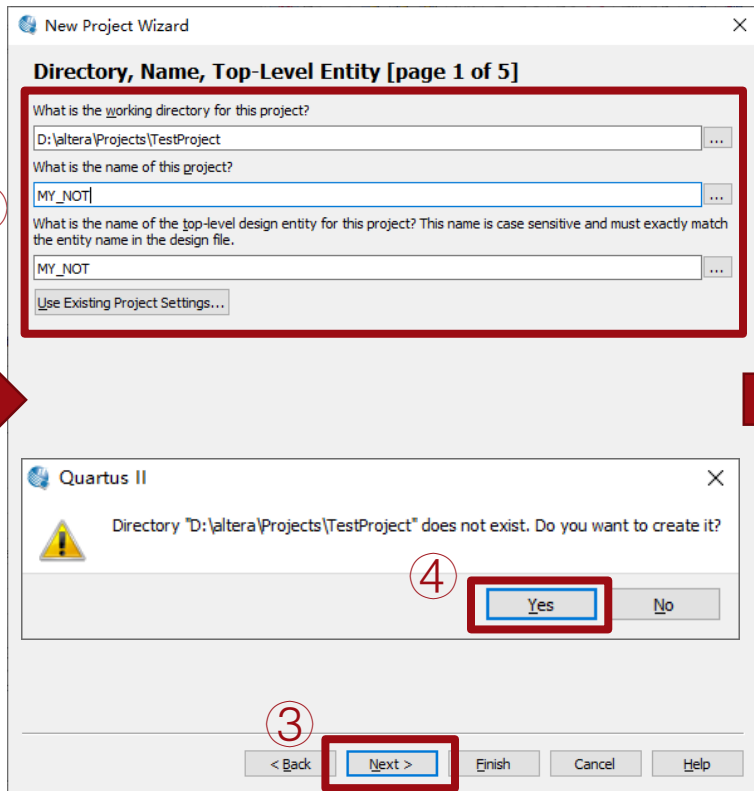


新工程向导



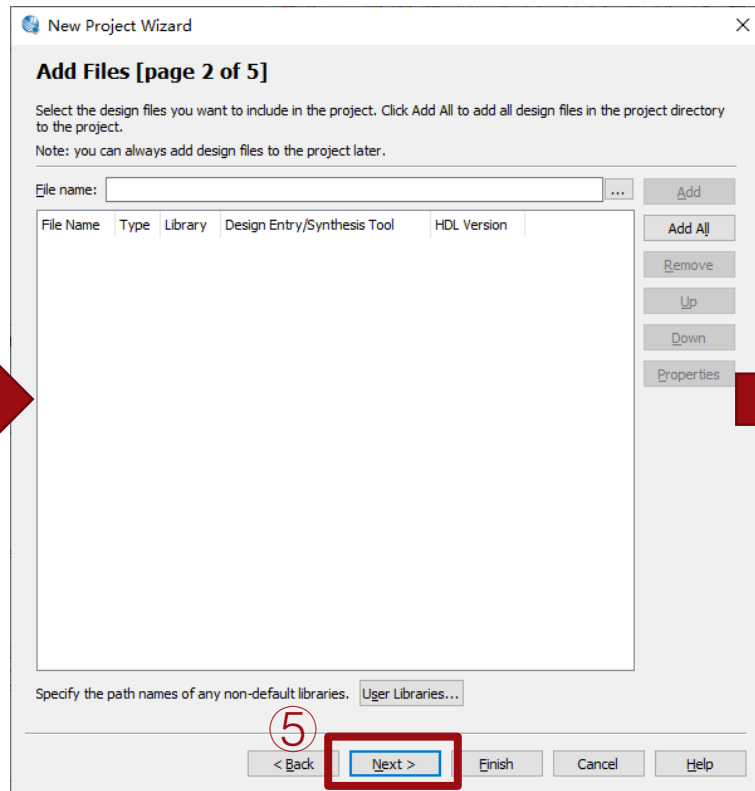
介绍页面

单击“NEXT”按钮即可



设置工程目录

设置新项目的文件夹名、项目名。（本例中，分别键入 D:\altera\Projects\TestProject、MY_NOT、MY_NOT）。如需创建新目录，则在弹出的对话框中选择“Yes”。



添加已有文件

如需添加已有设计文件，可在此页面添加。在本例中，直接点击“Next”即可。



2 用Quartus创建工程



新工程向导

New Project Wizard

Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

Device family: **Cyclone IV E** (6)

Devices: All

Target device:

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Available devices:

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multi
EP4CE6E22A7	1.2V	6272	92	276480	30
EP4CE6E22C6	1.2V	6272	92	276480	30
EP4CE6E22C7	1.2V	6272	92	276480	30
EP4CE6E22C8	1.2V	6272	92	276480	30
EP4CE6E22C9	1.2V	6272	92	276480	30
EP4CE6E22C9L	1.0V	6272	92	276480	30
EP4CE6E22I7	1.2V	6272	92	276480	30
EP4CE6E22I8L	1.0V	6272	92	276480	30
EP4CE6F17A7	1.2V	6272	180	276480	30
EP4CE6F17C6	1.2V	6272	180	276480	30

Package: Any

Pin count: Any

Speed grade: Any

Name filter:

☒ Show advanced devices

8

< Back Next > Finish Cancel Help

New Project Wizard

EDA Tool Settings [page 4 of 5]

Specify the other EDA tools used with the Quartus II software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to s
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation auto
Formal Verification	<None>	<None>	
Board-Level			
Timing	<None>	<None>	
Symbol	<None>	<None>	
Signal Integrity	<None>	<None>	
Boundary Scan	<None>	<None>	

9

< Back Next > Finish Cancel Help

New Project Wizard

Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory: D:\altera\Projects\TestProject

Project name: MY_NOT

Top-level design entity: MY_NOT

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Family name: Cyclone IV E

Device: EP4CE6E22C8

EDA tools:

Design entry/synthesis: <None> (<None>)

Simulation: <None> (<None>)

Timing analysis: 0

Operating conditions:

VCCINT voltage: 1.2V

Junction temperature range: 0-85 °C

10

< Back Next > Finish Cancel Help

FPGA型号设置

“Family”选择“Cyclone IV E”，器件选择“EP4CE6E22C8”，点击“Next”进入下一步。

EDA工具设置

可以在此界面自定义设计、综合、仿真等步骤所使用的EDA工具，直接点击“Next”即可。

总结窗口

可查看工程信息是否有误，如果有误可返回修改。本例直接点击“Finish”即可完成新工程的创建。



2 用Quartus创建工程



创建工程后的Quartus II 主界面

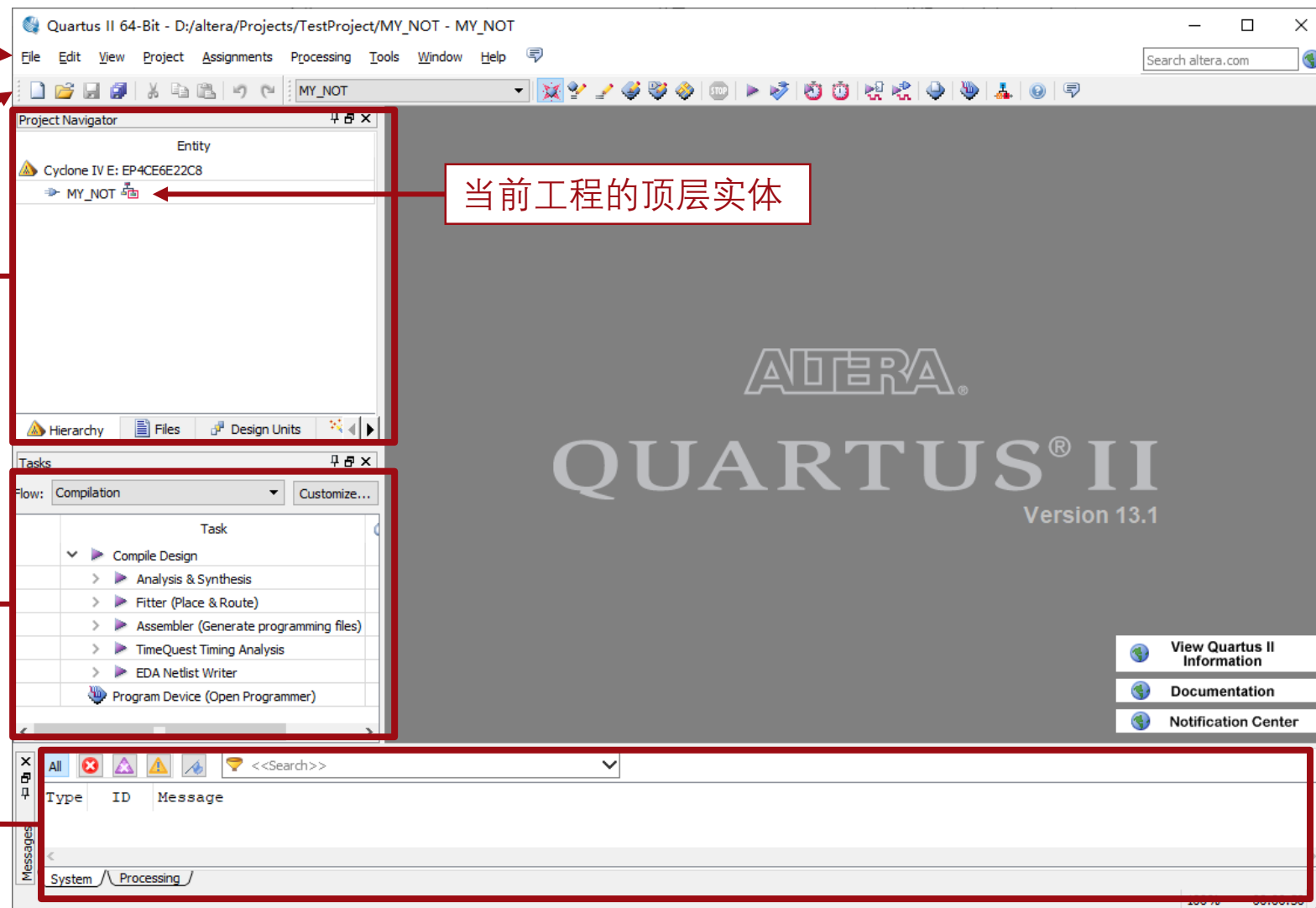
菜单栏

工具栏

工程导航器窗口，默认为实体窗口，可以在Files选项卡中更改工程的顶层实体

工作流窗口，默认为编译工作流，可查看当前工作流的作业进度，双击相应步骤可直接执行

信息窗口，可查看报错信息



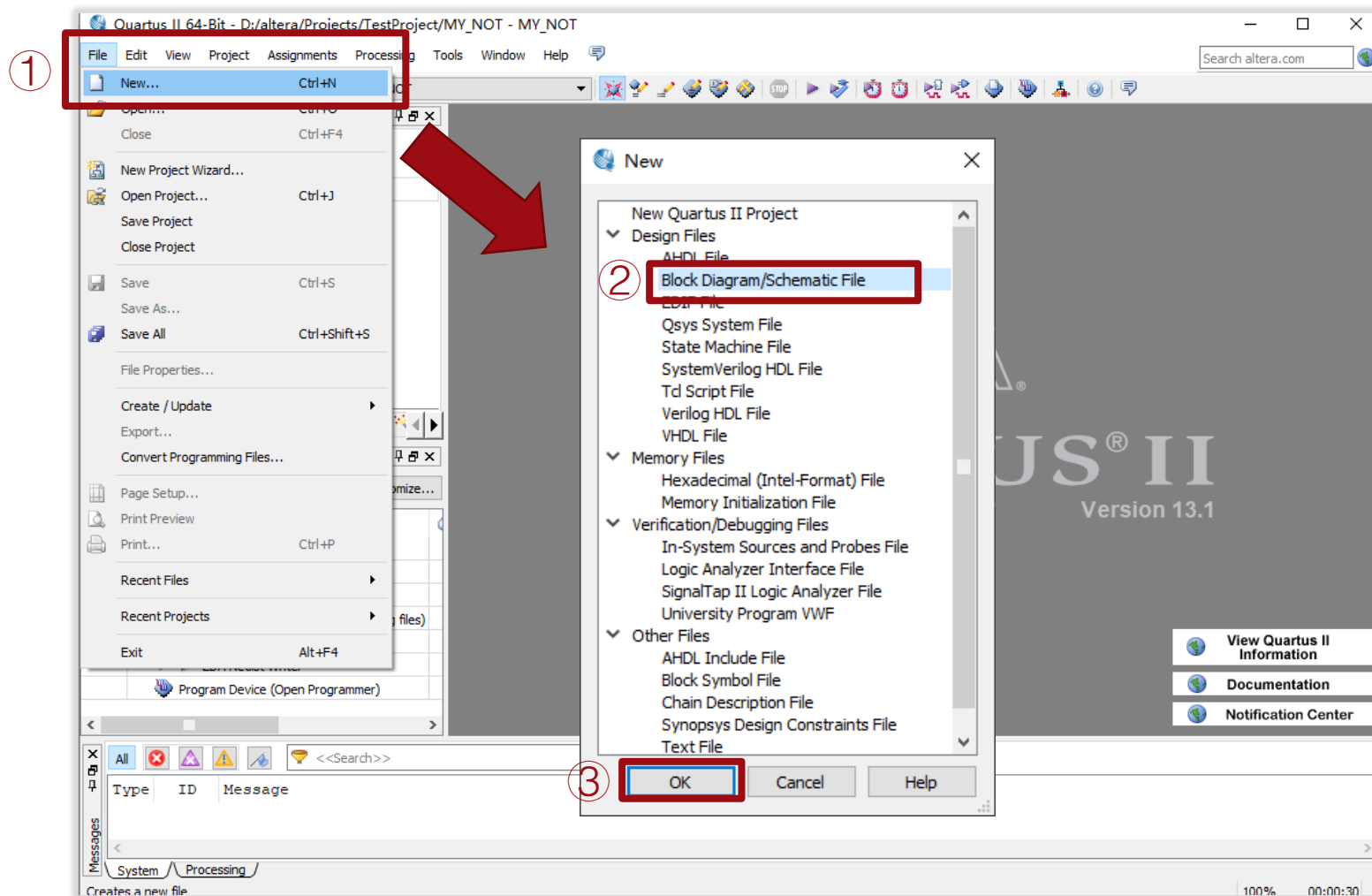


3 原理图的绘制与编译



创建原理图

1. 单击“File”菜单→单击New选项
(快捷键: Ctrl+N), 弹出如图所示的对话框
2. 在对话框中, 双击 “Block Diagram / Schematic File”选项,
打开原理图编辑器




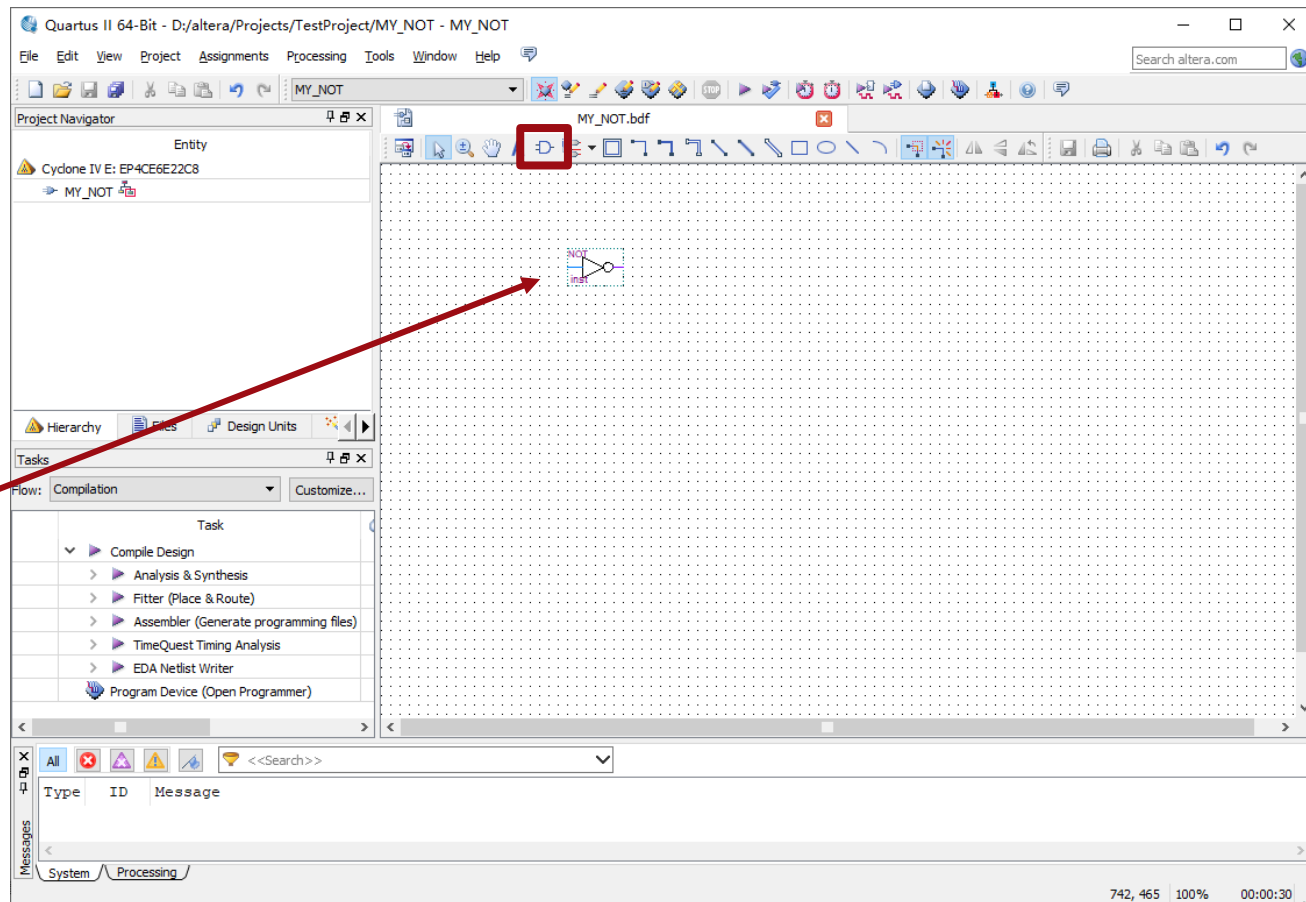
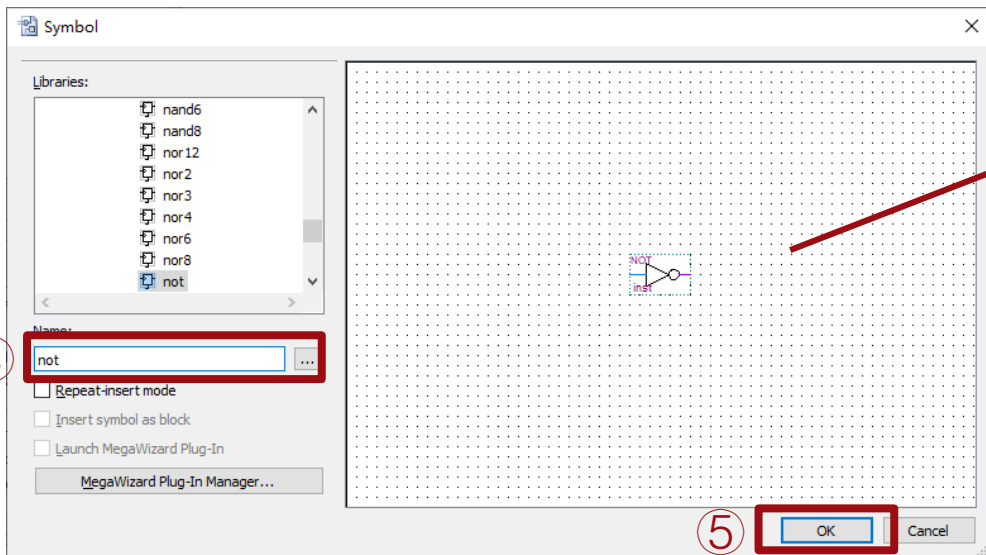


3 原理图的绘制与编译



添加元件

3. 点击“Symbol Tool”按钮，或在原理图编辑器的空白处双击，弹出如下图所示的器件选择对话框。
4. 在文本框中键入需要查找的器件名称，即可自动查找出对应的器件*。点击“OK”再合适的位置上单击鼠标左键，即可将器件添加到原理图中。



*请注意在查找“74LS86”一类的器件时，应输入“7486”。（74LS系列为低功耗肖特基TTL电路，而74HC系列为CMOS电路）

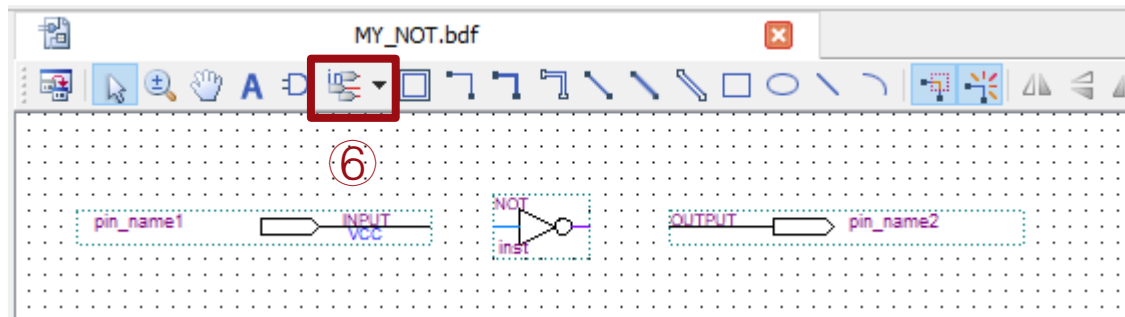


3 原理图的绘制与编译



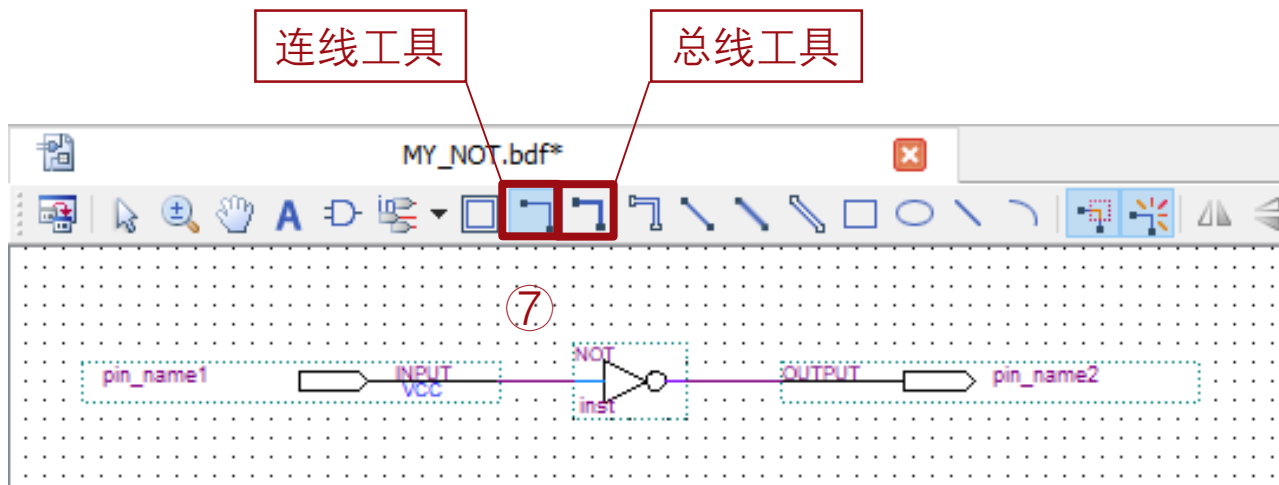
添加输入输出

5. 重复上两个步骤的操作，或者使用“Pin Tool”按钮，可在图中添加“Input”和“Output”符号。



连线

6. 如果需要连接两个端口，可将鼠标移到其中一个端口，这时鼠标自动变为十字形状，然后一直按住鼠标左键并将其拖到第二个端口，待连接点上出现蓝色的小方块后再释放鼠标左键，即可看到在两个端口之间有一条线生成，如右图所示。





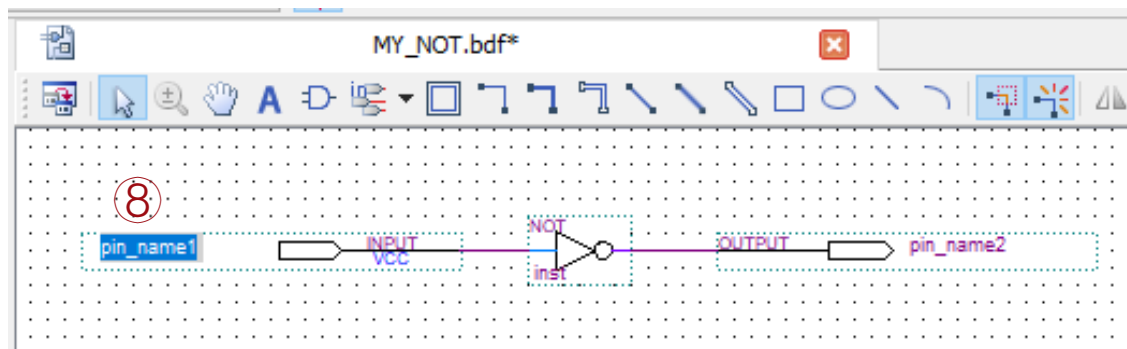
3 原理图的绘制与编译



输入/输出端口重命名

7. 双击pin_nameX使其衬底变黑后，再键入端口名即可。在本示例中，输入端口重命名为A，输出端口重命名为B。

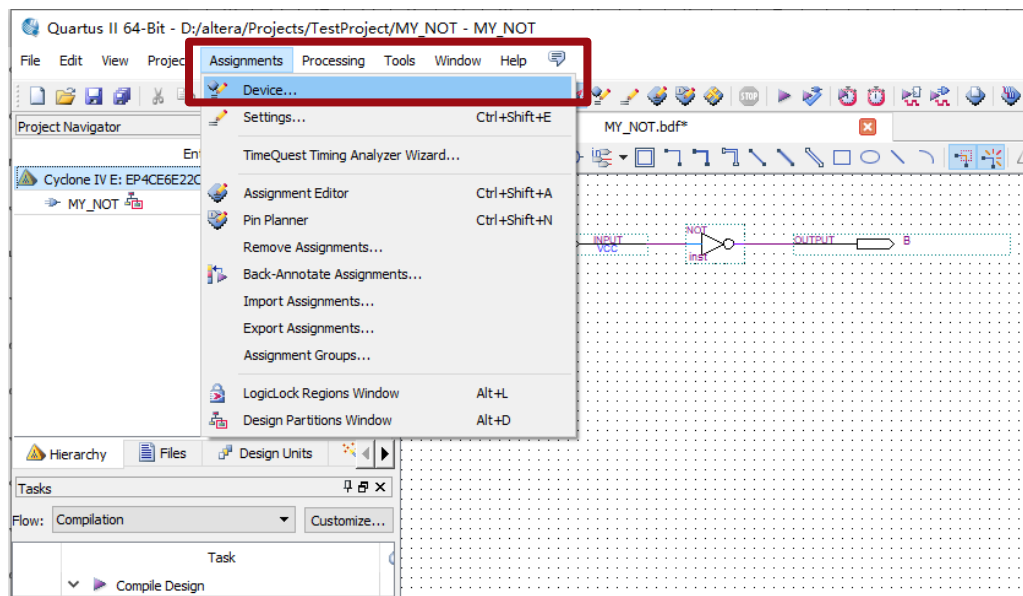
原理图绘制完成后，可点击保存文件按钮将文件保存为MY_NOT.bdf。



目标器件的选择

8. 在进行编译前，通常需要设计人员自己指定欲使用的目标器件型号，选择目标器件的步骤如下：（如已在创建工程时指定目标器件，可跳过该步骤）

- 1) 单击图1.12中的Assignments菜单，选中Device...选项。
- 2) 在弹出的对话框中，“Family”选择“Cyclone IV E”，器件选择“EP4CE6E22C8”






3 原理图的绘制与编译



编译

9. Quartus II 软件的编译器包括多个独立的模块。各模块可以单独运行，也可以选择 **Processing -> Start Compilation** 命令启动全编译过程。

1) 在图1.12中，单击水平工具条上的编译按钮 ，或者使用 **Processing** 菜单中的 **Start Compilation** 选项开始编译，并伴随着进度不断地变化屏幕，编译完成后的窗口如右图所示。

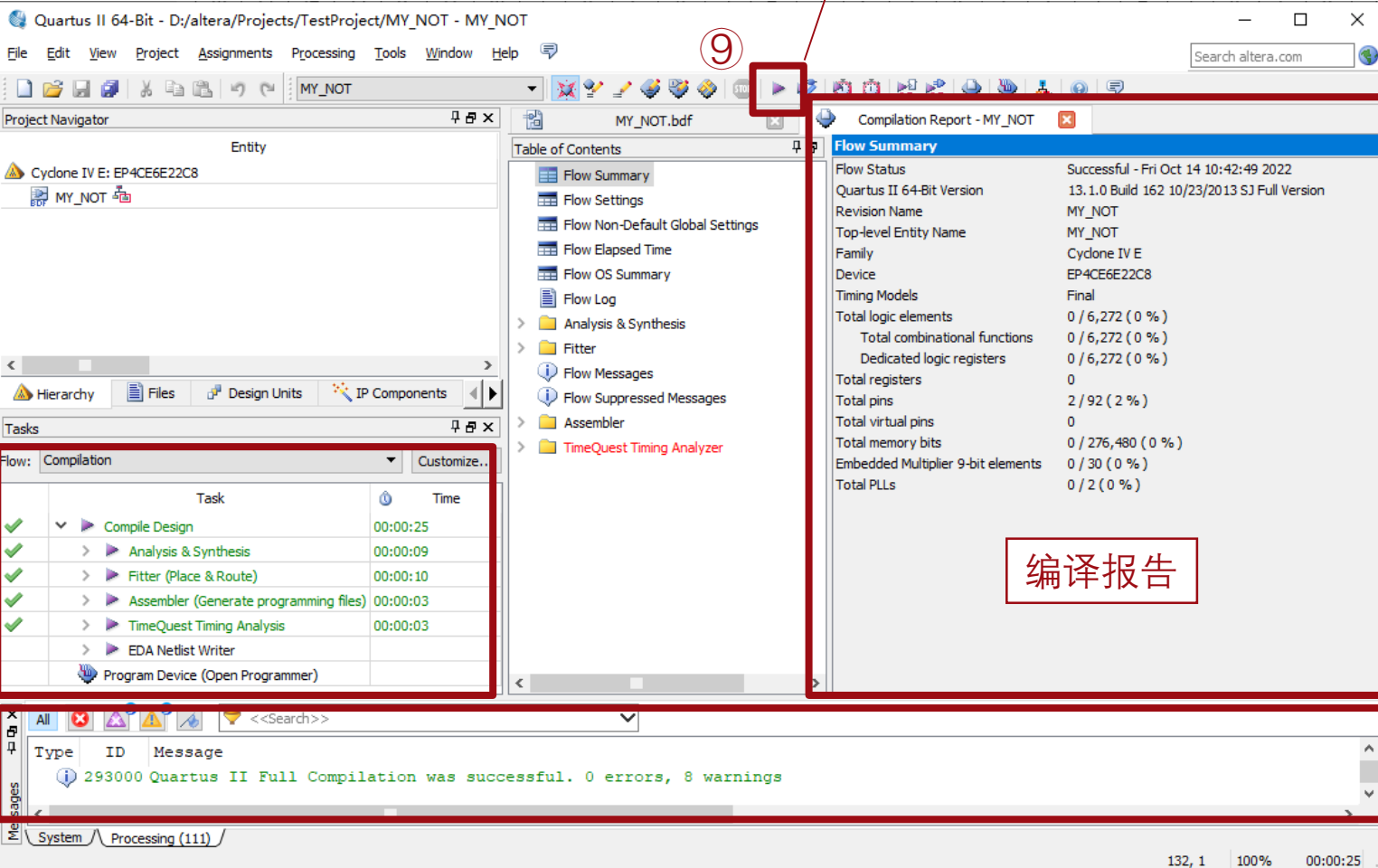
编译工作流，可双击“**Compile Design**”执行全部步骤或双击某个步骤单独执行。执行完成的步骤变成绿色。

此处显示编译信息，包括警告和出错信息。如果有错，应参照此处的出错信息进行相应修改。

开始编译

9

编译报告



Task	Time
Compile Design	00:00:25
Analysis & Synthesis	00:00:09
Fitter (Place & Route)	00:00:10
Assembler (Generate programming files)	00:00:03
TimeQuest Timing Analysis	00:00:03
EDA Netlist Writer	
Program Device (Open Programmer)	

Type	ID	Message
Info	293000	Quartus II Full Compilation was successful. 0 errors, 8 warnings

Flow Summary

Flow Status: Successful - Fri Oct 14 10:42:49 2022

Quartus II 64-Bit Version: 13.1.0 Build 162 10/23/2013 SJ Full Version

Revision Name: MY_NOT

Top-level Entity Name: MY_NOT

Family: Cyclone IV E

Device: EP4CE6E22C8

Timing Models: Final

Total logic elements: 0 / 6,272 (0 %)

Total combinational functions: 0 / 6,272 (0 %)

Dedicated logic registers: 0 / 6,272 (0 %)

Total registers: 0

Total pins: 2 / 92 (2 %)

Total virtual pins: 0

Total memory bits: 0 / 276,480 (0 %)

Embedded Multiplier 9-bit elements: 0 / 30 (0 %)

Total PLLs: 0 / 2 (0 %)




4 在实验平台上验证设计

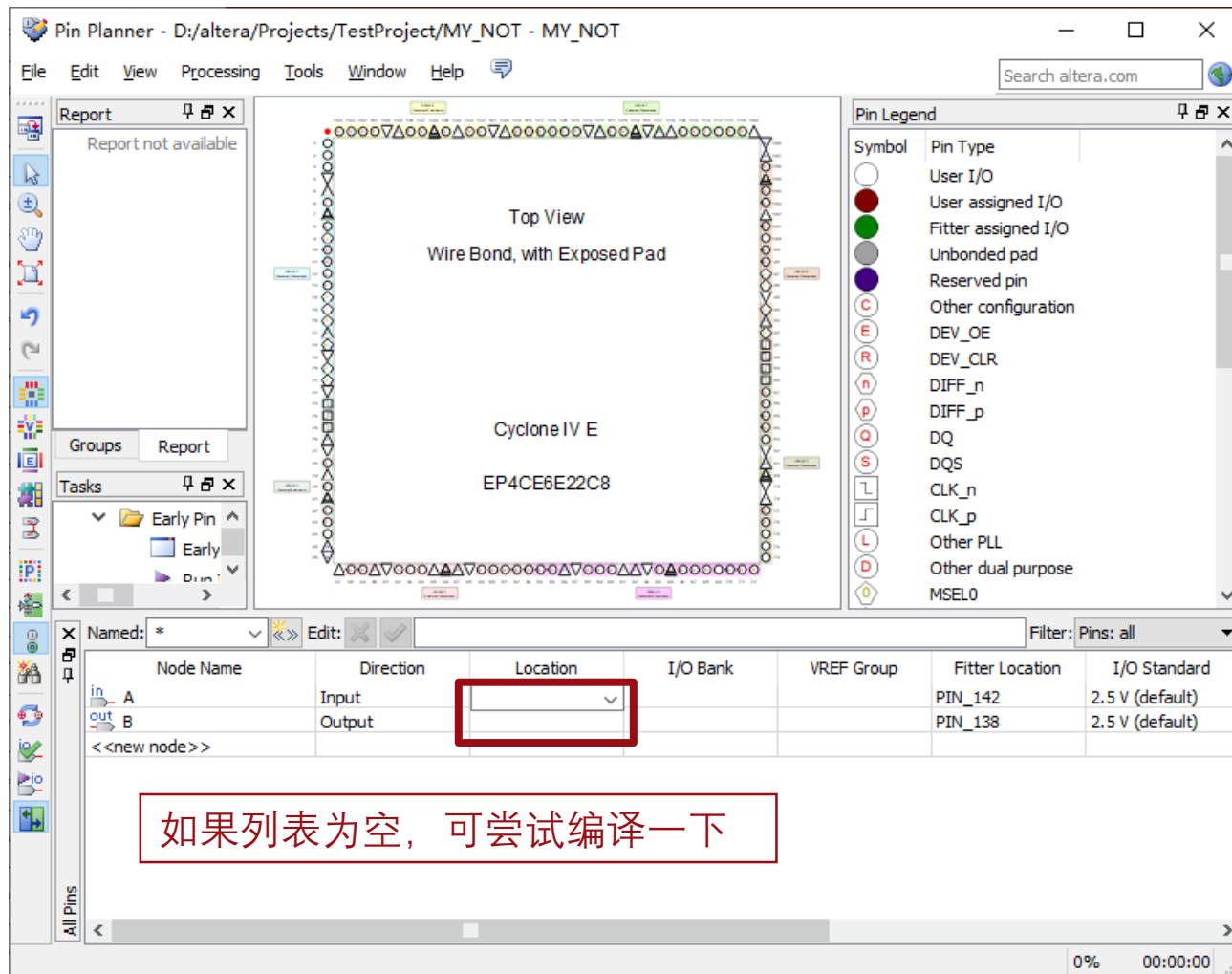


引脚分配(绑定)

设计的分析综合过程之后，软件会在工程目录下的“output_files”文件夹下生成“MY_NOT.sof” SRAM对象文件（SRAM Object File）。但在将文件下载到实验平台之前，需要对设计中的输入、输出引脚指定具体的器件引脚号码，指定引脚号码的过程称为引脚分配或引脚锁定。

1. 单击菜单Assignments命令，在弹出的下拉菜单中选择Pin Planner  选项，进入如右图所示引脚分配窗口。可以看到，原理图中的输入输出引脚自动列在了下方的列表中。如果列表为空或者新加入的引脚未出现在列表中，可以尝试重新编译一下。

引脚号的查找方法请参考PPT附录1-查找引脚号



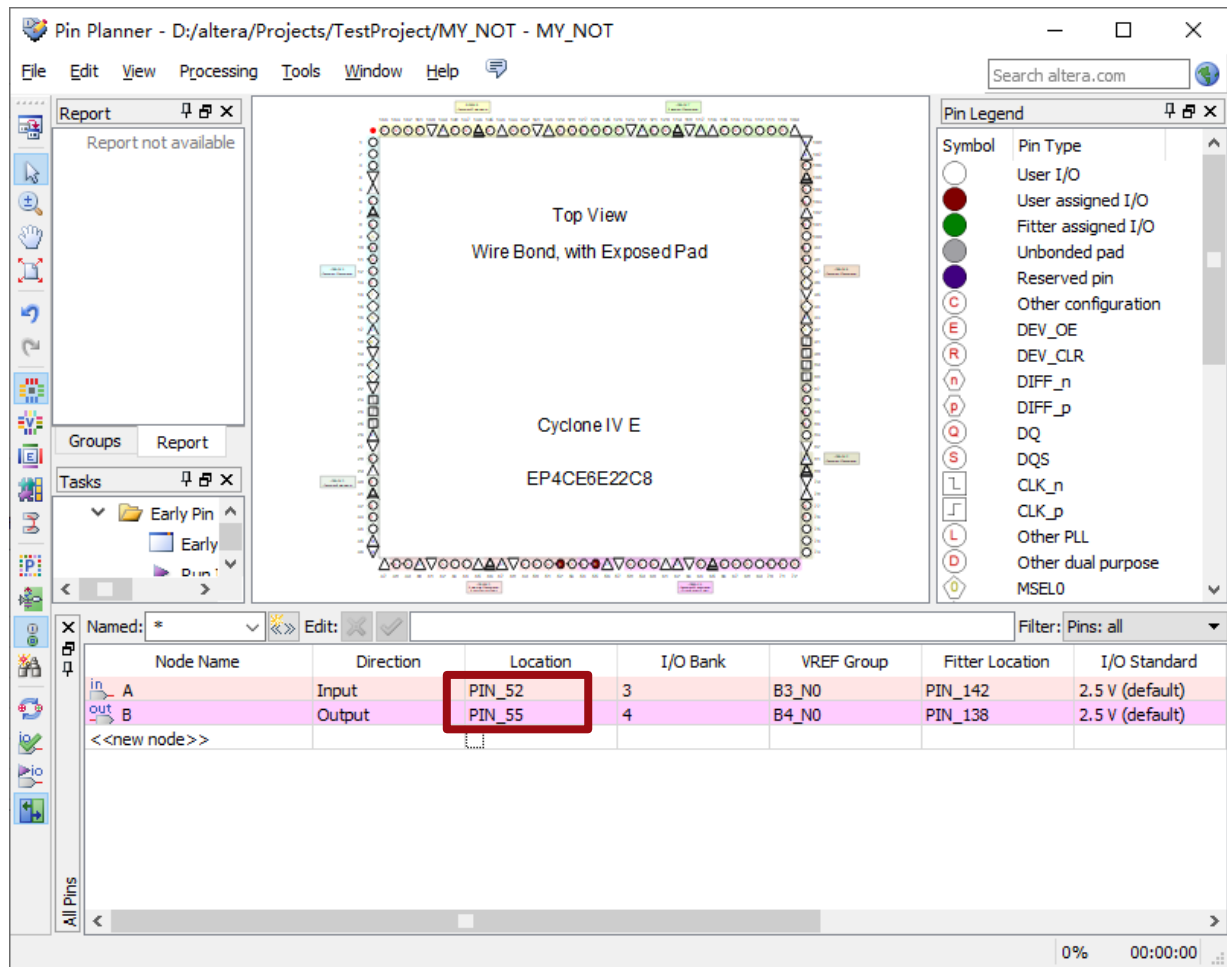


4 在实验平台上验证设计



引脚分配(绑定)

2. 双击“Location”列的蓝色矩形框（与本引脚处于同一行），在弹出的引脚列表中选择合适的引脚，也可直接键入引脚号码后回车。将所有引脚绑定后，Pin Planner界面如右图所示。
3. 引脚全部绑定完毕之后，可关闭Pin Planner。此时，**需重新进行一次编译**。






4 在实验平台上验证设计

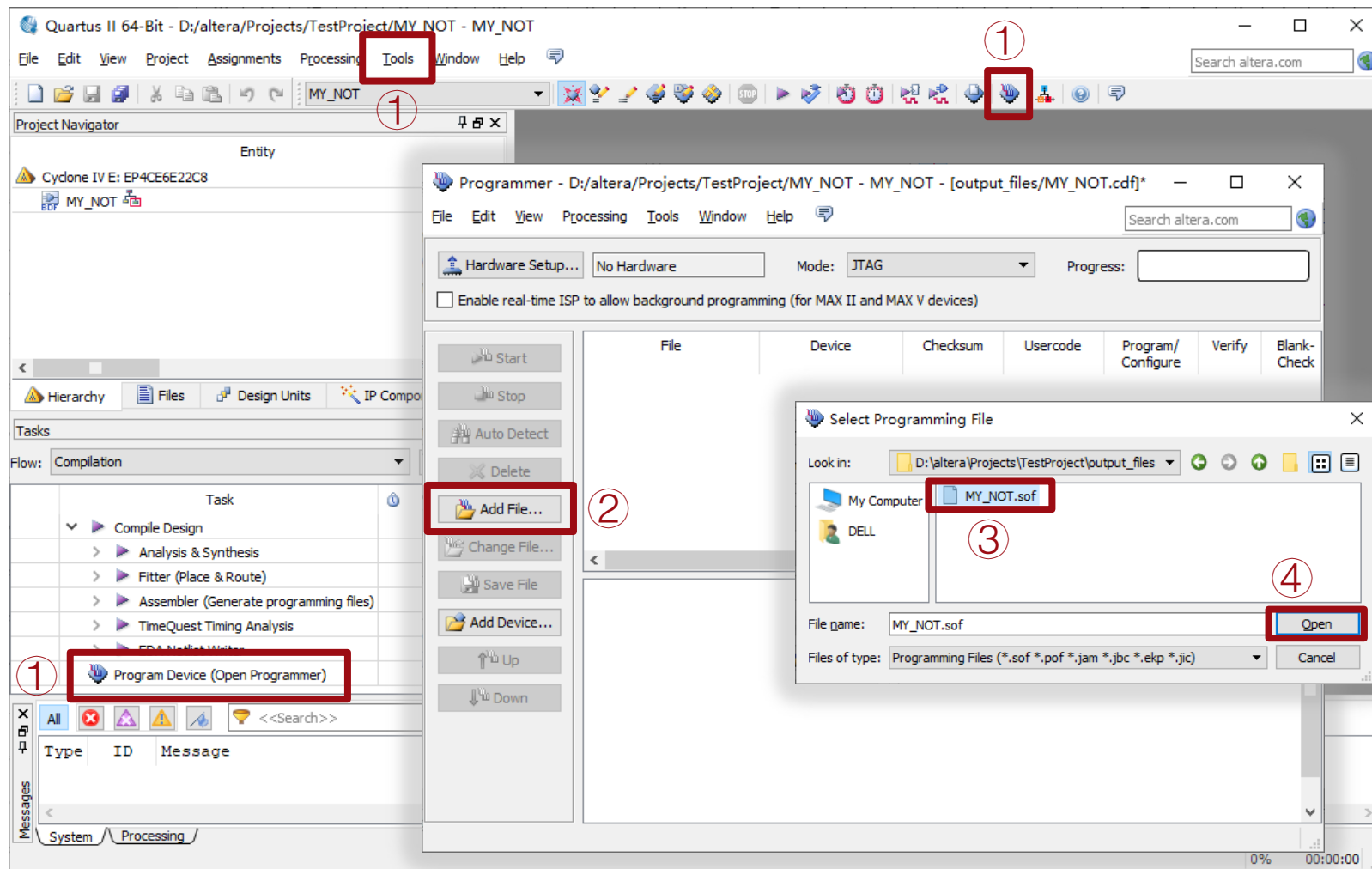


编程下载

使用Quartus II软件完成设计项目的编译之后，将在/output_files目录产生以目标器件的编程器对象文件（.pof，Programmer Object File）或SRAM对象文件（.sof，SRAM Object File）的形式保存的文件，Quartus II软件的编程器（Programmer）使用该文件对器件进行编程或配置。

4. 单击  下载按钮，使用Tools -> Programmer命令或双击工作流窗口的下载流程，打开编程器窗口，如右图所示。

如果此时未自动载入.sof文件，可以点击Add File...按钮，并选择打开/output_files/MY_NOT.sof





4 在实验平台上验证设计

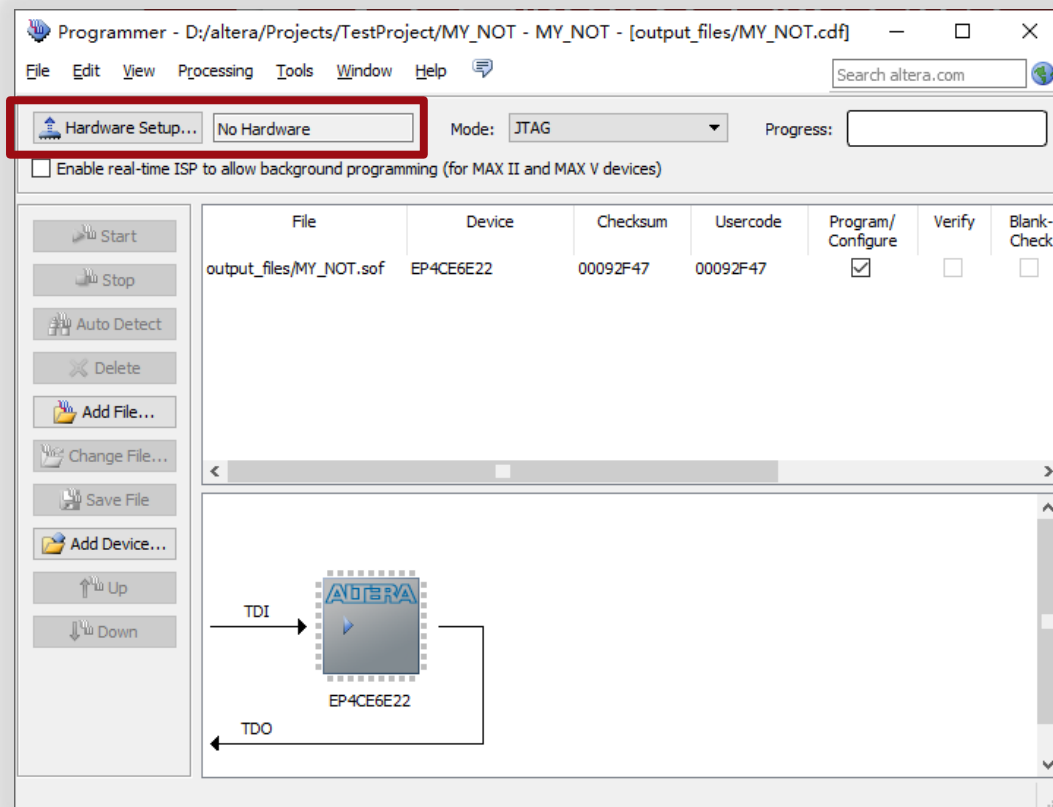


编程下载

导入sof文件后，编程器窗口中显示出待下载的文件和芯片的图像。下载前应检查右图窗口中欲下载的文件名、器件型号和下载模式是否正确、硬件编程器是否存在等，只有上述正确才可以开始下载。

5. 如图所示，此时硬件编程器设置为“No Hardware”，应首先单击“Hardware Setup”按钮，进行硬件设置。

⑤





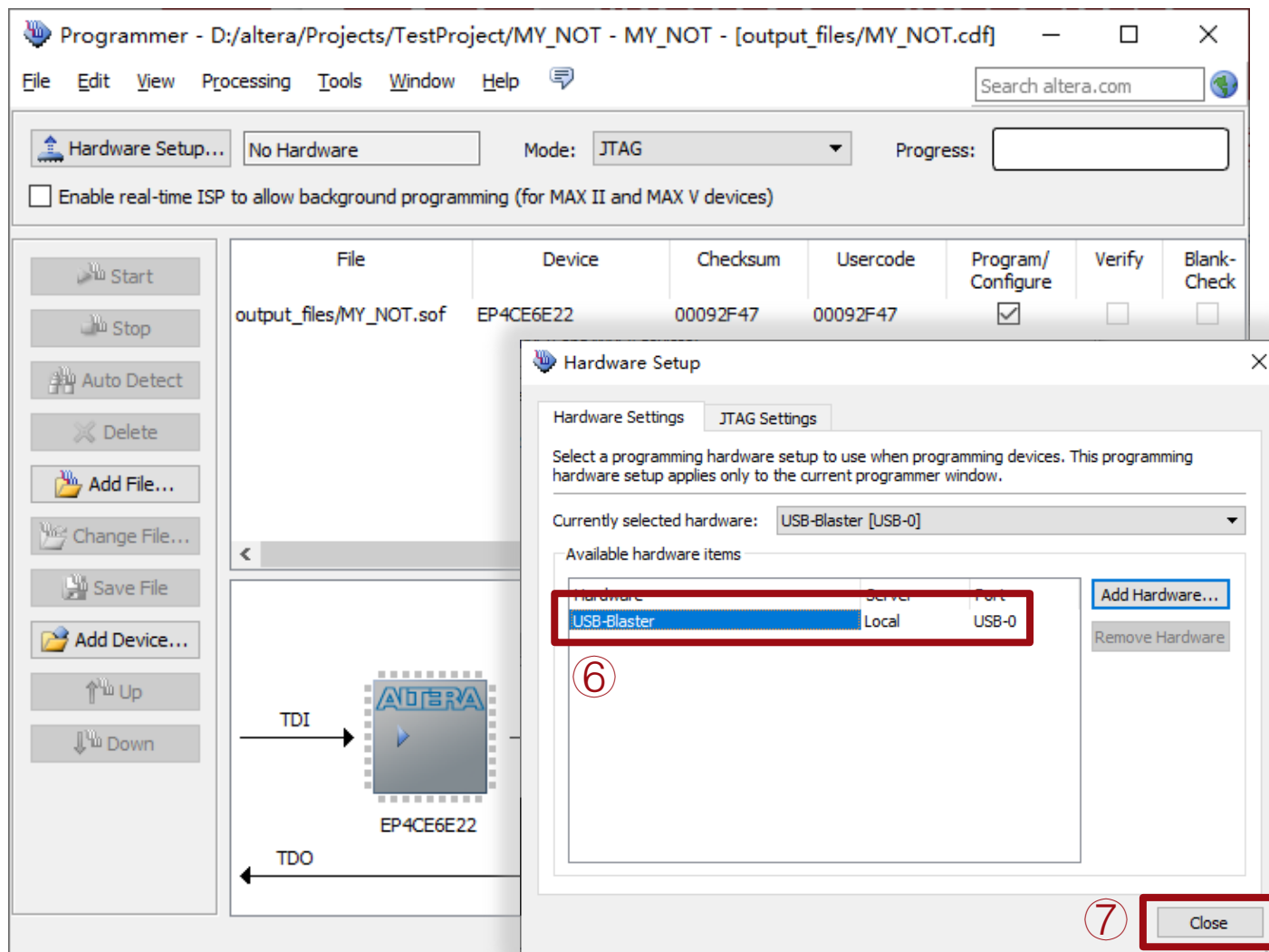
4 在实验平台上验证设计



编程下载

6. 在弹出的硬件设置界面中双击列表中的“USB-Blaster”，或在 Current selected hardware选项处点击下拉菜单，选择“USB-Blaster”。选中后关闭硬件设置界面即可。

如果是安装Quartus后首次使用下载器，此处可用硬件列表为空，可以参照PPT附录中的“附录2-安装下载器驱动”页面安装或更新下载器驱动。安装驱动后，重新打开该界面即可正常选择。





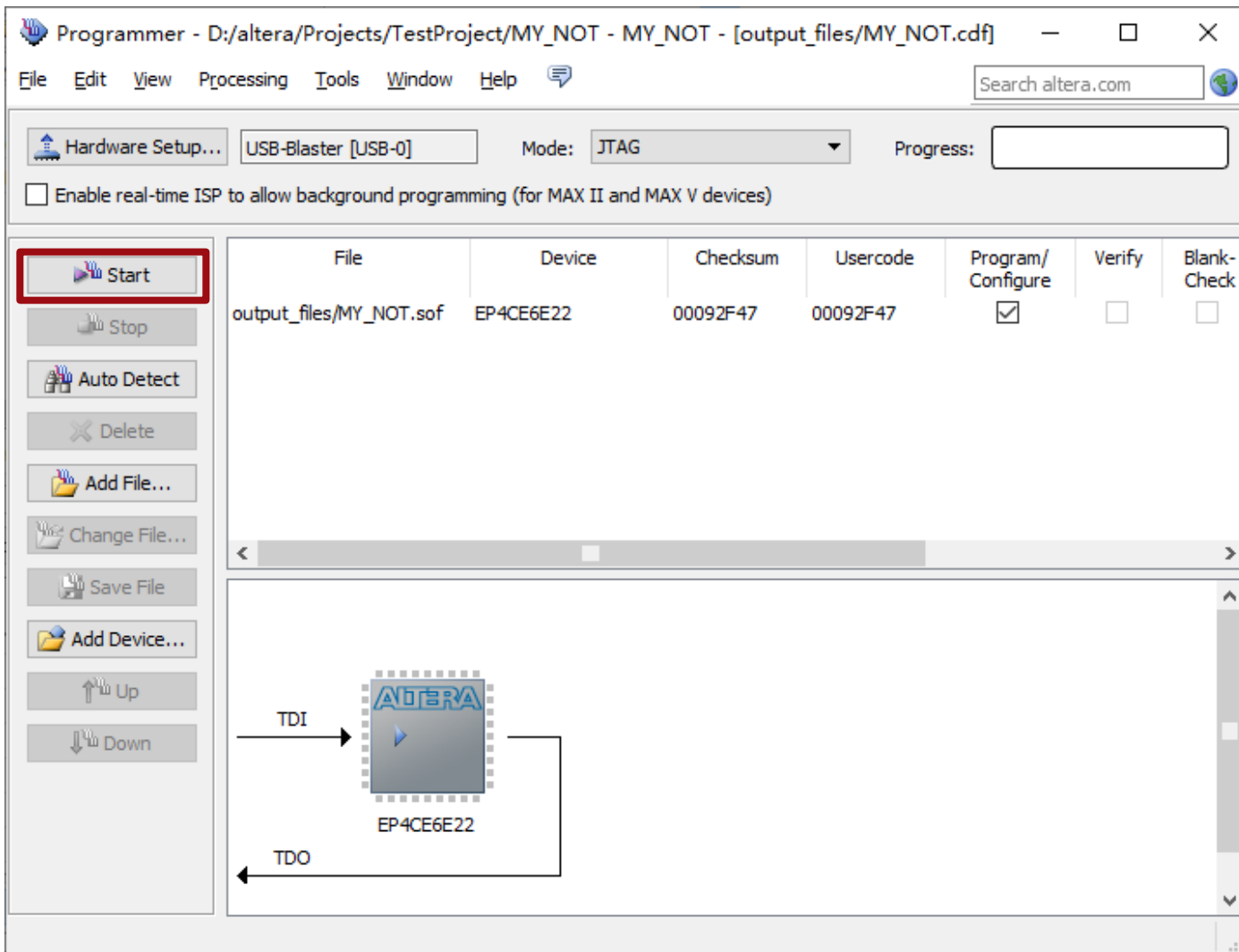
4 在实验平台上验证设计



编程下载

7. 回到编程器界面，点击“Start”按钮，即可开始下载，开始下载后，屏幕上的进度条以百分数表示下载进度，变为100%即为下载成功。

此时，在实验箱上按动按钮1，即可通过发光二极管D1验证设计结果。



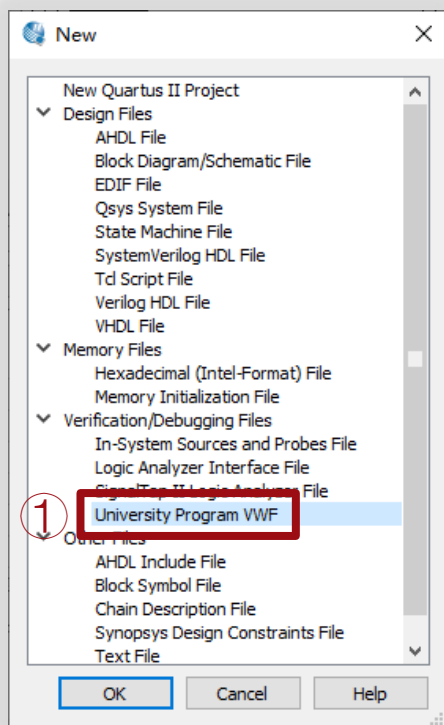


5 设计的仿真验证

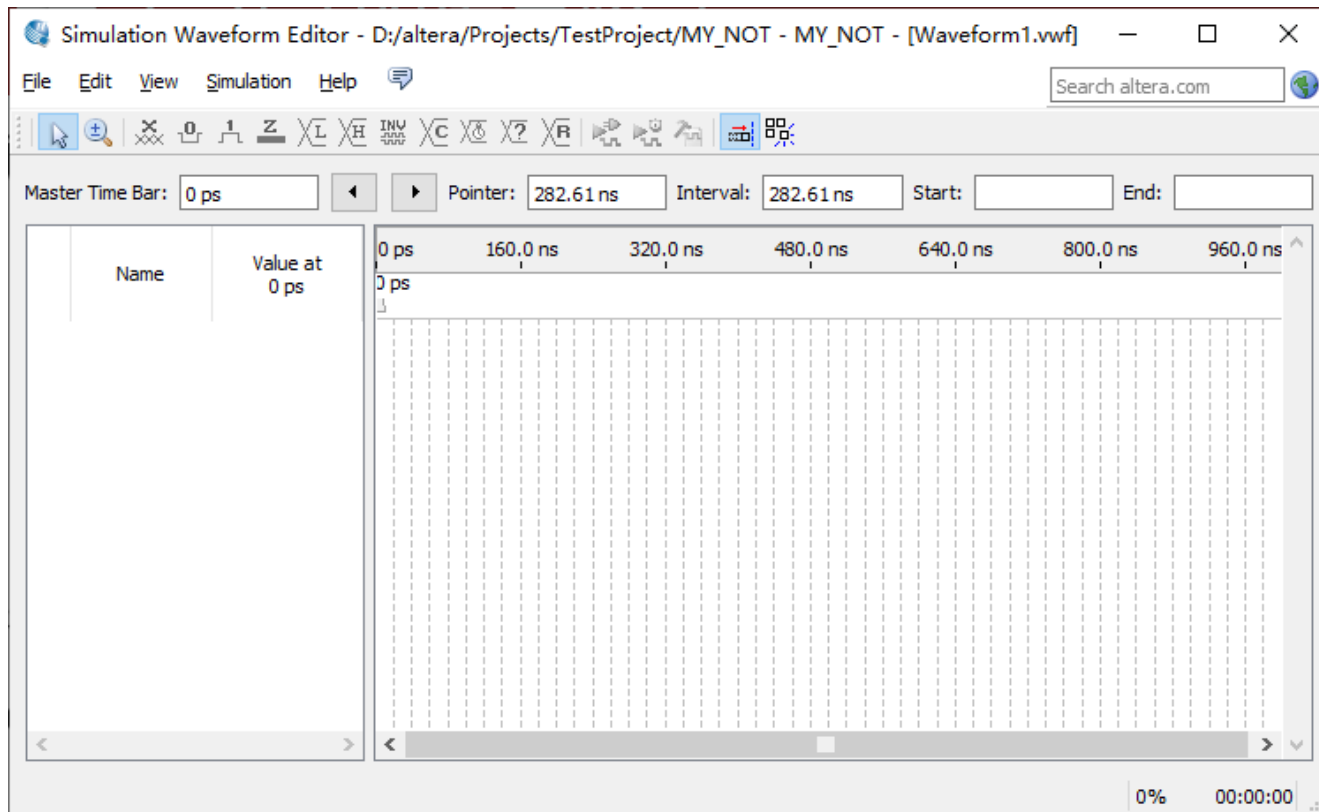


创建波形文件

- 仿真验证是EDA设计技术的重要特征。
- 在完成了设计项目的输入、综合以及布局布线等步骤以后，则可以使用EDA仿真工具或Quartus II仿真器对设计项目的功能与时序进行仿真，以检查设计结果正确与否。



1. 单击File/New菜单命令，弹出新建文件对话框，如图所示。选择“Vector Waveform File”或“University Program VWF”，并点击“OK”按钮完成文件的创建，并出现下图所示波形编辑界面。

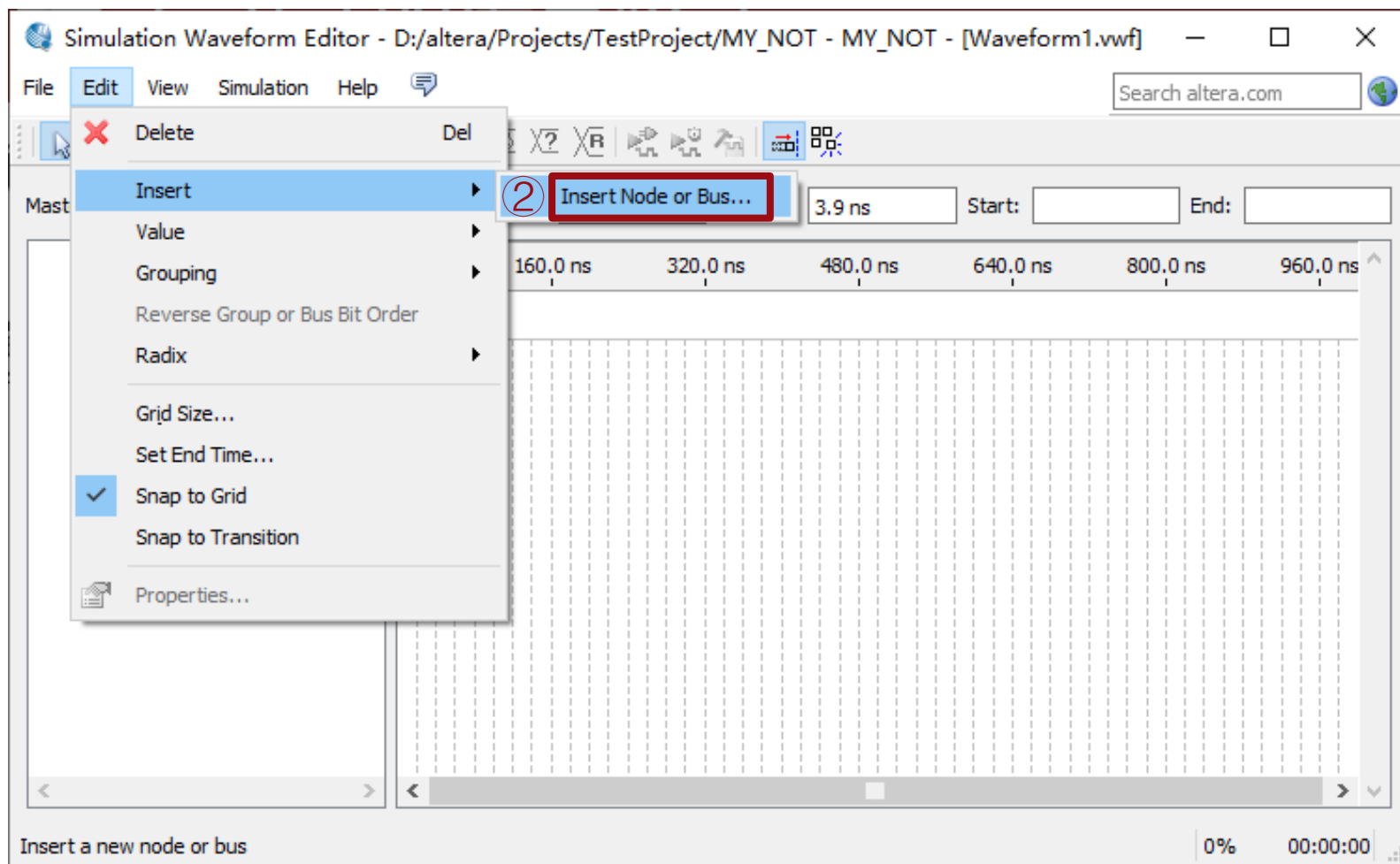




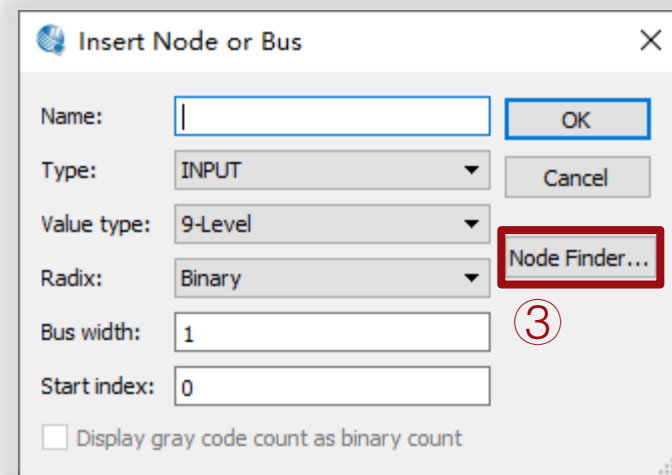
5 设计的仿真验证



插入引脚



2. 在“Name”下方的空白处双击，或者选择“Edit -> Insert -> Insert Node or Bus...”，并在打开的对话框上点击“Node Finder...”按钮。



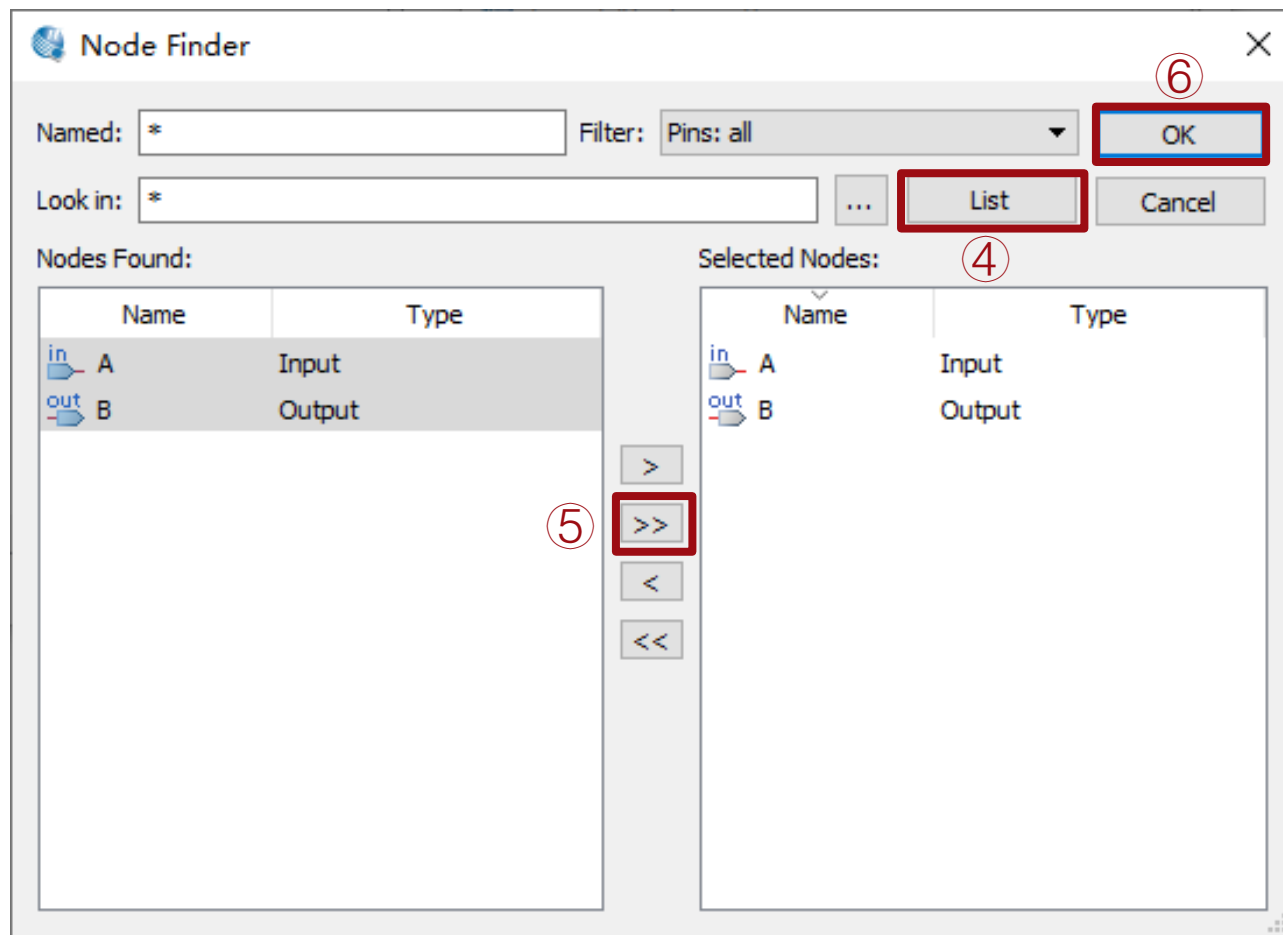


5 设计的仿真验证



插入引脚

3. 在“Node Finder”界面中，点击“List”按钮，设计项目中的全部输入/输出管脚在左边窗口列出。
- 选中欲观察的输入或输出引脚，单击“>”按钮，将其拷贝到右边窗口中。如果要将左边窗口中所有输入/输出都被拷贝到右边窗口中，可直接单击“>>”按钮。
- 完成全部引脚选择后点击“OK”按钮，返回上一界面，再次点击“OK”，返回波形编辑窗口。





5 设计的仿真验证



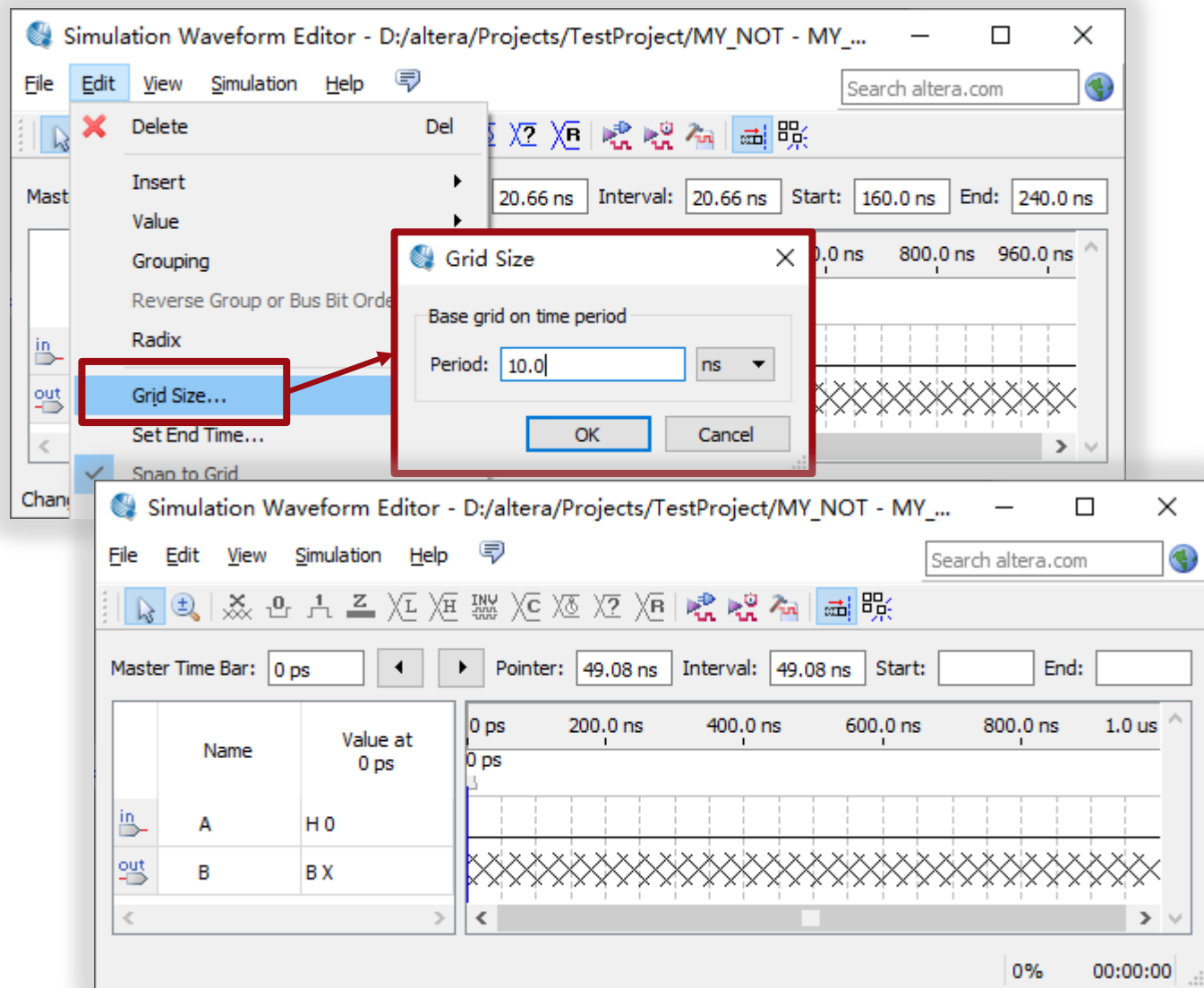
调整网格大小

点击“Edit -> Grid Size”，弹出“Grid Size”对话框，可调整波形显示界面网格大小和单位。

请注意，选择信号时默认只能选择整数个网格，因此对信号的编辑以网格为单位进行，所以应当根据信号时序的实际需要合理调整网格大小。

调整完之后点击“OK”应用更改。

例如，将网格大小调整为50ns，波形显示界面如右图所示。可见，波形编辑界面变成了50ns一个分隔。





5 设计的仿真验证

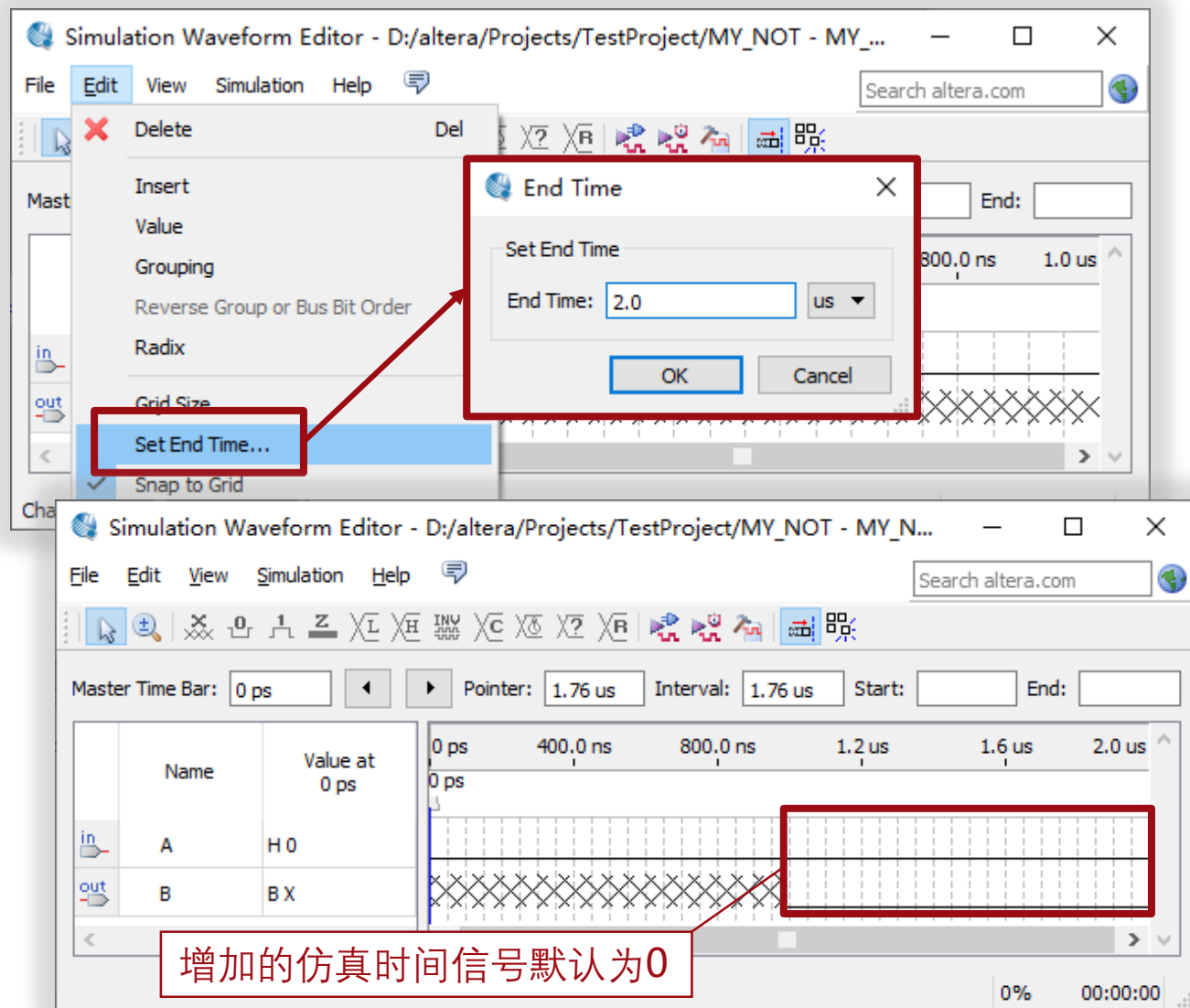


调整仿真时间范围

点击“Edit -> Set End Time”，弹出“End Time”对话框，可调整仿真结束的时间和单位。

调整完之后点击“OK”应用更改。

例如，将仿真结束时间从1us调整为2us，波形显示界面如右图所示。可见，波形编辑界面信号的时间范围扩展到了2us，并且在增加的仿真时间内，信号的值被初始化为0。



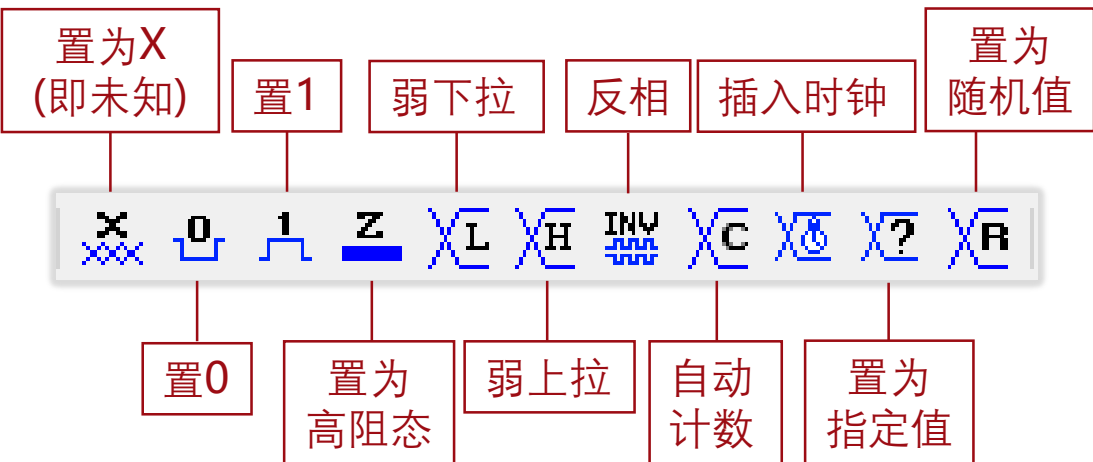


5 设计的仿真验证

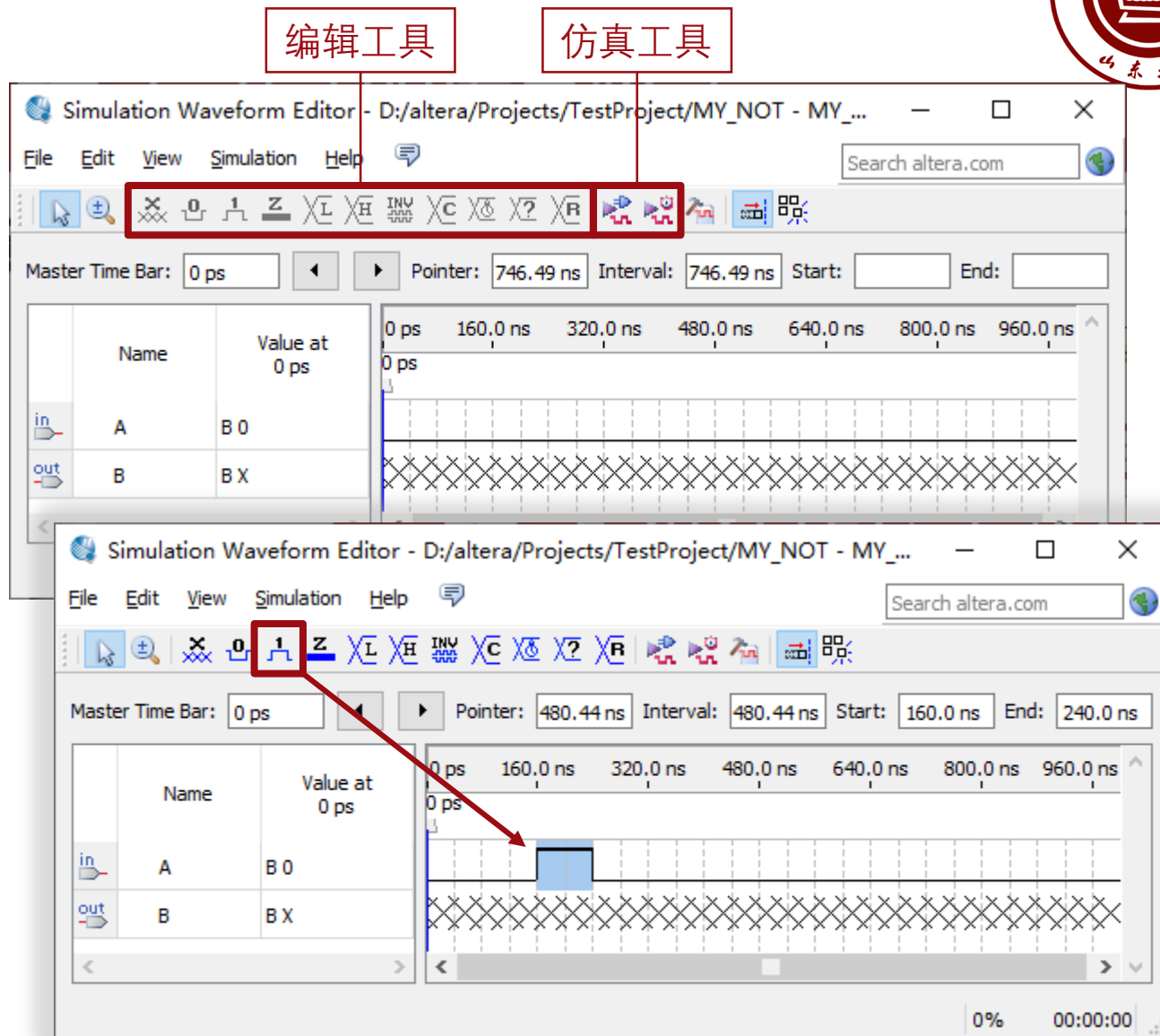


波形编辑

在仿真波形编辑器中，按住并拖动鼠标左键选中一段信号，即可发现工具栏上的编辑工具变为蓝色可点击的状态，此时可以单击工具栏上的编辑工具对选中的信号段进行编辑。



编辑工具及作用




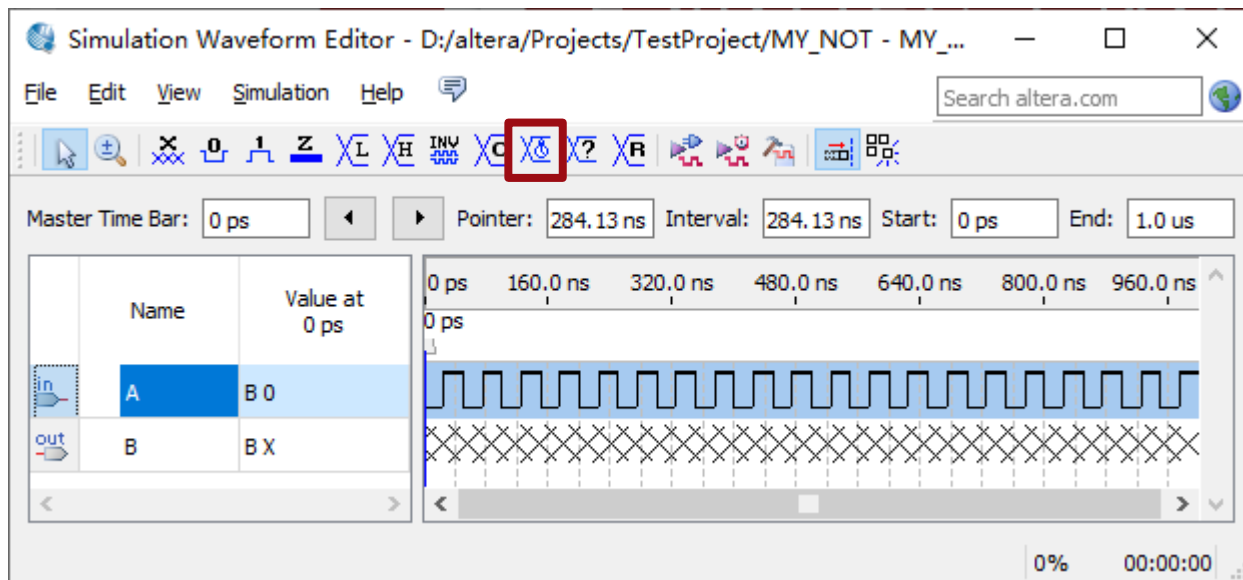


5 设计的仿真验证



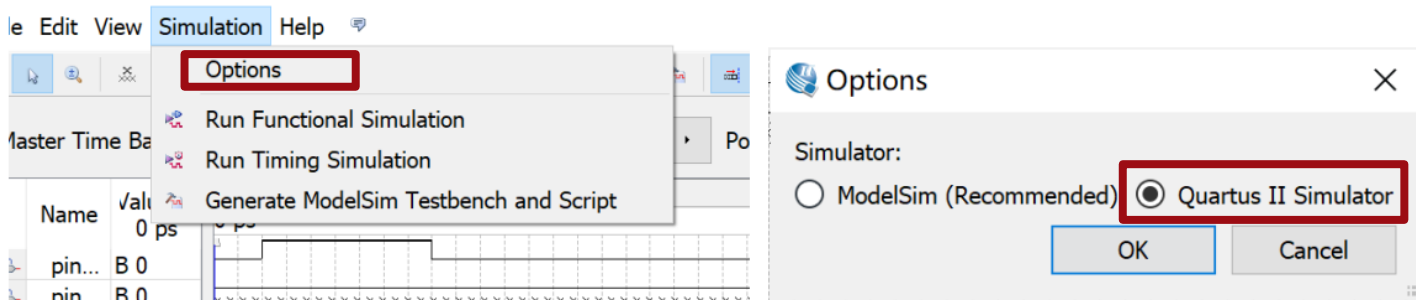
波形编辑

4. 在本例中，我们单击“Name”栏下方的“A”，即选中该行编辑输入波形。再单击工具栏中的  按钮，屏幕将弹出“Clock”对话框，此时可以修改信号的周期、相位和占空比，然后故单击“OK”按钮，输入信号A的波形添加完毕，如右图所示。添加波形后，应保存波形文件。



选择仿真器


5. 在波形编辑窗口选择 Simulation->Options，在弹出的Options对话框中选择“Quartus II Simulator”。

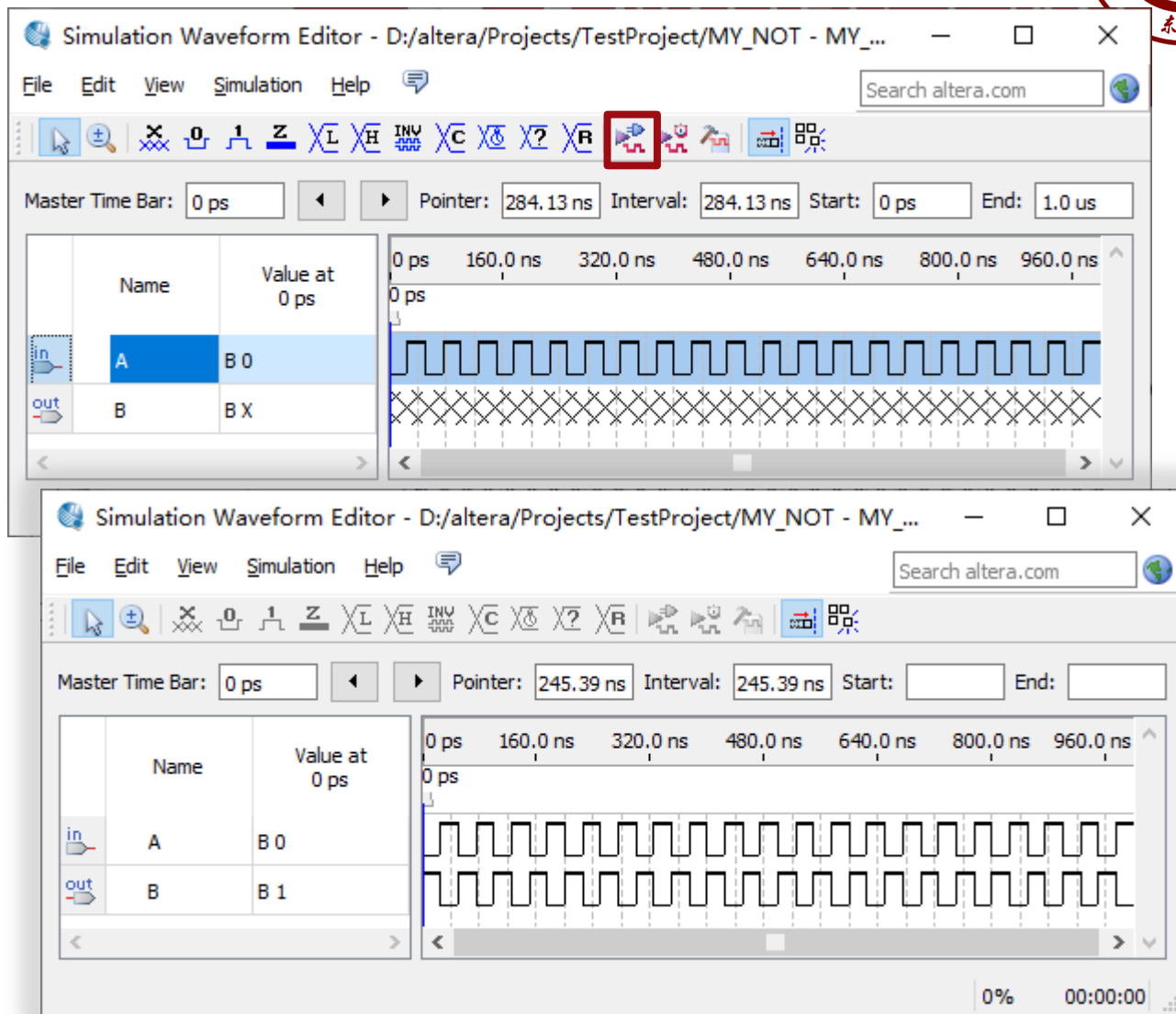


5 设计的仿真验证



启动仿真

6. 启动仿真器。单击仿真“”按钮或者使用 Simulation - >Run Functional Simulation命令启动仿真器，并弹出文本提示框。完成后会弹出另一个仿真波形编辑器界面，本例的仿真结果如右下图所示。可以看到，输出B始终为输入A的反相，证明设计正确。





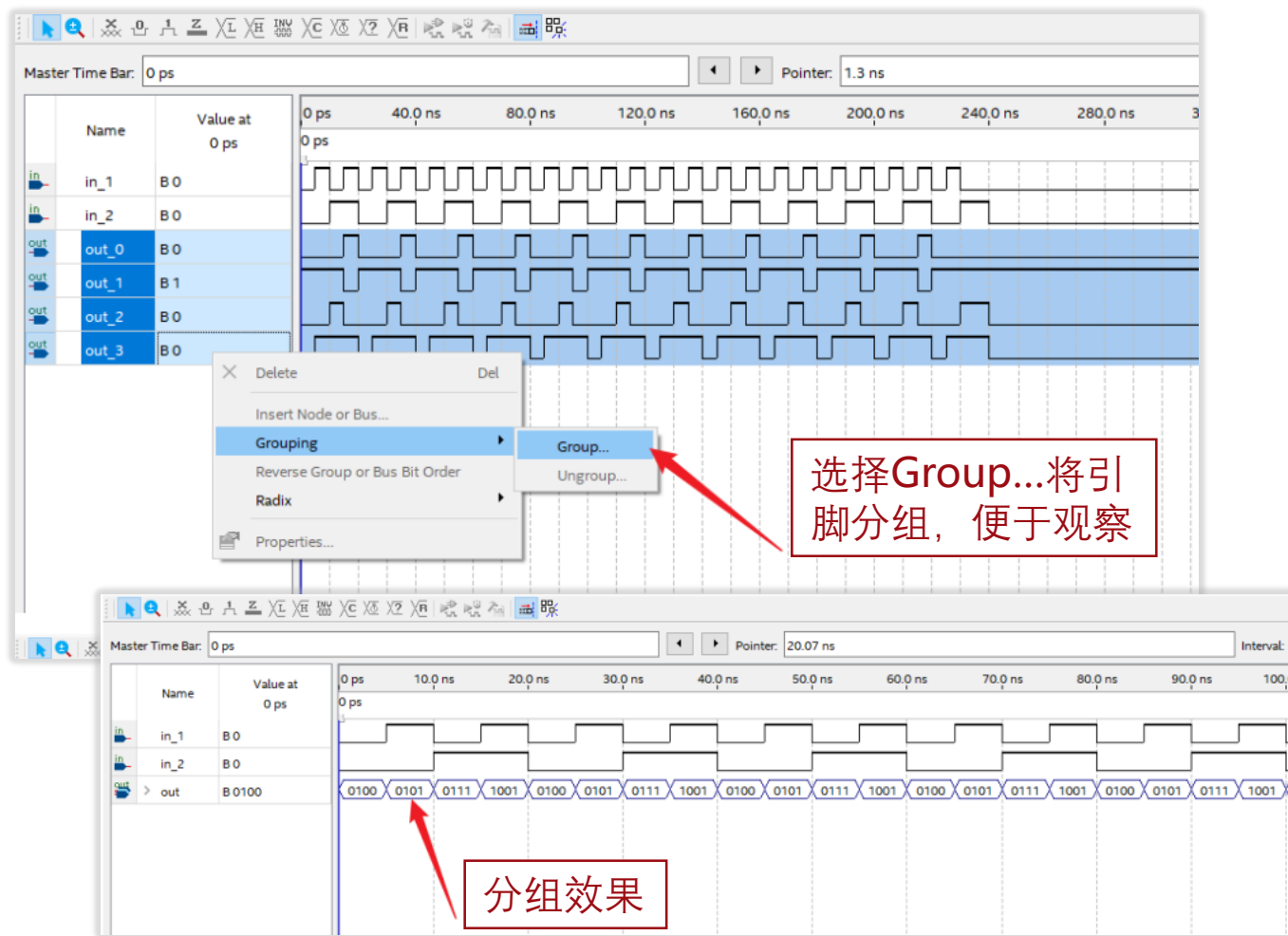
5 设计的仿真验证



引脚分组

引脚过多时，可利用引脚分组功能，更方便观察。如右图所示，选中待分组的输出引脚后点击右键，然后在弹出的菜单中选择“**Grouping->Group...**”，即可将选中的引脚合并为一组，默认以二进制的方式查看。

选择分组后，在右键菜单点击“**Radix**”，可切换进制。

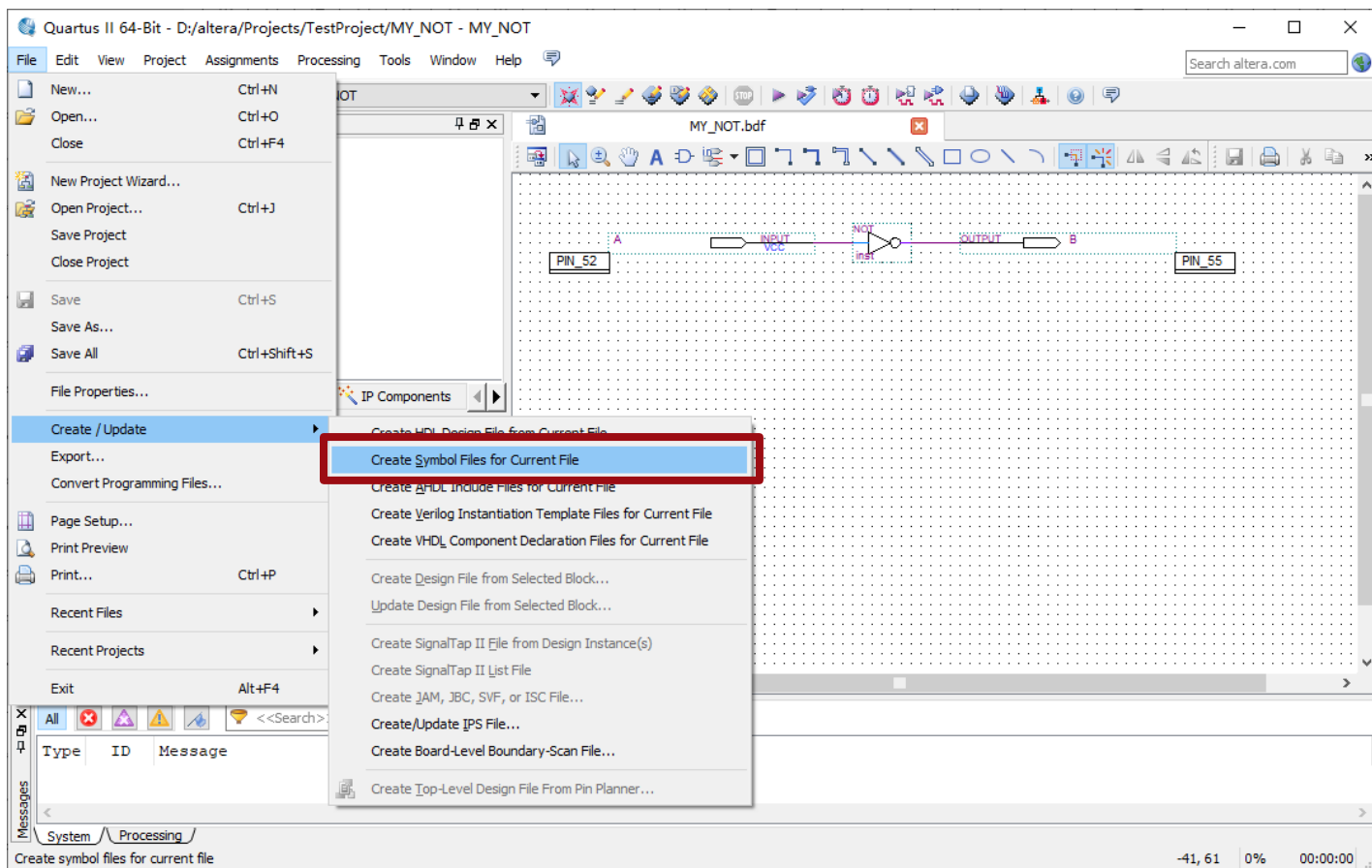




6 层次化设计方法



生成符号文件

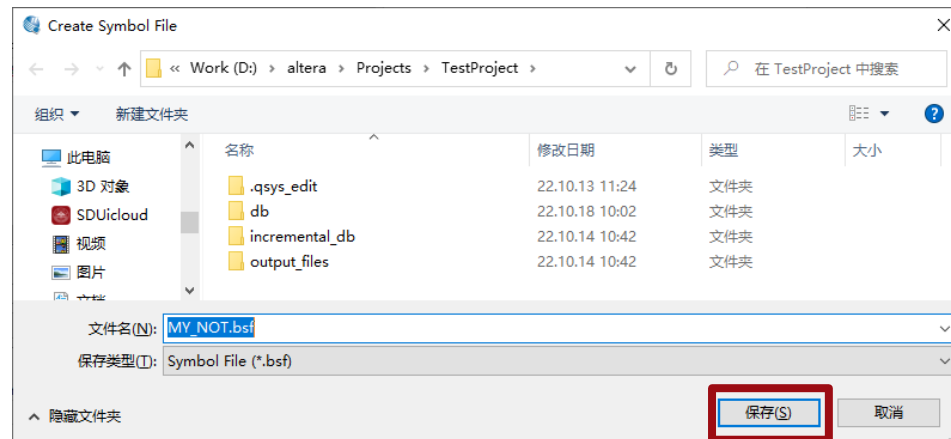


一般情况下，一个实际的工程项目都是由很多功能模块互相连接而构成，其中部分模块还可能由子模块构成。因此层次化的设计方法在实际工程项目的实现中应用非常广泛。

在层次化设计中，一个项目工程往往是另外一个项目工程的子项目，该子项目在总的工程项目中只是一个实现某种功能的符号图。因此，在完成一个子项目工程时，要产生一个可供顶层项目工程使用的符号图。

单击“File”菜单，选择Create/Update –>Create Symbol File For Current File命令，如左图所示。然后，在下图的弹出界面中点击保存即可。此时，可以在绘制其它原理图时将该符号作为一个器件插入。

注意，若在一个新的工程中需要引用该符号，需要将符号文件.bsf和原理图文件.bdf都复制到新的工程中。





6 层次化设计方法

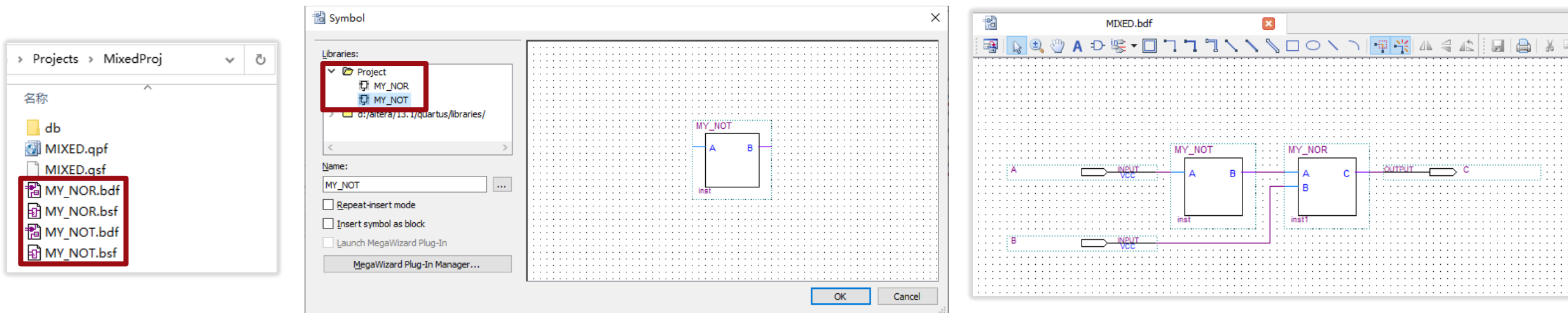


符号的引用

假设已有2个原理图文件符号化，分别为： my_not和my_nor。

建立名为**MIXED**的工程项目，将下图所示的四个文件拷贝入新工程目录下后，进入原理图编辑器窗口，打开用户工作库。在原理图编辑器的编辑窗口的空白处双击鼠标左键，从弹出的器件库选择窗口中点击**Project**，可打开用户工作库，此时就可以看到前面生成的二个器件**MY_NOT**和**MY_NOR**。利用这两个符号即可完成原理图的编辑。

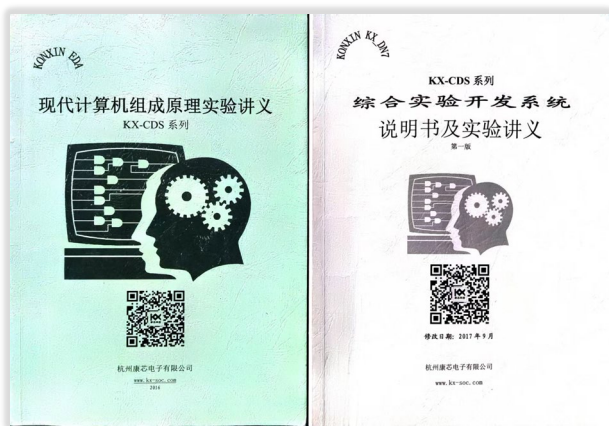
此时，可以按照前面所述步骤进行分配引脚、编译、下载验证或是仿真验证了。请注意本例仅用于介绍“自底而上”的设计过程，例题本身没有实用价值。



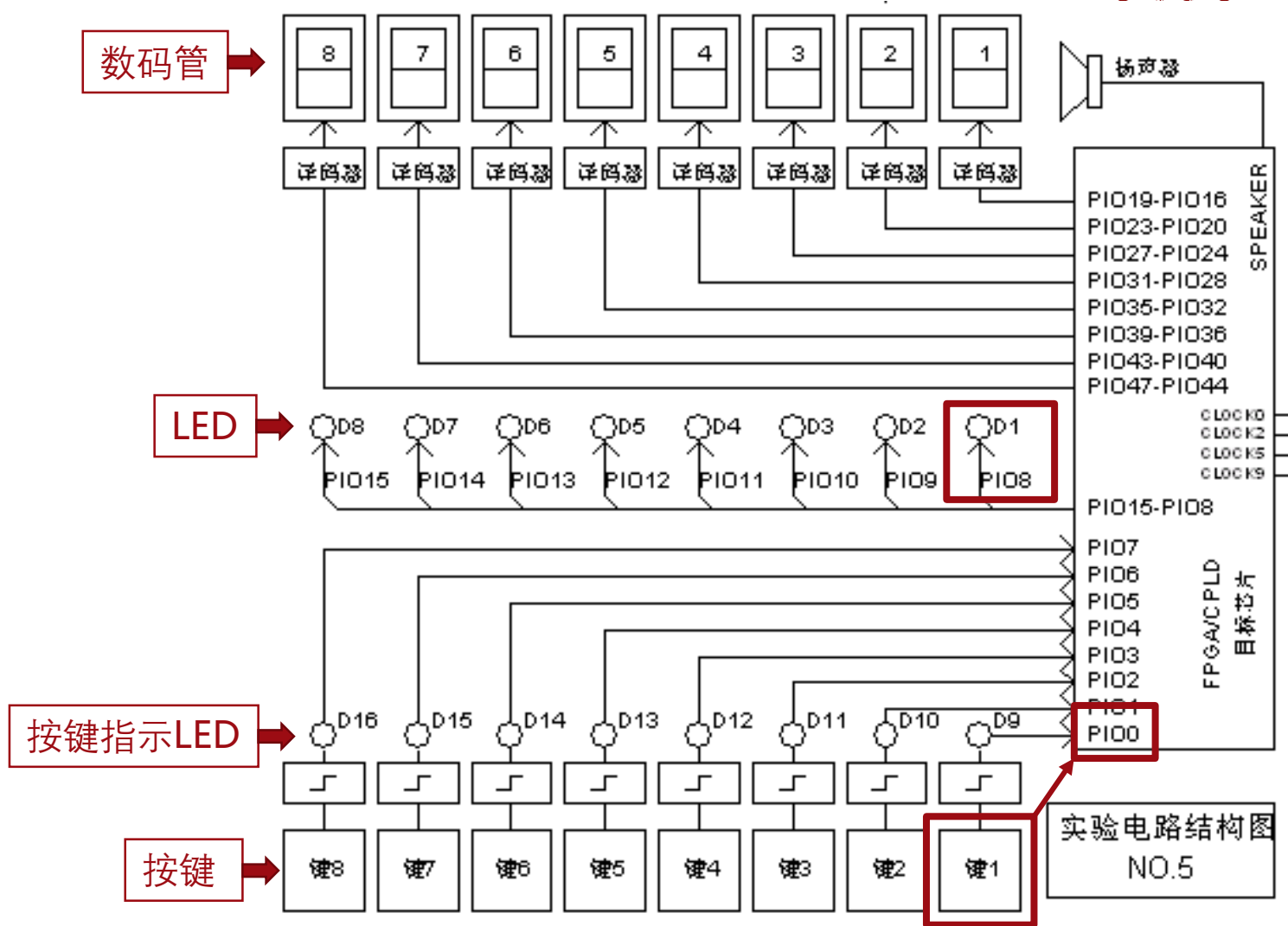
附录1-查找引脚号



查找引脚号



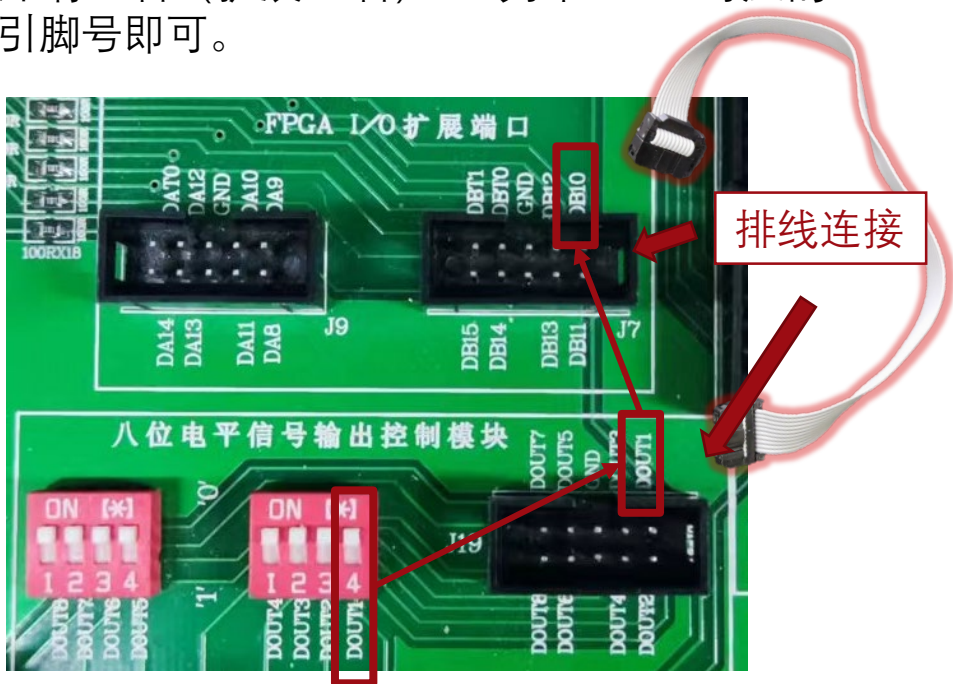
引脚号需要查找实验箱的说明书（上图红皮书和绿皮书均可）或“康芯KX-CDS平台介绍.ppt”确定。首先，应当根据所需验证的功能，确定实验箱上所需使用的输入输出方式。本PPT中示例演示的是一个反相器，所以只需使用模式5，用按键1作为输入，一个LED灯（D1）作为输出即可。查找右图所示模式5的原理图可得，键1对应PIO0，D1对应PIO8。





查找引脚号

再查找FPGA引脚对照表，即可得到引脚号分别为“52”和“55”。
如需使用扩展口，引脚号查找方法如下图所示：如使用DOUT1号拨码开关，用排线连接J7和J19后，J19上DOUT1所在位置对应到扩展端口J7上为DB10，再查找FPGA引脚对照表，找出“2组40芯片端口名（扩展口名）”一列中DB10对应的FPGA引脚号即可。



结构图上的 的信号名	KX-4CE6/10	DE0 E3C16F484C6N CycloneIII	DE0-CV EP5CEBA4F23C7 N CycloneV	DE1-SOC EP5CSEMA5F31C 6N CycloneV	KX-3C40 EP3C40Q240C8 N CycloneIII	KX-4CE55	2组40芯 端口名 (扩展口 名)
	引脚号	引脚号	引脚号	引脚号	引脚号	引脚号	
PI00	52	U7	T15	AJ21	88	N1	DB31
PI01	55	W6	T18	AG20	94	R1	DB29
PI02	64	V8	T20	AG21	103	V1	DB27
PI03	66	W10	R17	AF21	107	Y1	DB25
PI04	67	V11	P18	AE19	113	AB3	DB23
PI05	75	V12	K17	AD20	131	AA6	DB21
PI06	34	W13	L17	AK21	133	Y7	DB19
PI07	84	U14	M18	AJ20	135	AB6	DB17
PI08	60	T8	R16	AF19	106	U2	DB26
PI09	65	Y10	R15	AF20	112	W2	DB24
PI010	70	R10	K19	AE18	114	AA3	DB22

↑
PIO号
查此列

↑
最终得到的
FPGA引脚号

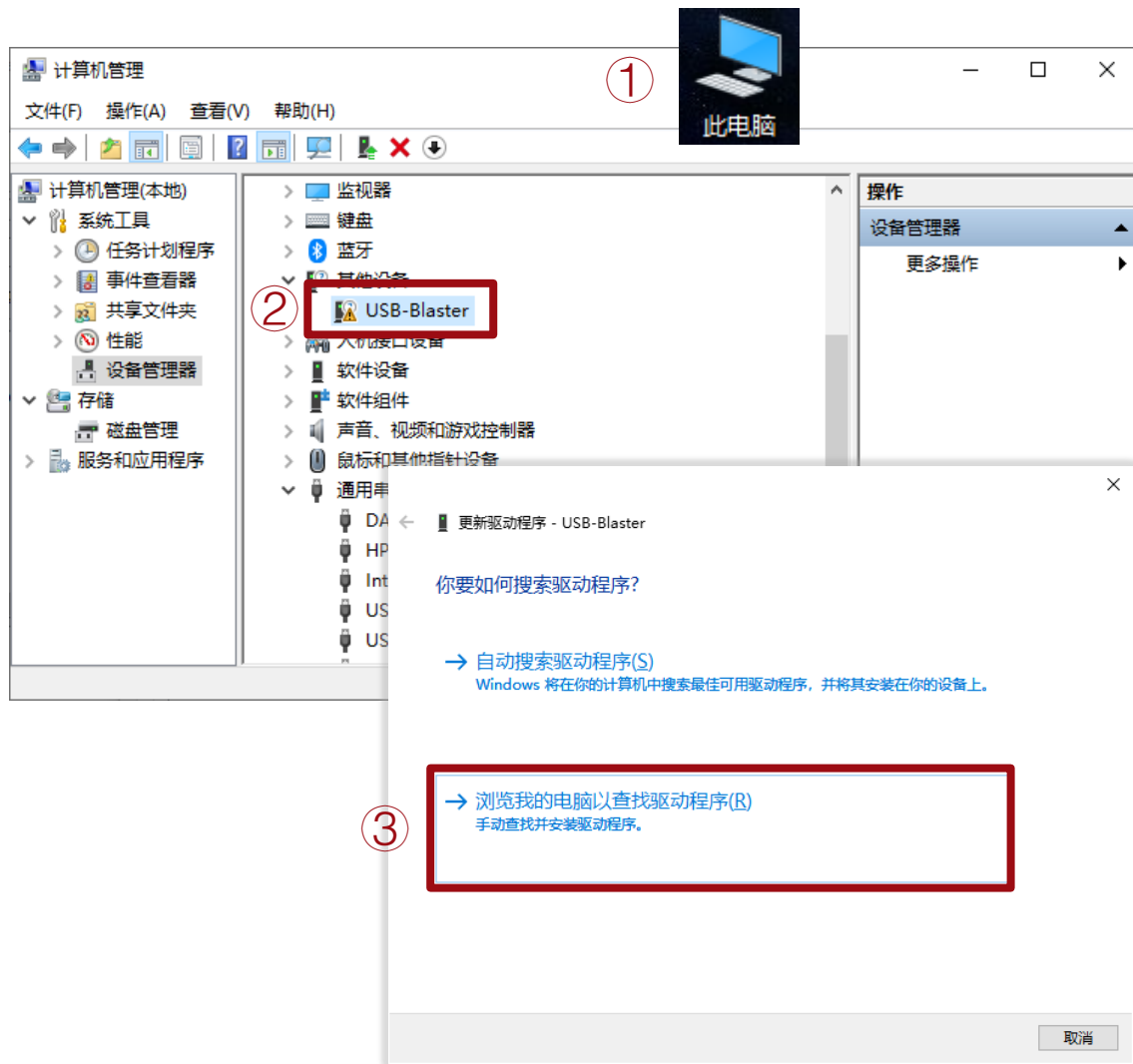
↑
扩展口
查此列



附录2-安装下载器驱动



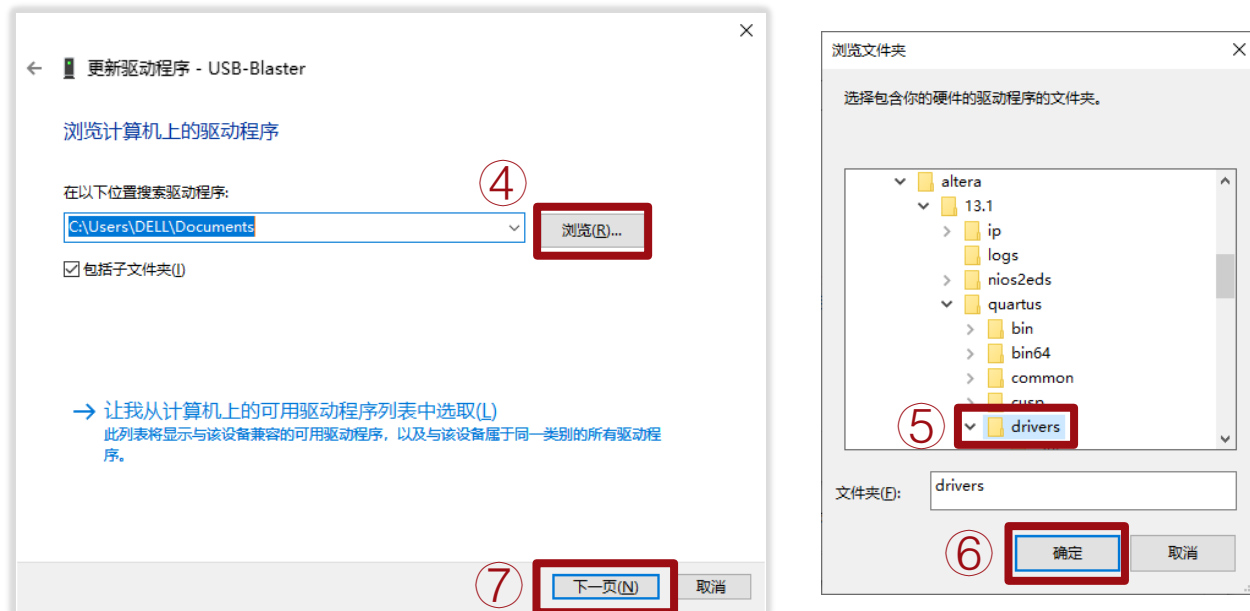
安装下载器驱动



首先，在桌面“此电脑”图标上点击右键，选择“管理”，并在打开的计算机管理应用中选择“设备管理器”。

第二步，在设备列表中找到“USB-Blaster”设备，此时其图标上带有黄色感叹号，表示未找到适配驱动。在图标上点右键选择“更新驱动程序”。

第三步，在驱动程序更新向导中选择“浏览我的电脑以查找驱动程序”，并在弹出的页面中选择“浏览”。找到并选中 Quartus 安装目录中的“drivers”文件夹，点击“确定”返回，再点击“下一页”，确认安装新驱动。





谢谢
欢迎提问！

