

计算机组成与设计

课程实验报告

学号：202200400053		姓名：王宇涵	班级： 2202
实验题目： 二进制补码加法器实验			
实验学时： 2		实验日期： 2024-04-18	
实验目的： 根据补码加法器的模型，理解数据流及其时序关系。 掌握加法器实现补码加、减运算的基本原理。			
实验软件和硬件环境： 软件环境： QuartusII 软件 硬件环境： 1.实验室台式机 2.计算机组成与设计实验箱			
实验原理和方法： 本实验运算器模型，可分为数据运算以及符号位的产生两部分。 <div></div>			
三、实验要求： <ul style="list-style-type: none">◆ 数据宽度为 4 位，设计出实验线路图。◆ 设计试验步骤。◆ 使用开关进行数据加载，完成补码加、减运算。◆ 符号位运算采用双符号位，累加器应有清零控制。			

- ◆ 通过指示灯观察运算结果，记录实验现象，写出实验报告。

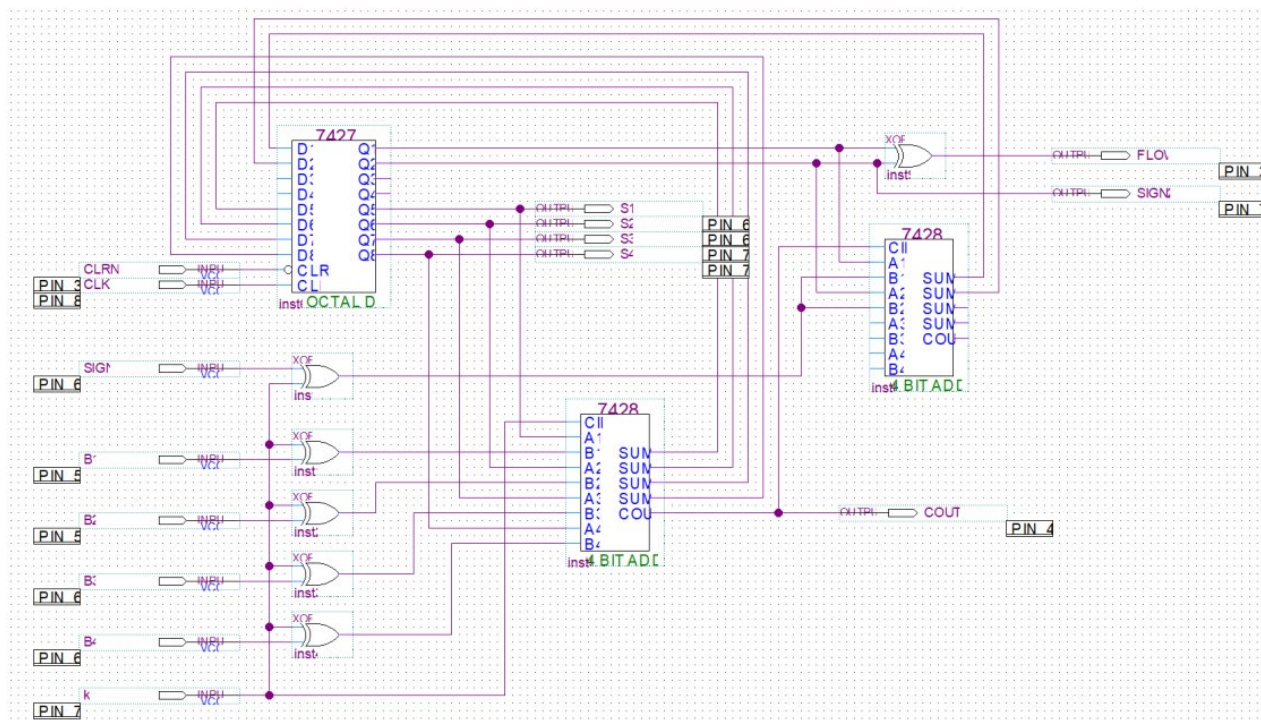
四、参考器件：

累加器选用一片 74LS273；加法器用两片 74 LS283；原、反码控制器用一片 74LS86。

溢出判断用一片 74LS86。

实验步骤：

(1) 原理图输入：根据如图所示电路，完成逻辑运算的电路原理图设计。



(2) 管脚锁定：完成原理图中输入、输出的管脚锁定。

输入：

键 1——D9——PIO0——PIN52——B1

键 2——D10——PIO1——PIN55——B2

键 3——D11——PIO2——PIN64——B3

键 4——D12——PIO3——PIN66——B4

键 5——D13——PIO4——PIN67——SIGN——输入数的符号

键 6——D14——PIO5——PIN75——k——控制加减，为 0 则加，为 1 则减

键 7——D15——PIO6——PIN34——CLR1——清零操作，为 0 则数据清零

键 8——D16——PIO7——PIN84——CLK1——脉冲

输出：

D1——PIO8——PIN60——S1

D2——PIO9——PIN65——S2

D3——PIO10——PIN70——S3

D4——PIO11——PIN74——S4

D5——PIO12——PIN77——SIGN2——输出数的符号

D7——PIO14——PIN42——COUT1——判断是否向符号位进位

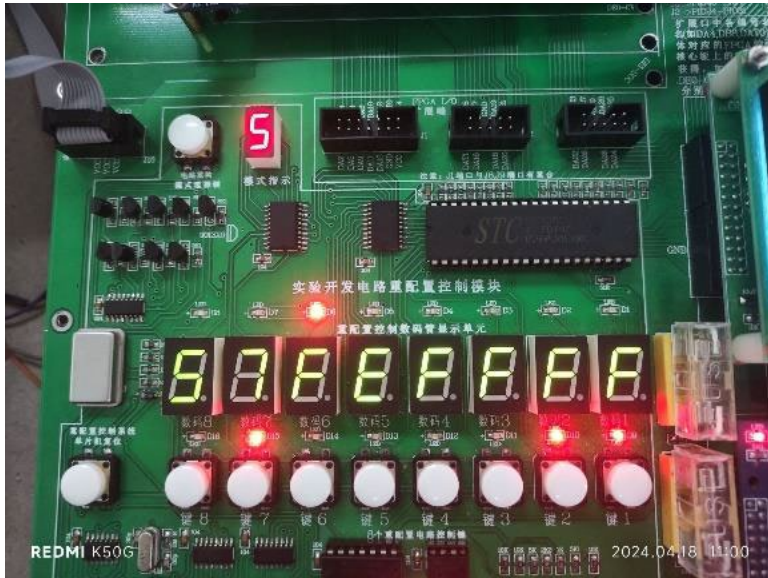
D8——PIO15——PIN39——FLOW——溢出判断

(3) 原理图编译、适配和下载：在 Quartus II 环境中选择 EP4CE6/10 器件，进行原理图的编译和适配，无误后完成下载。

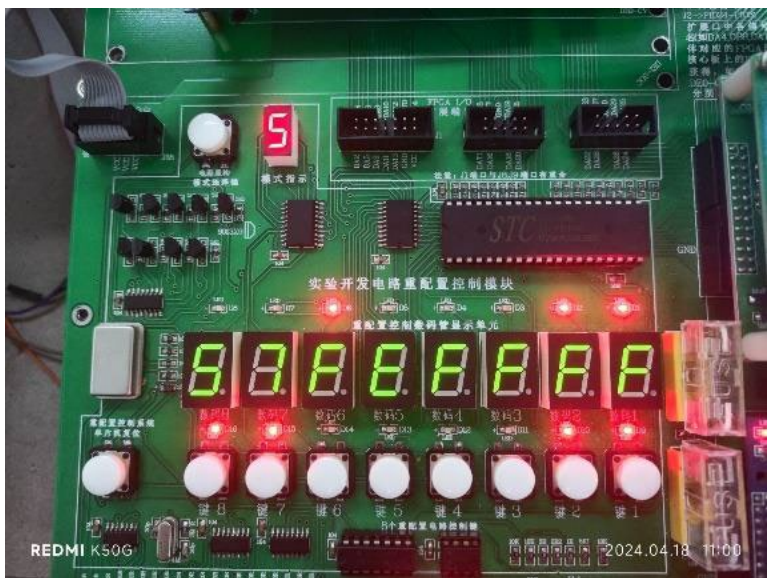
(4) 功能测试：利用输入输出测试逻辑运算部件的功能并记录测试结果。

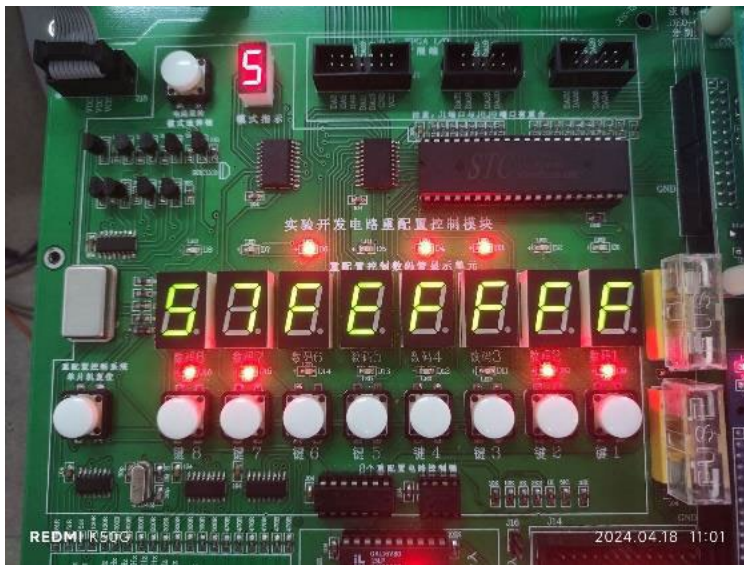
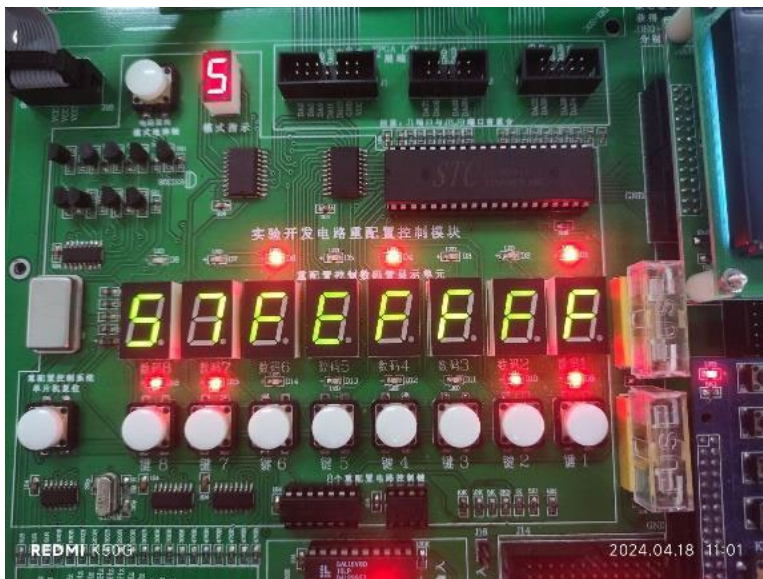
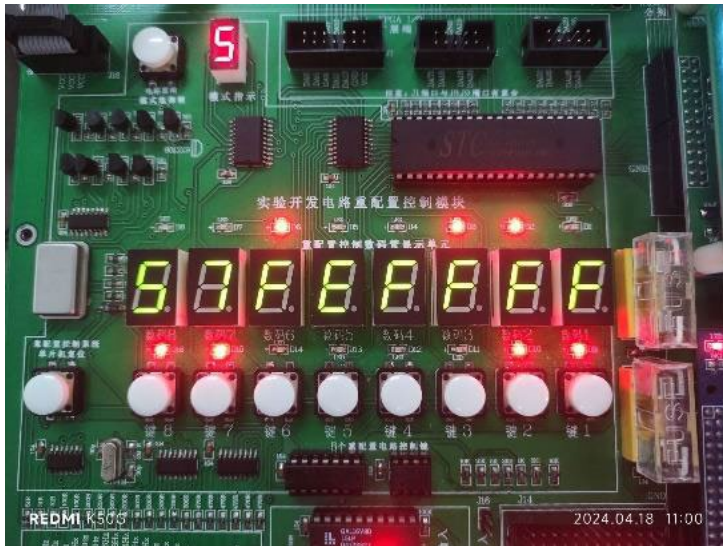
测试加法

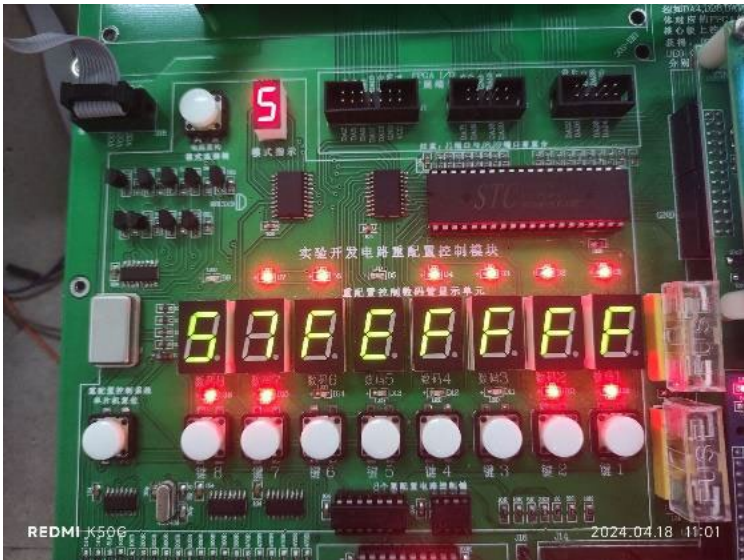
初始状态



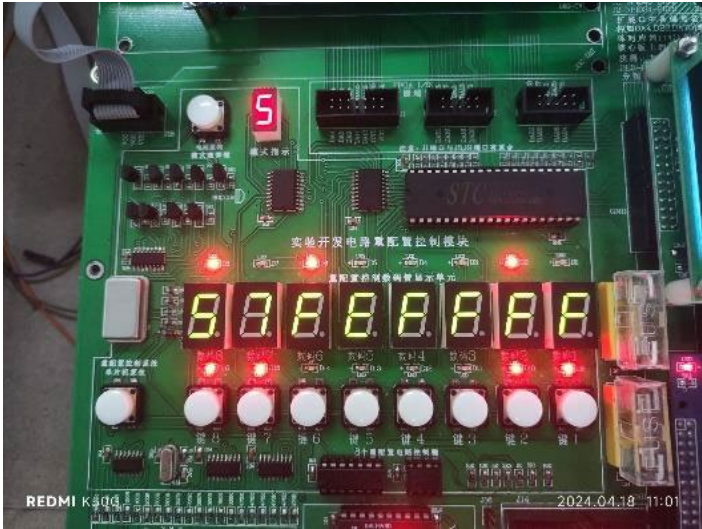
不断加 3





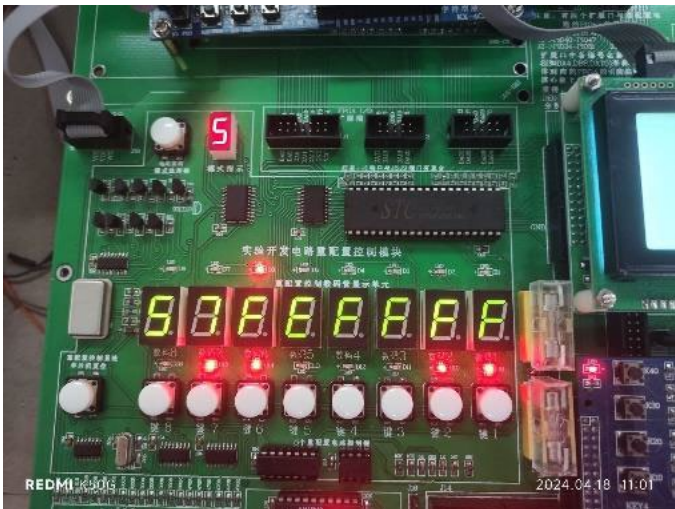


发生溢出 $15 + 3 = 18$ $18 \% 16 = 2$;

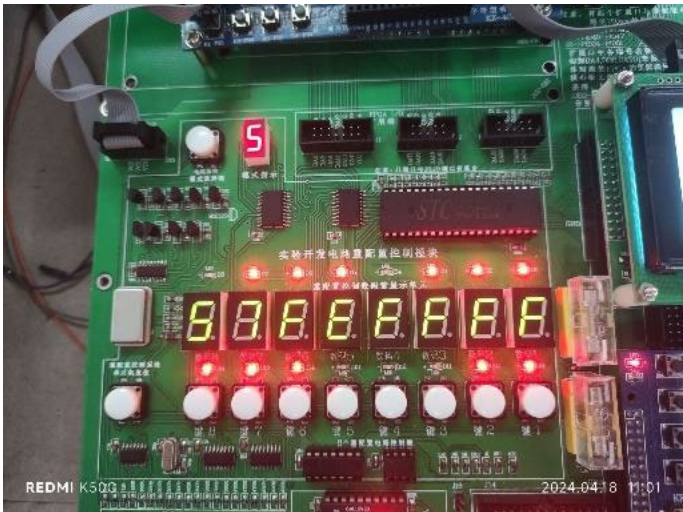
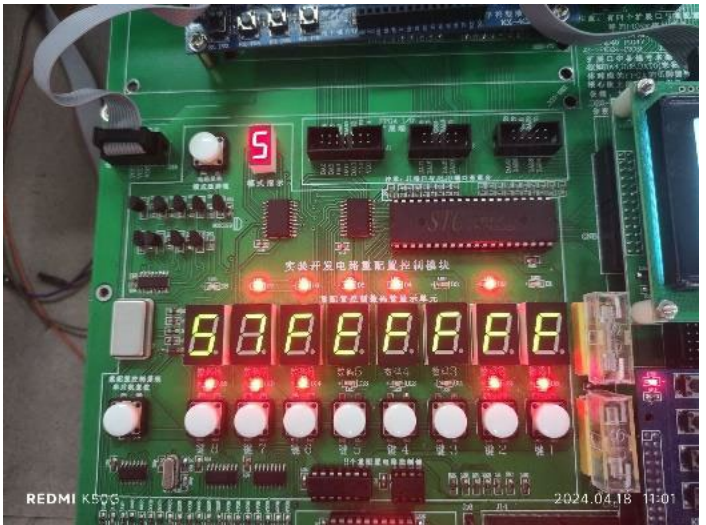
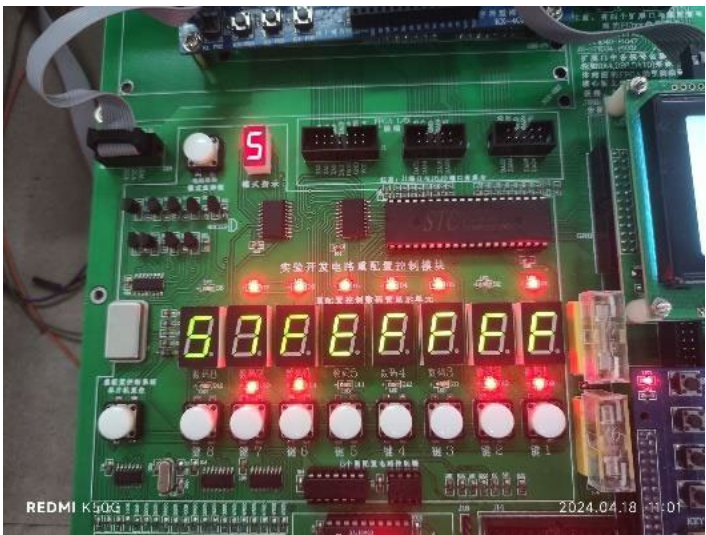


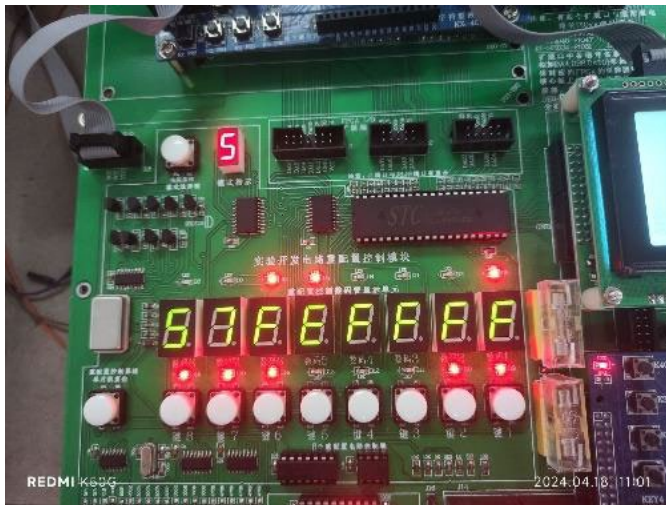
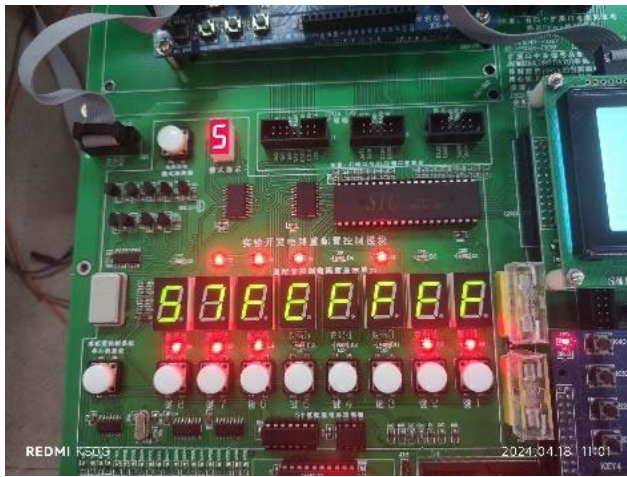
测试减法

初始状态

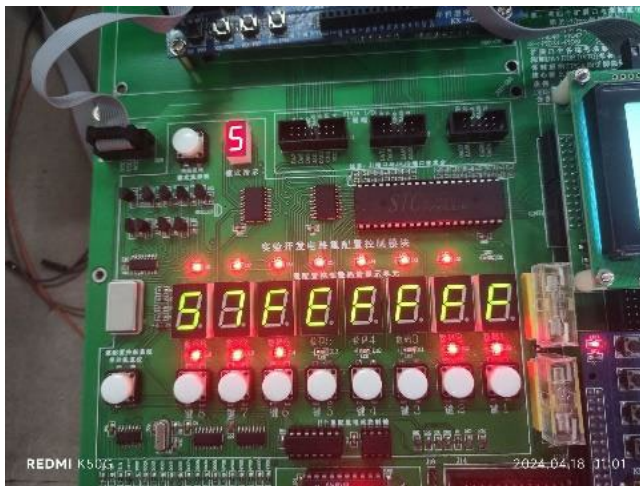


不断减 3



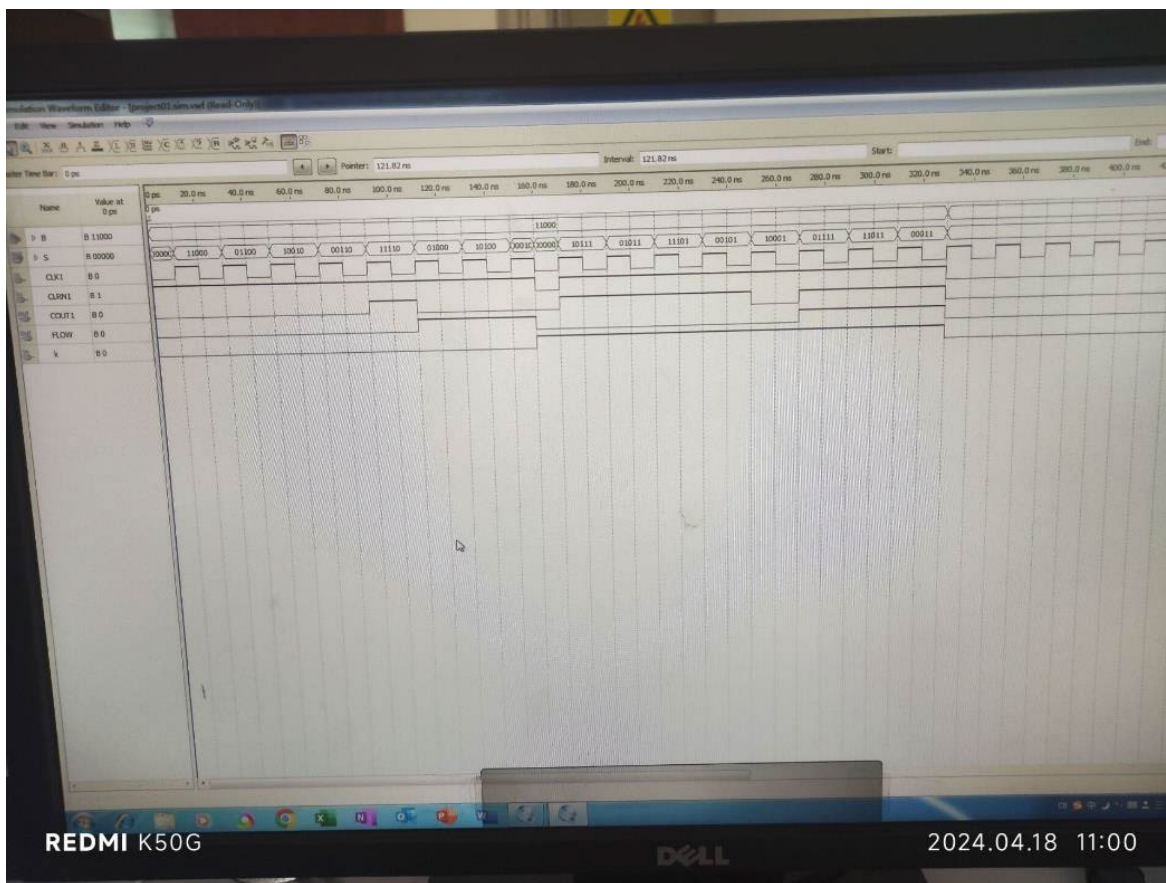


发生溢出 $-15 - 3 = -18$ $-18 \% 16 = -2$;



(5) 生成元件符号。

仿真结果：
仿真成功!成功完成实验!



结论分析与体会：

这次实验与以往实验最大的不同在于本实验的数据被临时存储，并与数据进行交互，从而实现了累加的功能，深入了我对于加法器和存储的理解，巩固了我的理论课知识。

同时我们也遇到了一些问题

1. 溢出逻辑的实现

一开始我们没有想到两位符号位的存储方式，绕了一些弯子，后来在他人的指导下成功理解了溢出判断，通过异或实现，并成功完成了设计。

2. 减法逻辑的实现

使用 k 和原数进行异或来实现减法逻辑

如果 $k=1$ ，代表原数取反+1，也就是原数的补码；如果 $k=0$ ，代表原数不变。