

计算机组成与设计

课程实验报告

学号：202200400053	姓名：王宇涵	班级：2202
实验题目： LPM_RAM 实验		
实验学时：2	实验日期：2024-5-30	
实验目的： 1、了解 FPGA 中 RAMlpm_ram_dq 的功能； 2、掌握 lpm_ram_dq 的参数设置和使用方法； 3、掌握 lpm_ram_dq 作为随机存储器 RAM 的仿真测试方法，工作特性和读写方法。		
实验软件和硬件环境： 软件环境： QuartusII 软件 硬件环境： 1. 实验室台式机 2. 计算机组成与设计实验箱		
实验原理和方法： 实验内容： 在 FPGA 中利用嵌入式阵列块 EAB 可以构成存储器，lpm_ram_dq 的结构如图 8-1。数据从 ram_dp0 的左边 D[7..0]输入，从右边 Q[7..0]输出，R/W 为读/写控制信号端。当输入数据和地址准备好以后，在 inclock 是地址锁存时钟，当信号上升沿到来时，地址被锁存，数据写入存储单元。数据的读出控制是从 A[7..0]输入存储单元地址，在 CLK 信号上升沿到来时，该单元数据从 Q[7..0]输出。R/W 是读/写控制端，低电平时进行读操作，高电平时进行写操作；CLK 是读/写时钟脉冲信号；DATA[7..0]是 RAM_dq0 的 8 位数据输入端；A[7..0]是 RAM 的读出和写入地址；Q[7..0]是 RAM_dq0 的 8 位数据输出端。 实验步骤： 1、按图 7-1 输入电路图，进行编译、引脚锁定、向 FPGA 配置下载；2、通过键 1、键 2 输入 RAM 的 8 位数据（选择实验台工作模式 1），键 3、键 4 输入存储器的 8 位地址。键 8 控制读/写允许，低电平时读允许，高电平时写允许；键 7（CLK0）产生读/写时钟脉冲，即生成写地址锁存脉冲，对 lpm_ram_dq 进行写/读操作；3、lpm_ram_dq 也能加入初始化文件（这里是 5_ram.mif 是后面将要用到的模型 CPU 执行微程序文件），注意此文件加入的路径表达和文件表达方式（图 8-2）：5_ram.mif（注意后缀 mif 要小写）；选择 RAM 的 ID 名取为：ram1。 实验中选择实验电路模式为 NO.1，按以上方式进行验证实验。首先控制读出初始化数据，与载入的初始化文件 ram_dp1.mif 中的数据进行比较，然后控制写入一些数据，再读出比较。使用在系统读写 RAM 的工具对其中的数据进行读写操作，设置成连续读模式，将在系统读写工具窗口的数据与实验箱上数码管上显示的数据进行对比（图 8-3）。 实验要求： 1、设计数据宽度和地址宽度均为 8 位 lpm_ram_dq；2、设计对 lpm_ram_dq 进行测试的波形文件，完成对 lpm_ram_dq 时序仿真和硬件测试；3、利用系统读写 RAM 的工具对其中的数据进行读、写、修改、加载新的数据文件操作；4、写出实验报告，包括工作原理、调试和测试结果。		

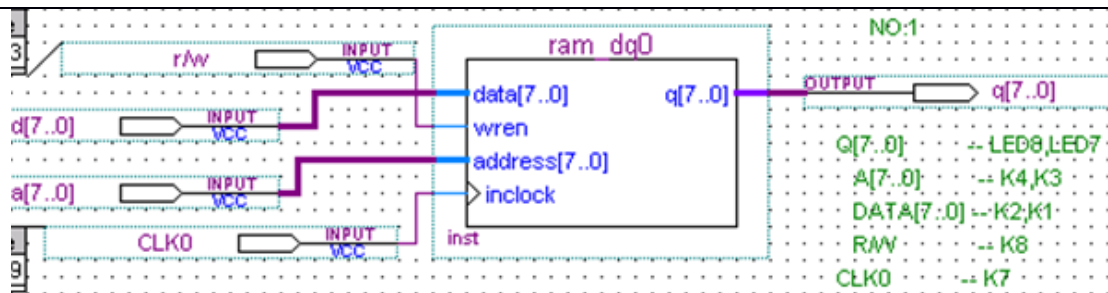


图 8-1 LPM_RAM 的结构

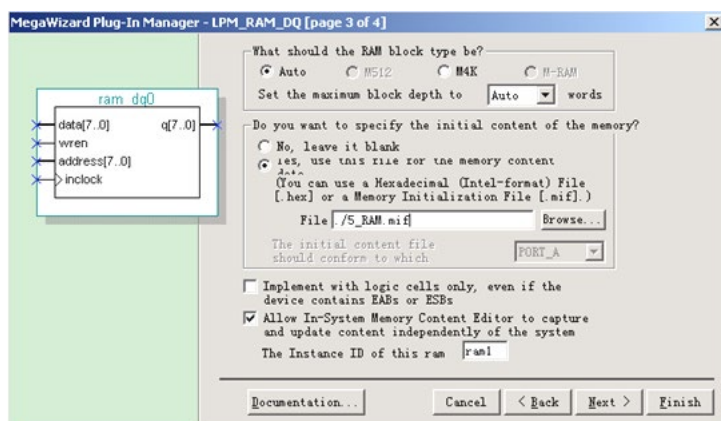


图 8-2 lpm_ram_dq 加入初始化文件和选择在系统读写 RAM 功能

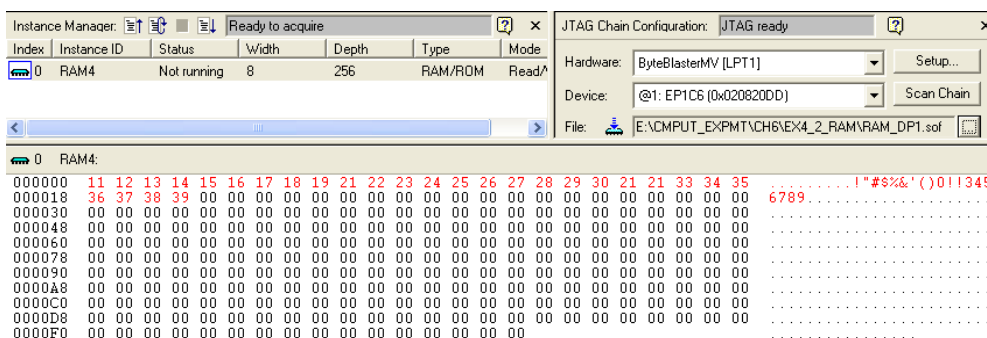
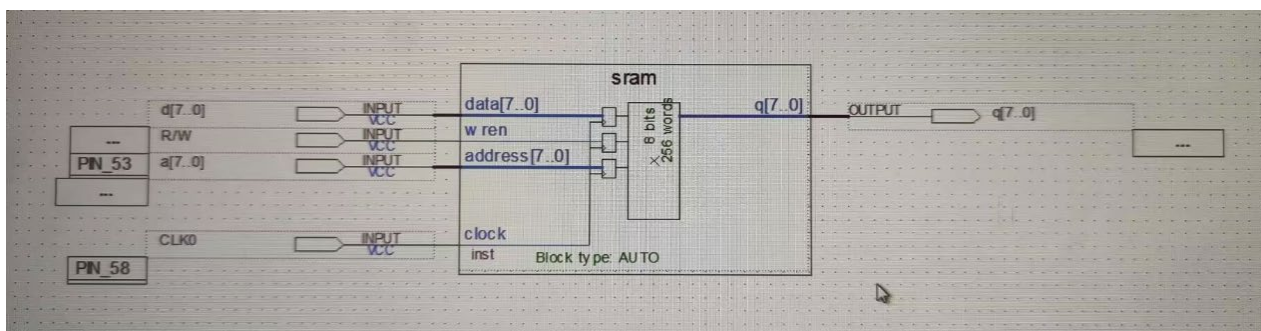


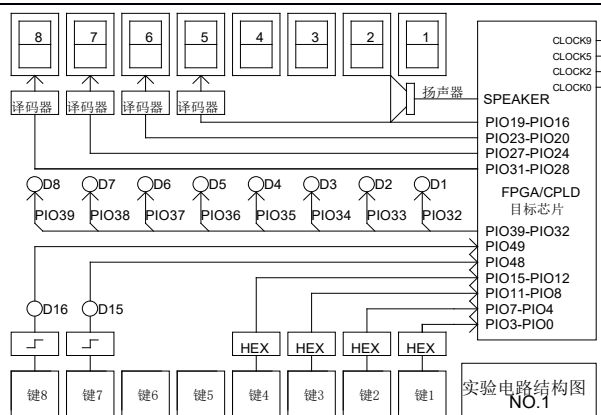
图 8-3 使用在系统读写 RAM 的工具对 lpm_ram 中的数据进行读写操作

实验步骤：

- (1) 设计 sram 且原理图输入：根据所示电路，完成电路原理图设计。



- (2) 管脚锁定：完成原理图中输入、输出的管脚锁定。

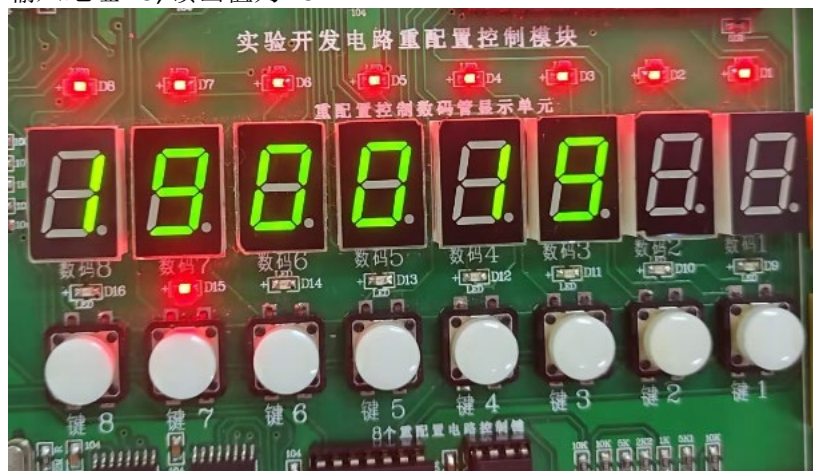


d[7..4]: 键 2 – PIO7..PIO4 – 84 34 75 67
d[3..0]: 键 1 – PIO3..PIO0 – 66 64 55 52
a[7..4]: 键 4 – PIO15..PIO12 – 39 42 83 77
a[3..0]: 键 3 – PIO11..PIO8 – 74 70 65 60
R/W: 键 8 – PIO49 -- 53
CLK0: 键 7 – PIO48 – 58
q[7..4]: 数码 8 – PIO31..PIO28 – 80 85 73 76
q[4..0]: 数码 7 – PIO27..PIO24 – 71 72 68 69

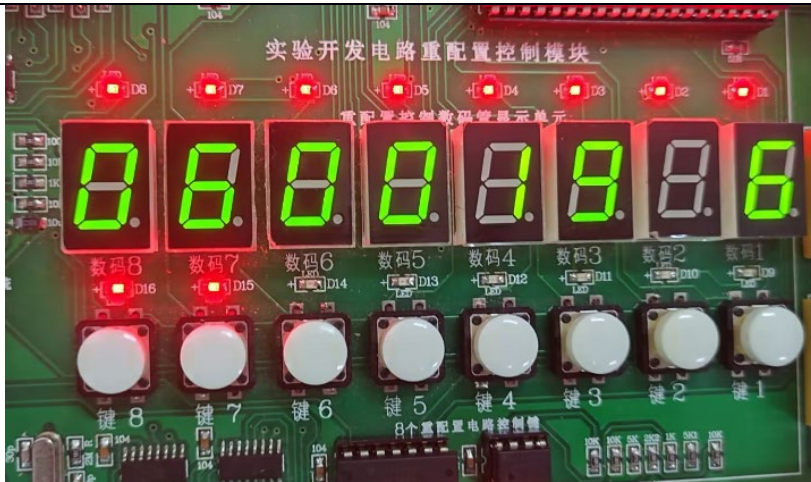
(3) 原理图编译、适配和下载: 在 Quartus II 环境中选择 EP4CE6/10 器件, 进行原理图的编译和适配, 无误后完成下载。

(4) 功能测试:

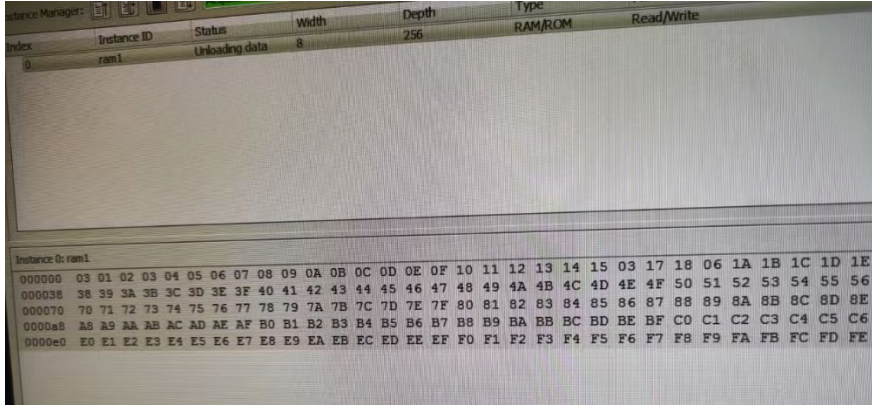
打开读写单元, 显示 RAM 的初始化数据, 我们将每一个地址处的值设为该地址的值
输入地址 19, 读出值为 19



改变数据位, 修改 R/W 位为 1(写入), 将地址 19 处的值修改为 6
再修改 R/W 位为 1(读入), 发现显示值为 6, 符合预期



此时打开读写单元读入数据,发现 19 地址处的数据已经被修改为了 06



仿真结果：

本次实验不方便通过仿真结果展示过程, 因此用实际操作图文代替.

结论分析与体会：

通过本次实验, 我深入了解了 FPGA 中 RAM 模块 lpm_ram_dq 的功能, 明白了该模块可以通过简单的输入和输出控制信号实现数据的存储和读取。通过配置相应的参数, 能够灵活地使用 RAM 进行数据管理。在测试过程中, 使用键盘输入数据和地址, 控制读写信号进行操作, 并通过时钟脉冲实现数据的写入和读取。

期间遇到的一些问题如下：

1.刷新软件的读写单元, 没有发现 SRAM?

答：需要下载电路图后才会显示.

2. 如何快速初始化数据?

答：右键点击鼠标选择初始化数据的方式, 可以都为 0, 1 或者自定义递增序列等.

