

第四章 触发器

● 组合逻辑电路

- 输出状态仅和当时的输入状态有关，而与过去输入状态无关

● 时序逻辑电路

- 输出状态不仅和当时的输入状态有关，而且与过去的输入状态有关

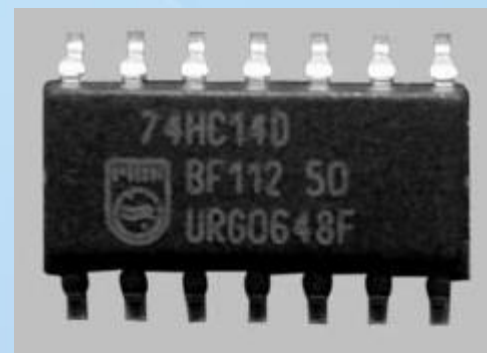
触发器？



山东大学

计算机科学与技术学院

- 一种具有“记忆”功能的单元逻辑电路
- 是构成时序逻辑电路的基本器件
- 区别：
 - 有触发器就是时序电路
 - 无触发器就是组合电路
- 时序电路的分析、设计都需要掌握**触发器 (Flip-Flop)** 的功能特性。
- 学习要求
 - 了解基本工作原理
 - **重点掌握它们的逻辑功能**
 - 能够正确使用



PHILIPS 74HC14D施密特触发器
作用：整流、滤波

内容提要



山东大学

计算机科学与技术学院



4.1 触发器概述



4.2 触发器的逻辑功能



4.3 边沿触发器



4.4 触发器的触发方式



4.5 触发器的功能转换

4.1 触发器概述

● 符号表示

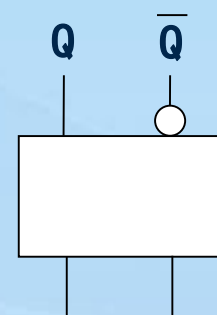
- 两个互反的输出，用 Q 和 \overline{Q} 表示
- 多个输入，用约定字母表示

● 基本特征

- 有两种稳定的状态

$$\begin{array}{ll} 0\text{态} & \begin{cases} Q=0 \\ \overline{Q}=1 \end{cases} & 1\text{态} & \begin{cases} Q=1 \\ \overline{Q}=0 \end{cases} \end{array}$$

- 在输入信号的作用下，两种状态可相互转换



图形符号

● 现态和次态

- 现态：信号作用前的状态，记作 $Q(Q^n)$
- 次态：信号作用后的状态，记作 $Q'(Q^{n+1})$

注意：现态和次态是以时间划分的，空间上是相同的

● 逻辑功能

(电路中的信号点)

- $Q'=f(Q,X)$ 次态是现态和输入的函数
- 描述方法：功能表、特征方程、激励表

● 触发方式

- 输入信号的有效条件

触发器的分类

● 按触发方式分类

- 基本(电位)触发器:输入信号电平直接控制
- 时钟触发器
 - ⊕ 同步触发器:时钟电平直接控制
 - ⊕ 边沿触发器:时钟边沿控制
 - ⊕ 主从触发器:主从控制时钟脉冲触发

● 按功能方式分类

- RS触发器
 - ⊕ 基本RS触发器 (4. 2. 1)
- JK触发器 (4. 2. 3)
 - ⊕ 边沿控制的JK触发器(4. 2. 4)
- D触发器
 - ⊕ 同步D触发器 (4. 2. 2)
- T触发器 (4. 2. 5)
- T' 触发器

内容提要



山东大学

计算机科学与技术学院



4.1 触发器概述



4.2 触发器的逻辑功能



4.3 边沿触发器



4.4 触发器的触发方式



4.5 触发器的功能转换

4.2 触发器的逻辑功能



- 1. 基本RS触发器
- 2. 同步D触发器
- 3. JK触发器
- 4. 边沿控制的JK触发器
- 5. T触发器

4.2.1 基本R-S触发器



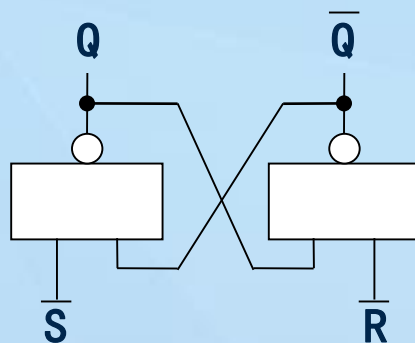
山东大学

计算机科学与技术学院

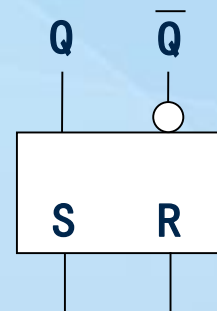
1) 电路组成与符号

由两个与非门交叉耦合组成。

输入信号为 \bar{S} 、 \bar{R} ，输出信号为 Q ， \bar{Q}



(a) 电路结构



(b) 图形符号

也可以用或非门实现，见(126)练习四1a

2) 工作原理



(1) 当 $\overline{R}=1$, $\overline{S}=0$ 时

触发器 $Q=1$, 置1

(2) 当 $\overline{R}=0$, $\overline{S}=1$ 时

触发器 $Q=0$, 置0

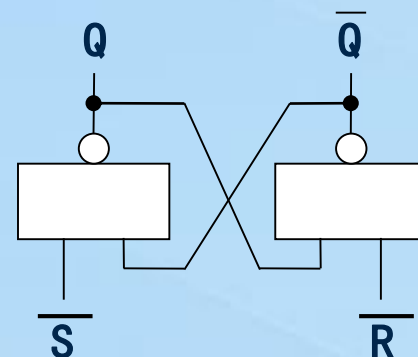
(3) 当 $\overline{R}=1$, $\overline{S}=1$ 时

若 Q 原来为0, 则 Q 仍为0

若 Q 原来为1, 则 Q 仍为1

(4) 当 $\overline{R}=0$, $\overline{S}=0$ 时

Q 和 \overline{Q} 都为1, 不定态(禁用)



(a) 电路结构

R	S	Q	Q'
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*

2) 工作原理

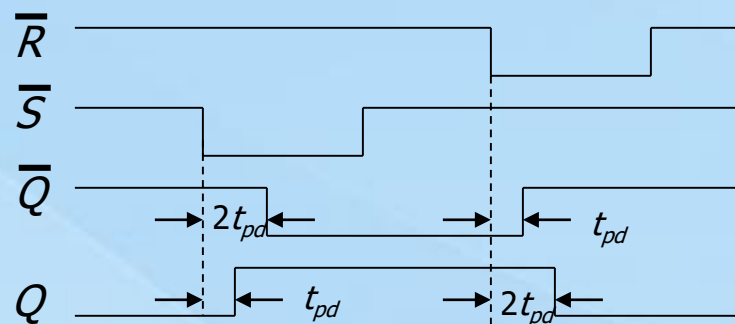


山东大学

计算机科学与技术学院

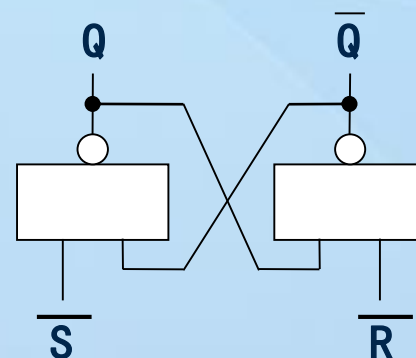
● 转换过程

(1) 当 $R=1$, $S=1$ 时
若 Q 原来为 0, 则 Q 仍为 0
若 Q 原来为 1, 则 Q 仍为 1



波形图

(2) 当 $R=1$, $S=0$ 时
触发器 $Q=1$, 置 1



电路结构

3) 功能描述

①功能表

$R_D S_D$		00	01	11	10
Q	0	0	1	*	0
	1	1	1	*	0

图 卡诺图形式的功能表

②特征方程（次态表达式）

表示触发器的次态和现态以及输入之间的函数关系的逻辑表达式

$$\text{R-S触发器特征方程} \left\{ \begin{array}{l} Q' = S + \overline{R}Q \\ RS = 0 \end{array} \right.$$

③激励表

Q	Q'	R	S
0	0	*	0
0	1	0	1
1	0	1	0
1	1	0	*

3) 功能描述

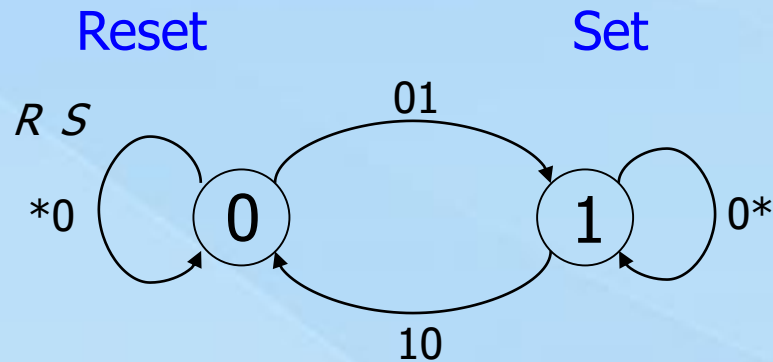


山东大学

计算机科学与技术学院

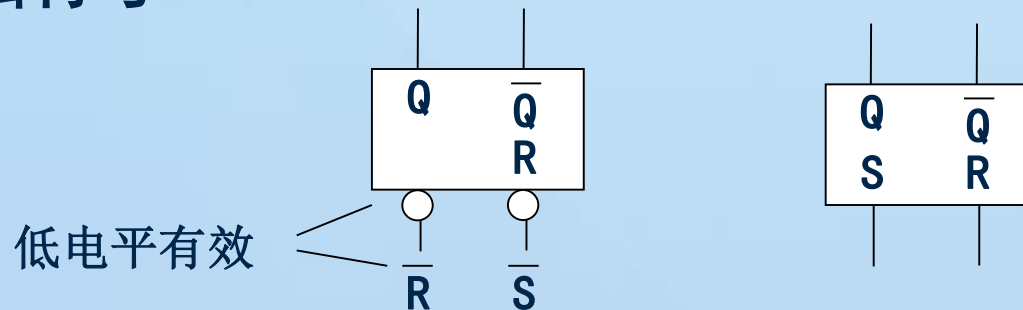
④状态图

用圆圈表示状态，有向线段表示转移关系，线上标明转换条件



状态转换图

⑤逻辑符号



3) 功能描述



山东大学

计算机科学与技术学院

⑥ 波形图（时序图）

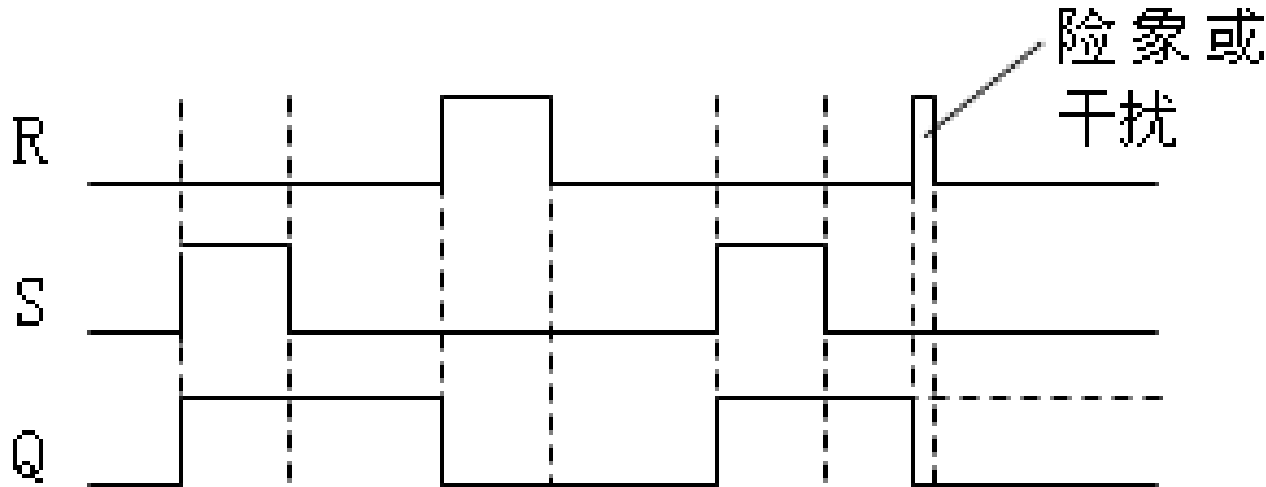


图 4.1-5 基本 RS 触发器的时序图

- (1) 当 $\overline{R}=1, \overline{S}=0$ 时, 触发器 $Q=1$, 置1
- (2) 当 $\overline{R}=0, \overline{S}=1$ 时, 触发器 $Q=0$, 置0
- (3) 当 $\overline{R}=1, \overline{S}=1$ 时, 若 Q 原来为0, 则 Q 仍为0, 若 Q 原来为1, 则 Q 仍为1

4) 特点及应用

- 基本R-S触发器电路简单

- 有两种稳定状态，可相互转换
- 输入直接控制，抗干扰能力差
(可通过条件选通控制提高抗干扰能力)

- 作用

- 可以存储一位二进制数
- 构成各种性能更完善的触发器的基础

- 缺点

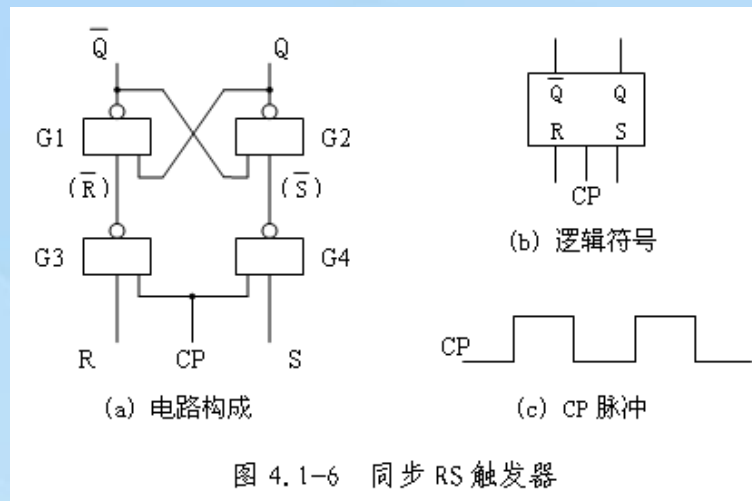
- RS之间有约束关系（RS不能同时为0），限制了它的使用

● 同步RS触发器电路

- G3 G4为选通信号
- CP为选通控制信号
(通常称为时钟脉冲)

● 工作分析

- 在CP=0期间，G3、G4封锁，输入信号R、S不起作用
($\bar{R}=1$ $\bar{S}=1$ ，基本触发器状态不变)
- 在CP=1期间，G3、G4开通，输入信号可作用于基本触发器
(R、S经G3、G4反相后变为 \bar{R} 、 \bar{S})，其功能与前述基本RS相同
- 这种触发器，输入信号是否有效受选通信号CP的电平控制，称之为**同步触发器**
- 逻辑符号中有CP端



4.2 触发器的逻辑功能



- 1. 基本RS触发器
- 2. 同步D触发器
- 3. JK触发器
- 4. 边沿控制的JK触发器
- 5. T触发器

4.2.2 同步D触发器



1. 电路

由同步RS触发器导出

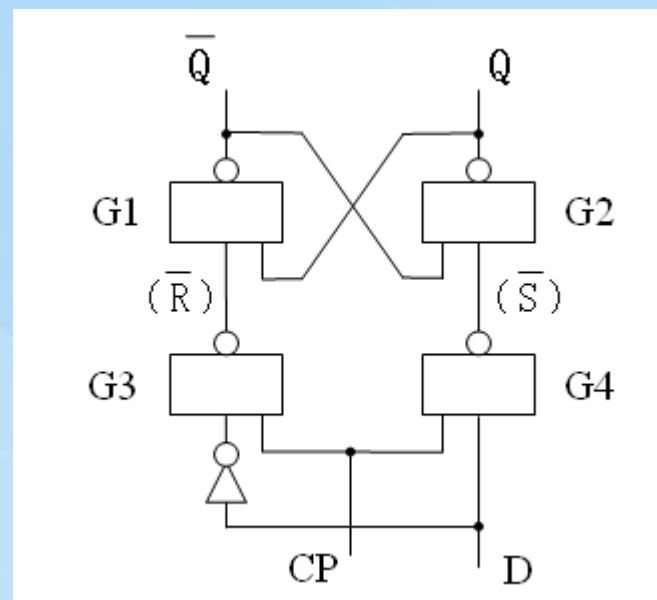
2. 工作分析

在CP=0期间，G3、G4封锁

输入无效，触发器状态不变

在CP=1期间，G3、G4开通

输入有效，触发器状态可变



3. 功能描述（在CP=1期间）

①功能表

D	Q	Q'
0	0	0
0	1	0
1	0	1
1	1	1

4.2.2 同步D触发器



山东大学

计算机科学与技术学院

3. 功能描述（在CP=1期间）

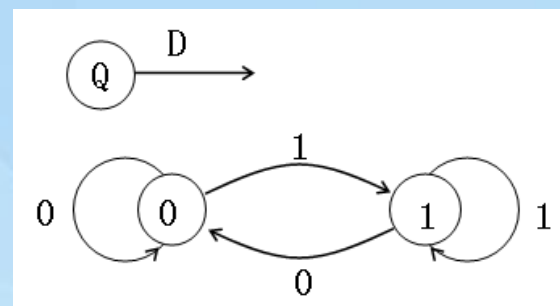
②特征方程 $Q'=D$

③激励表

$Q \rightarrow Q'$	D
0 0	0
0 1	1
1 0	0
1 1	1

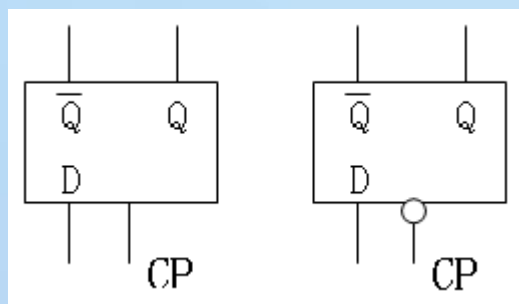
激励表

④状态图



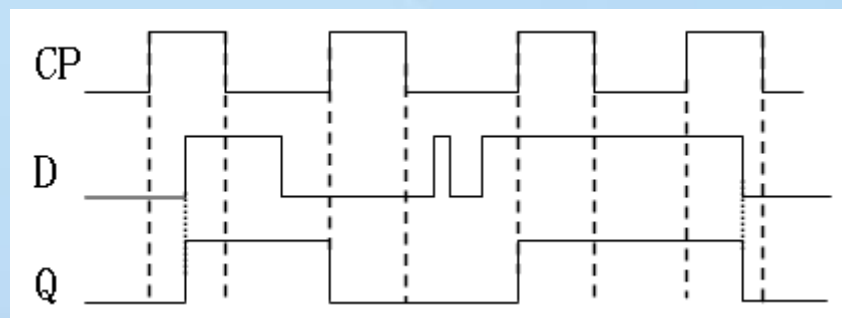
状态图

⑤逻辑符号



逻辑符号

⑥波形图



波形图

4.2 触发器的逻辑功能



山东大学

计算机科学与技术学院

- 1. 基本RS触发器
- 2. 同步D触发器
- 3. JK触发器
- 4. 边沿控制的JK触发器
- 5. T触发器

4. 2. 3 JK触发器

1. 电路

由同步RS触发器导出

2. 工作分析

CP=0, G3/G4封锁, 输入无效, 状态不变

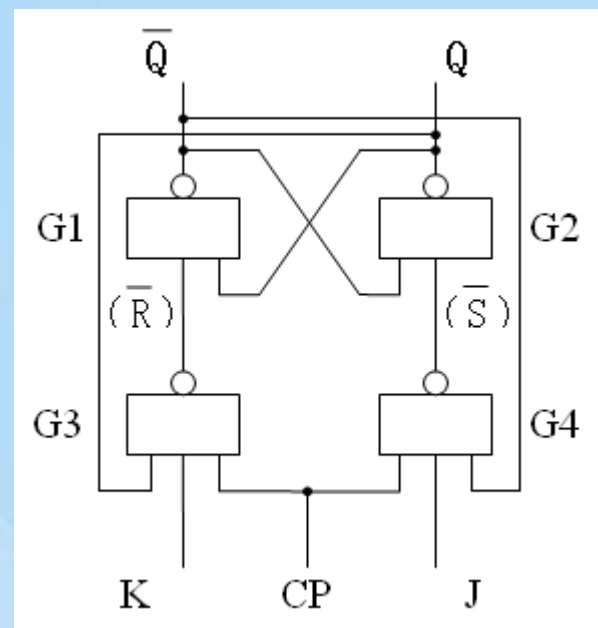
CP=1, G3/G4开通, 输入有效, 状态可变

$$\begin{array}{l} \textcircled{1} J=0, K=0 \\ (\overline{R}=1, \overline{S}=1) \end{array} \left\{ \begin{array}{ll} Q=0 & \rightarrow Q'=0 \\ Q=1 & \rightarrow Q'=1 \end{array} \right. \text{(保持)}$$

$$\begin{array}{l} \textcircled{2} J=0, K=1 \\ (\overline{S}=1) \end{array} \left\{ \begin{array}{ll} Q=0 & \rightarrow Q'=0 \\ Q=1 & \rightarrow Q'=0 \end{array} \right. \text{(置0)}$$

$$\begin{array}{l} \textcircled{3} J=1, K=0 \\ (\overline{R}=1) \end{array} \left\{ \begin{array}{ll} Q=0 & \rightarrow Q'=1 \\ Q=1 & \rightarrow Q'=1 \end{array} \right. \text{(置1)}$$

$$\begin{array}{l} \textcircled{4} J=1, K=1 \end{array} \left\{ \begin{array}{ll} Q=0 & \rightarrow Q'=1 \\ Q=1 & \rightarrow Q'=0 \end{array} \right. \text{(取反)}$$



4.2.3 JK触发器



山东大学

计算机科学与技术学院

● 3. 功能描述

①功能表

Q	KJ			
	00	01	11	10
0	0	1	1	0
1	1	1	0	0

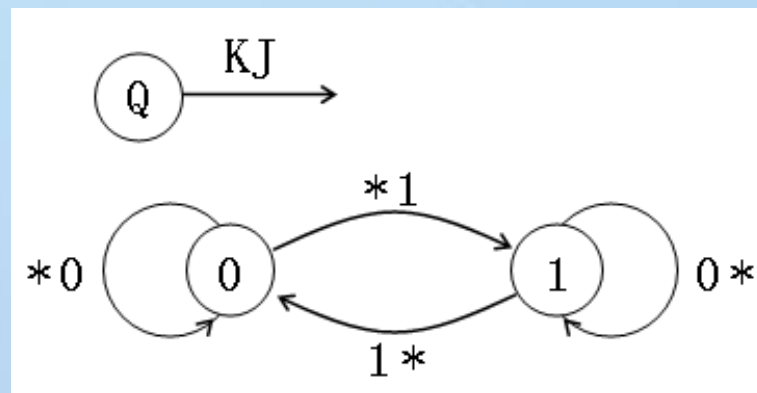
②特征方程

$$Q' = J\bar{Q} + \bar{K}Q$$

③激励表

Q	→	Q'	K	J
0	0	0	*	0
0	1	1	*	1
1	0	0	1	*
1	1	1	0	*

④状态图



4.2.3 JK触发器



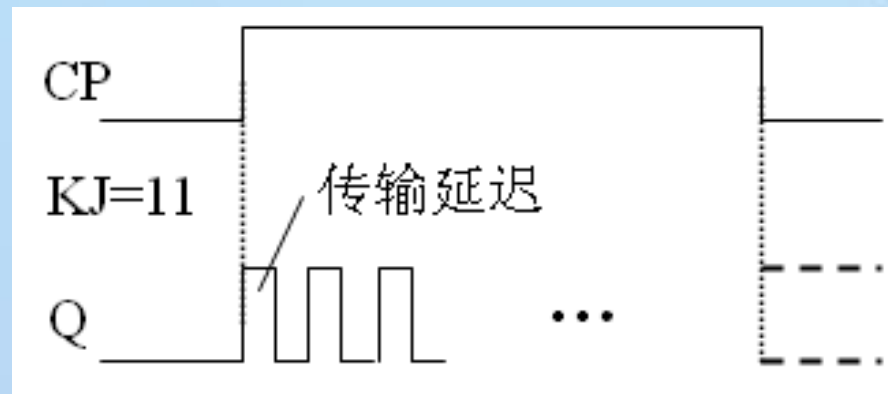
山东大学

计算机科学与技术学院

● 4. 空翻问题

空翻现象：

同一同步控制信号/时钟脉冲作用期间，引起触发器发生两次以致多次翻转的现象，叫空翻。



4.2.4 边沿控制的JK触发器



● 边沿控制特性

- 输入信号仅在CP正跳变（或负跳变）时有效
- 可保证在一个CP期间，触发器状态最多变化一次
- 实现边沿控制的电路有主从、维阻、集成边沿等

● 逻辑功能

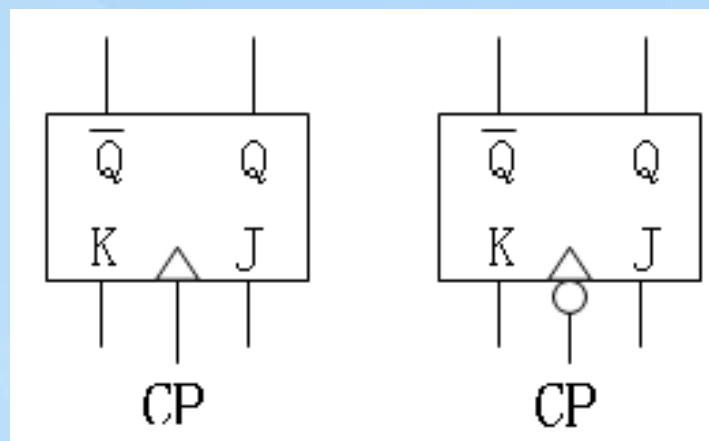
- 输入有效时，触发器的功能与前面讨论的相同
- JK: $Q' = J\bar{Q} + \bar{K}Q$

CP↑ 或 CP↓

4.2.4 边沿控制的JK触发器

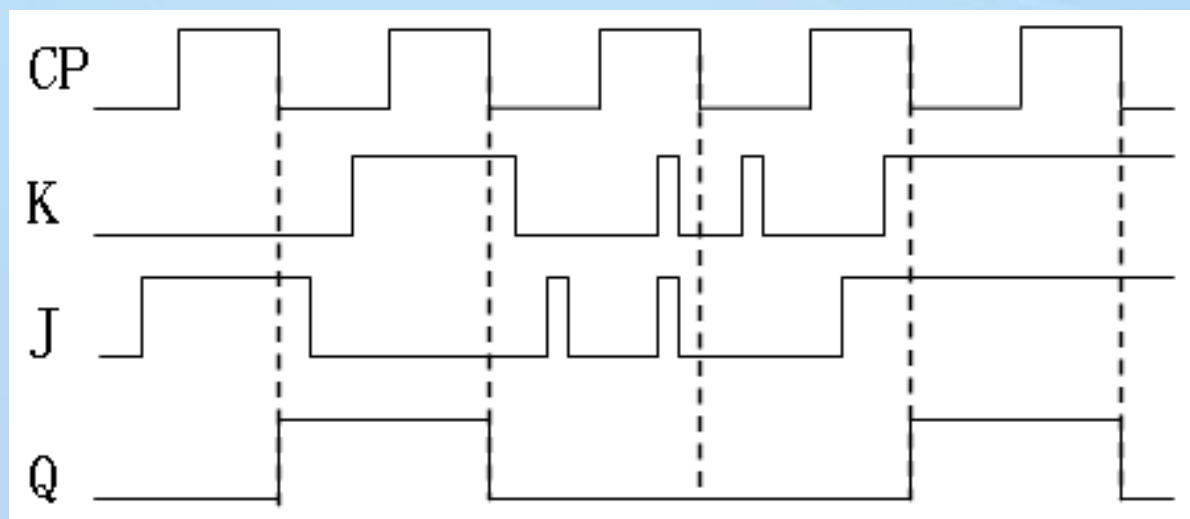


- 符号表示



- 工作波形

$$Q' = J\bar{Q} + \bar{K}Q$$



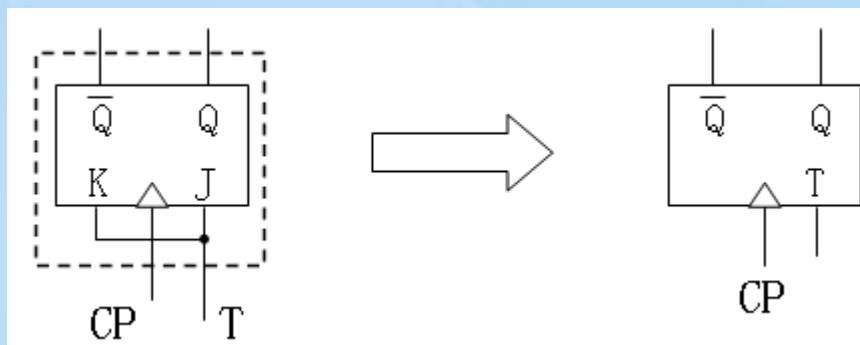
4.2.5 T触发器



山东大学

计算机科学与技术学院

- 将JK的两个输入端连接在一起（ $J=K=T$ ）即构成T触发器



显然 $Q' = T\bar{Q} + \bar{T}Q = T \oplus Q$

$T=0 (J=0, K=0)$, $Q'=0$ 保持

$T=1 (J=1, K=1)$, $Q'=\bar{Q}$ 取反

4.2 触发器的逻辑功能



- 1. 基本RS触发器
- 2. 同步D触发器
- 3. JK触发器
- 4. 边沿控制的JK触发器
- 5. T触发器

4.3 边沿触发器



● 边沿触发器

- (1) 触发器只有在时钟CP某一约定跳变(上跳变或下跳变)到来时, 才接收输入数据
- (2) 在 $CP=0$ 及 $CP=1$ 期间, 输入的数据变化不会引起触发器输出状态的变化
- (3) 时钟CP的非约定跳变不会引起触发器输出状态的变化

主从触发器



山东大学

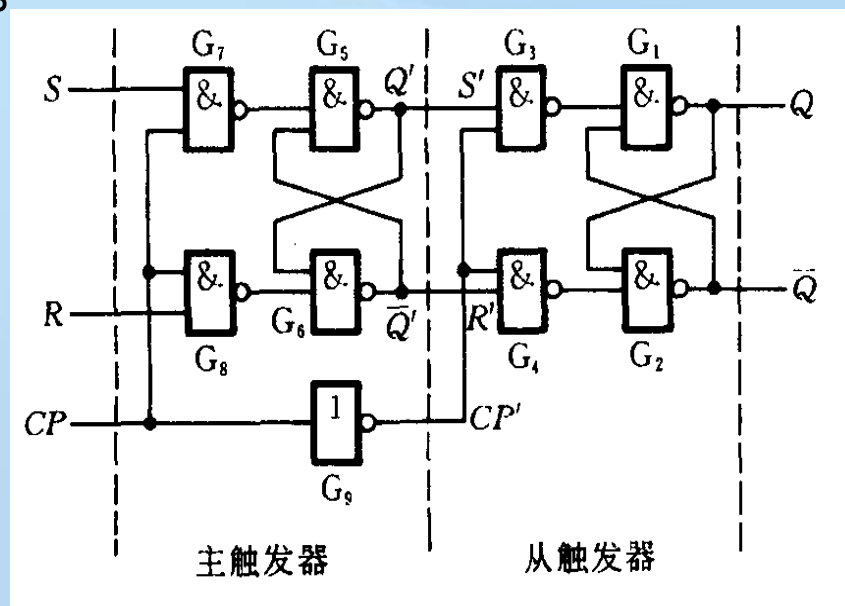
计算机科学与技术学院

- 由两级电位触发器(主触发器和从触发器)串联而成
- 工作原理

- 在时钟 $CP=1$ 期间，主触发器接收数据，从触发器封锁，然后在负跳变到来时，主触发器封锁，从触发器接收主触发器输出的状态（注意：不是接收 CP 负跳变到来时的主触发器的输入数据）。

- 常用主-从触发器

- 主从R-S触发器
- 主从J-K触发器



4.3.1 主从RS触发器



山东大学

计算机科学与技术学院

(1) 结构:

由主、从两个同步RS触发器和一个非门构成。

在 $CP=1$ 期间，从触发器输出不变，主触发器接收RS的数据

在 CP 负跳变到来时，主触发器封锁，从触发器接收门打开，使主触发器在 CP 负跳变前接收的数据传送到从触发器。

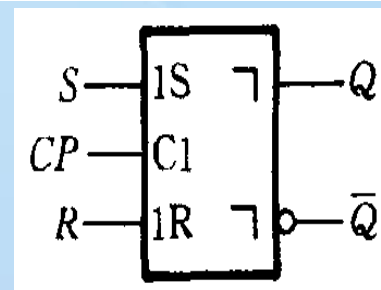
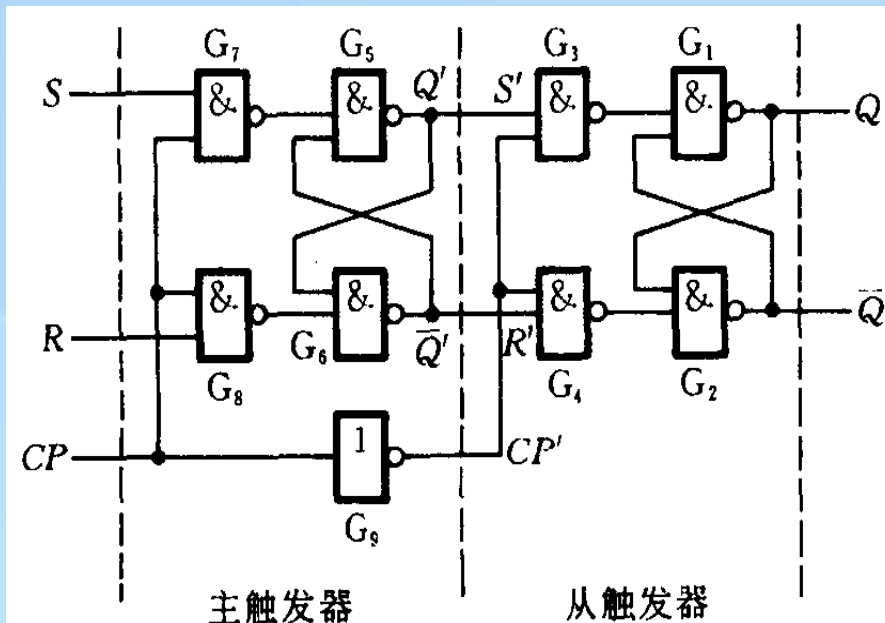
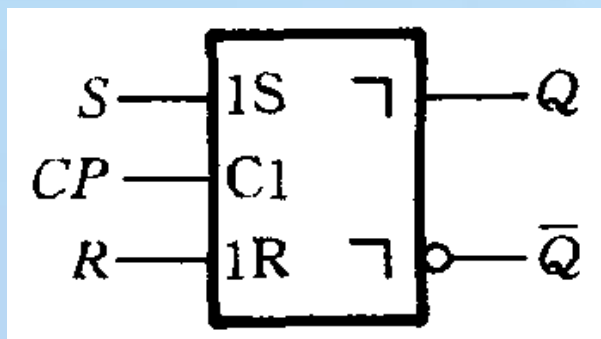


图 4.2.8 主从结构 RS 触发器

(a)电路结构 (b)图形符号

整个触发器为下降沿触发。

缺点：主从触发器本质上是同步触发器，所以 $CP=1$ 期间，其输出 Q' 仍随输入的改变而改变，且有约束 $RS=0$ 。



主从RS触发器







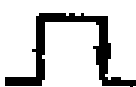

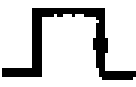
“” 表示延迟输出。

表 4.2.4 主从 RS 触发器的特性表

CP	S	R	Q^n	Q^{n+1}
x	x	x	x	Q^n
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1*
	1	1	1	1*

* CP 回到低电平后输出状态不定。

主从J-K 触发器(补充)

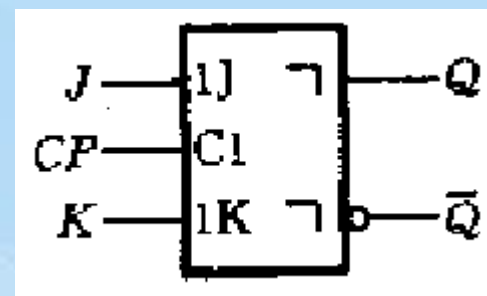
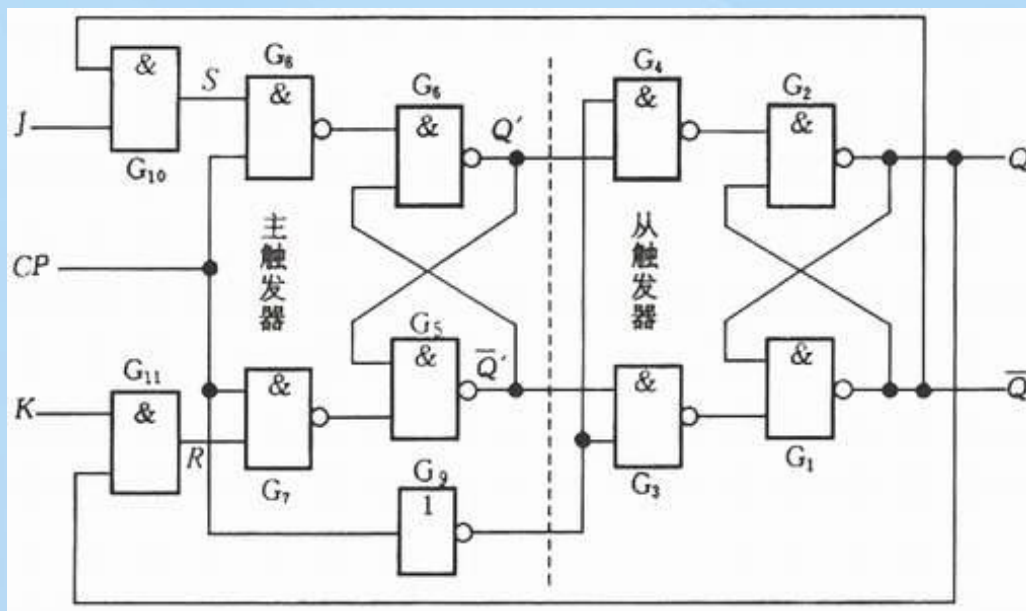


山东大学

计算机科学与技术学院

为了克服约束 $RS=0$ ，提出JK触发器。

(1) 结构：在主从RS触发器基础上，加两条线J、K($S \rightarrow J, R \rightarrow K$)



(2) 原理：

CP=1，主触发器接收J、K信号；
CP负跳变时，从触发器接收主触发器的状态。

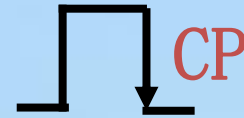
$$J=K=0, \quad Q^{n+1} = Q^n$$

$$J=0, K=1, \quad Q^{n+1} = 0$$

$$J=1, K=0, \quad Q^{n+1} = 1$$

$$J=K=1, \quad Q^{n+1} = \overline{Q^n}$$

(3) JK触发器特性表



J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	0

Q^n 保持功能

1 置 1 功能

0 置 0 功能

\bar{Q}^n 计数功能

$Q^n \backslash JK$				
	00	01	11	10
0	0	0	1	1
1	1	0	0	1

Q^{n+1}

内容提要



山东大学

计算机科学与技术学院



4.1 触发器概述



4.2 触发器的逻辑功能



4.3 边沿触发器



4.4 触发器的触发方式



4.5 触发器的功能转换



4.4 触发器方式及集成触发器



山东大学

计算机科学与技术学院

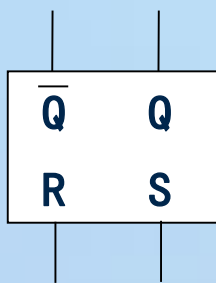
● 4.4.1 触发方式

- 逻辑功能：输入和输出的函数关系

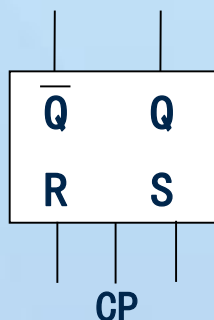
$Q' = f(Q, X)$ 其中X表示输入信号

- 触发方式：输入信号的有效条件

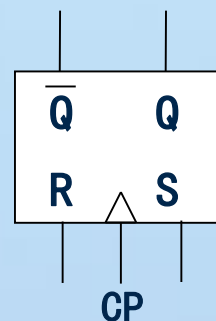
- ⊕ 异步触发：输入之间作用，无CP
- ⊕ 同步触发：输入受CP电平控制，CP端无箭头
- ⊕ 边沿触发：输入受CP跳变控制，CP端有箭头



(a) 异步RS



(b) 同步RS



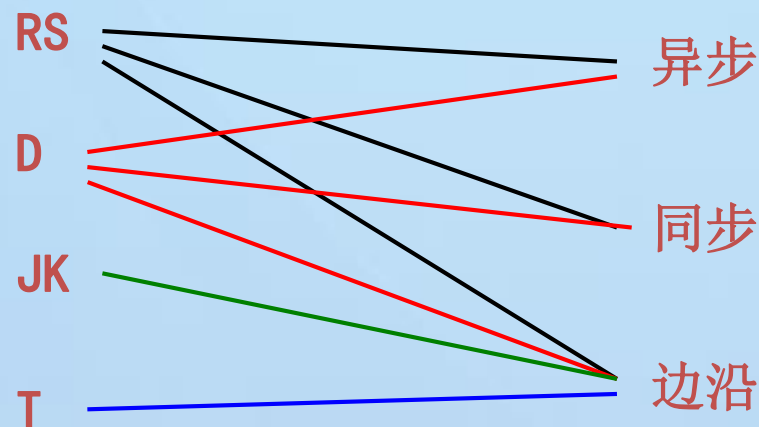
(c) 边沿RS

4.4.1 触发方式

- 逻辑功能：输入和输出的函数关系
- 触发方式：输入信号的有效条件

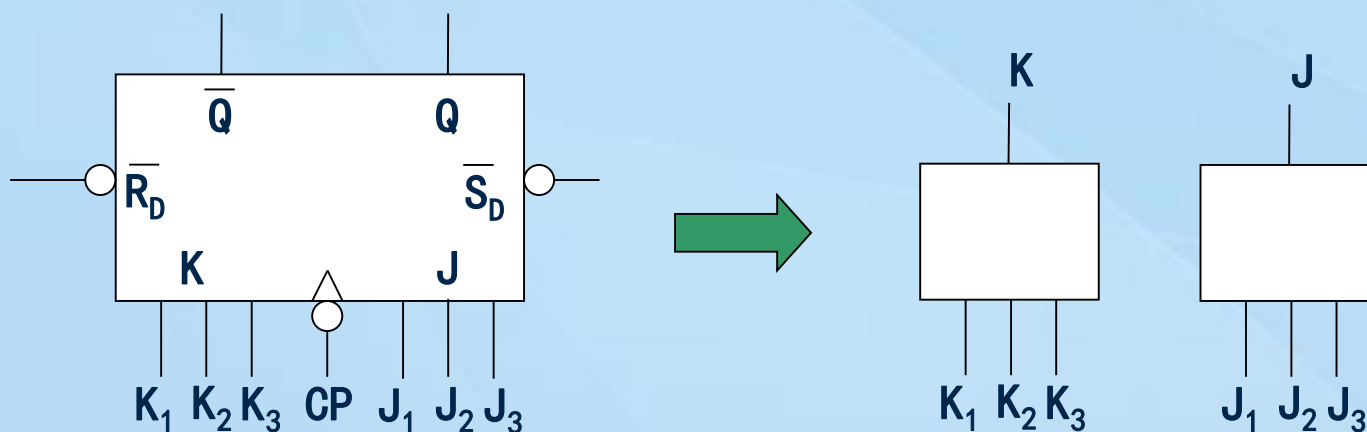
逻辑功能与触发方式的关系

同一种逻辑功能的触发器可以采用不同的触发方式，同一种触发方式也可以用于逻辑功能不同的触发器。但是，JK触发器和T触发器只能采用边沿触发方式。



4.4.2 集成触发器

- 采用集成电路工艺制作，常设有异步输入端及多输入端，如图所示

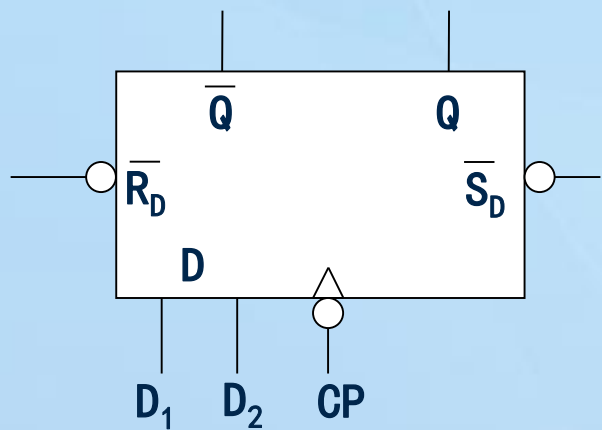


- 多输入端是指同一功能的信号设置多个输入端，使其使用更为灵活方便。
- 多个输入端是与的关系

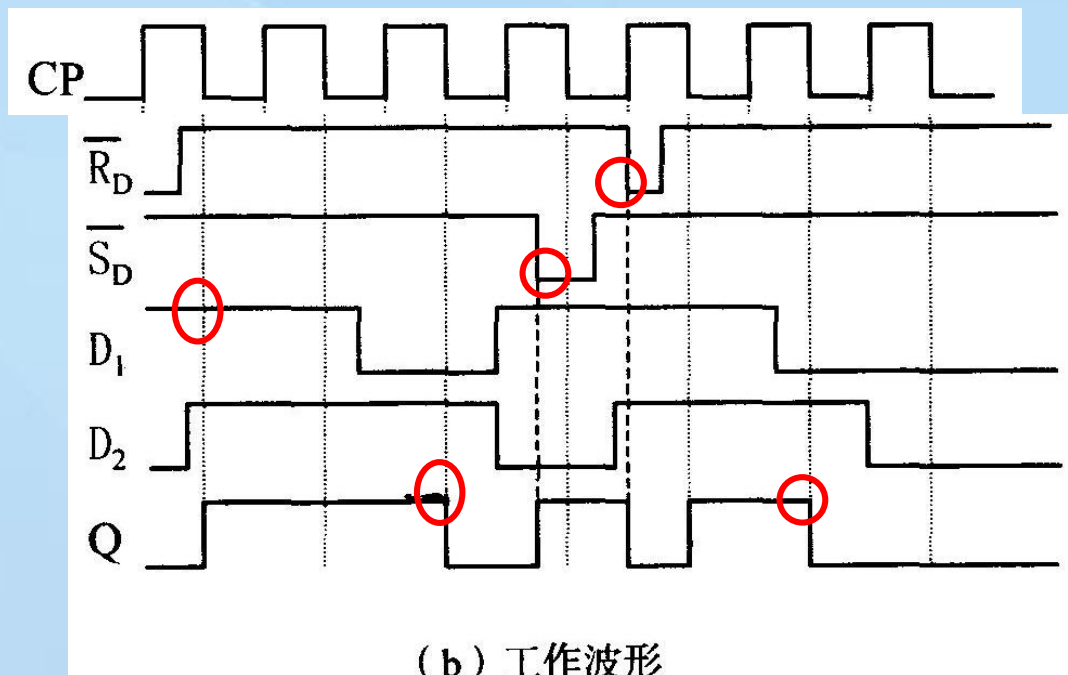
$$J = J_1 \cdot J_2$$

$$K = K_1 \cdot K_2$$

● 异步端作用P114



$$Q' = D_1 \cdot D_2$$



一、触发器和门电路一样，也是组成数字电路的基本逻辑单元。它有两个基本特性：

1. 有两个稳定的状态（0 状态和 1 状态）。

2. 在外信号作用下，两个稳定状态可相互转换；没有外信号作用时，保持原状态不变。

因此，触发器具有记忆功能，常用来保存二进制信息。

二、触发器的逻辑功能

指触发器输出的次态 Q' 与输出的现态 Q 及输入信号之间的逻辑关系。触发器逻辑功能的描述方法主要有特性表、卡诺图、特性方程、状态转换图和波形图（时序图）。

二、触发器的分类



1. 根据电路结构不同，触发器可分为

(1) 基本触发器：输入信号电平直接控制。

$$\text{特性方程} \begin{cases} Q' = S + \bar{R}Q \\ RS = 0 \quad (\text{约束条件}) \end{cases}$$

(2) 同步触发器：时钟电平直接控制。

$CP = 1$ （或 0）时有效

$$\text{特性方程} \begin{cases} Q' = S + \bar{R}Q \\ RS = 0 \end{cases}$$

同步 RS 触发器

$$Q' = D$$

同步 D 触发器

二、触发器的分类(续)



山东大学

计算机科学与技术学院

1. 根据电路结构不同，触发器可分为

(3) 边沿触发器：时钟边沿控制。

CP 上升沿（或下降沿）时刻有效

特性方程

$$Q' = D$$

边沿 D 触发器

$$Q' = J\bar{Q} + \bar{K}Q$$

边沿 JK 触发器

(4) 主从触发器：主从控制脉冲触发。

CP 下降沿（或上升沿）到来时有效

特性方程

$$\begin{cases} Q' = S + \bar{R}Q \\ RS = 0 \end{cases}$$

主从 RS 触发器

$$Q' = J\bar{Q} + \bar{K}Q$$

主从 JK 触发器

二、触发器的分类



山东大学

计算机科学与技术学院

2. 根据逻辑功能不同，时钟触发器可分为

(1) RS 触发器

$$\begin{cases} Q' = S + \bar{R}Q \\ \mathbf{RS = 0} \quad (\text{约束条件}) \end{cases}$$

(2) D 触发器

$$Q' = D$$

(3) JK 触发器

$$Q' = J\bar{Q} + \bar{K}Q$$

(4) T 触发器

$$Q' = T\bar{Q} + \bar{T}Q$$

利用特性方程可实现不同功能触发器间逻辑功能的相互转换。

● 练习四

➤ 1, 4, 5 ,6

