### 第9章作业参考答案及评分标准

# 9.7(四个结果,全对满分;若无过程,结果错误一个扣2分;有过程结果错误扣1分)

9.7 泵 CPU 的主频为 10 MHz, 若已知每个机器周期平均包含 4 个时钟周期, 该机的平均指令执行速度为 1 MIPS, 试求该机的平均指令周期及每个指令周期含几个机器周期? 若改用时钟周期为 8.4 μs 的 CPU 芯片,则计算机的平均指令执行速度为多少 MIPS? 若要得到平均每秒 80 万次的指令执行速度,则应采用主频为多少的 CPU 芯片?

时钟周期 = 
$$\frac{1}{10MHz}$$
=1×10<sup>-7</sup>s

机器周期 = 
$$1 \times 10^{-7} \times 4 = 4 \times 10^{-7}$$
s

平均指令周期 = 
$$\frac{1}{10MIPS}$$
=1×10<sup>-6</sup>s

每个指令周期所含机器周期个数 = 
$$\frac{1\times10^{-6}s}{4\times10^{-7}s}$$
 = =2.5 个

该机的平均指令周期为 1×10<sup>-6</sup>s 及每个指令周期含 2.5 个机器周期 当芯片改变后:

机器周期 =0.4 μs×4=1.6 μs

平均指令周期 =1.6µs×2.5=4µs

平均指令执行速度 = 
$$\frac{1}{4us}$$
 = 0.25MIPS

若改用时钟周期为 0.4 μs 的 CPU 芯片,则计算机的平均指令执行速度为 0.25MIPS

平均指令周期 = 
$$\frac{1}{0.8 M/PS}$$
 = 1.25 × 10<sup>-6</sup> s = 1.25 µs

机器周期 = 
$$\frac{1.25\mu s}{2.5}$$
 = 0.5 $\mu$ s

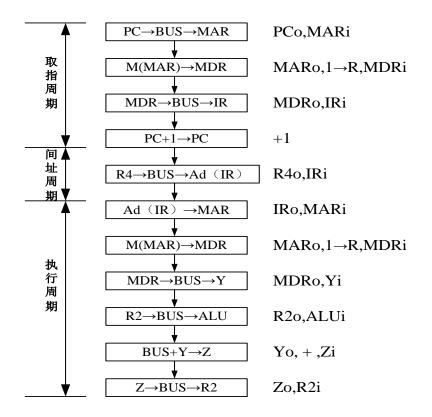
时钟周期 = 
$$\frac{0.5\mu s}{4}$$
 = 0.125 $\mu$ s

CPU 主频 = 
$$\frac{1}{0.125\mu s}$$
 = 8MHz

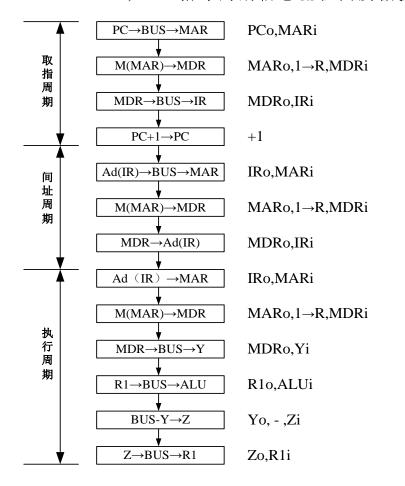
若要得到平均每秒 80 万次的指令执行速度,则应采用主频为 8MHz 的 CPU 芯片

## 9.13(既要有微操作又要有控制信号,每步1分)

- 9.13 设 CPU 内部结构如图 9.4 所示,此外还设有  $R_1 \sim R_4$  4 个寄存器,它们各自的输入和输出端都与内部总线相通,并分别受控制信号控制(如  $R_2$ )为寄存器  $R_2$ 的输入控制;  $R_2$ 0为寄存器  $R_3$ 的输出控制)。要求从取指令开始,写出完成下列指令所需的全部微操作和控制信号。
  - (1) ADD R<sub>2</sub>, @ R<sub>4</sub> ; ((R<sub>2</sub>) + ((R<sub>4</sub>))→R<sub>2</sub>, 寄存器间接寻址)
  - (2) SUB R<sub>1</sub>, @ mcm ; ((R<sub>1</sub>) ((mem))→R<sub>1</sub>, 存储器间接寻址)
- (1) ADD R2, @R4 的指令周期信息流程图及微操作控制信号如下:



(2) SUB R1, @mem 指令周期信息流程图及微操作控制信号如下:

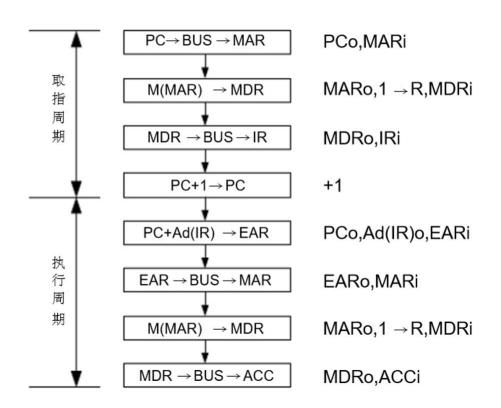


### 9.14(流程图和控制信号序列的每一小项 1 分)

9.14 设单总线计算机结构如图 9.5 所示,其中 M 为主存,XR 为变址寄存器,EAR 为有效地址寄存器,LATCH 为锁存器。假设指令地址已存于 PC 中,画出"LDA \* D"和"SUB X,D"指令周期信息流程图,并列出相应的控制信号序列。

#### 说明:

- (1) "LDA \* D"指令字中 \* 表示相对寻址, D 为相对位移量。
- (2) "SUB X,D"指令字中 X 为变址寄存器 XR,D 为形式地址。
- (3) 寄存器的输入和输出均受控制信号控制,例如,PC;表示 PC 的输入控制信号,MDR。表示 MDR 的输出控制信号。
- (4) 凡是需要经过总线实现寄存器之间的传送,需在流程图中注明,如 PC—Bus→MAR,相应的控制信号为 PC。和 MAR,。
- (1) "LDA \*D"指令周期信息流程图及微操作控制信号如下:



## (2) "SUB X,D" 指令周期信息流程图及微操作控制信号如下:

