山东大学 计算机科学与技术 学院

数字逻辑 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202200400053 | 姓名： 王宇涵 | | 班级：2班 |
| 实验题目：十进制数加法器 | | | |
| 实验学时：2 | | 实验日期： 2023-11-07 | |
| 实验目的：  （1）学习组合电路的设计方法；  （2）了解余三码的构成和十进制数加法器的构成和工作原理；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS XP的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）4位二进制并行加法器74283和六非门7404。 | | | |
| 软件环境：  QuartusⅡ13.0版本 | | | |
| 实验步骤与内容：  **实验步骤**   1. 输入原理图:      1. 定义器件管脚   将A的四个输入分别定义为管脚77,80,81,82  将B的四个输入分别定义为管脚84,86,87,88  将CIN输入定义为管脚67  将四输出SUM分别定义为管脚151,152,160,161  将输出COUT定义为管脚162   1. 原理图编译   通过选择EP2C8Q208C8 器件进行编译   1. 原理图下载   开启电源,通过选择USB接口进行下载,将程序传入实际电路中.   1. 结果调试   使用相应的输入开关为加法器赋值A[4..1]和B[4..1],观察输出SUM[4..1]和进位COUT的值   1. 生成符号图   生成原件符号.  (7)关闭电源  **结果预期**  输入3(0100)+5(1000) 输出8(1011),COUT=0  输入5(1000)+5(1000) 输出0(0000),COUT=1  **最终实现结果**  通过严格地执行实验步骤,最终完美地实现了所预期的结果. | | | |
| 结论分析与体会：  本次实验我们做了余三码编码的一位十进制数加法器的实验,遇到的困难是原理图中粗线代表了多个输入的混合,需要分别对粗线和细线进行标注,以确定输入的内容,其中原理图起到了简化和分类的作用.通过严格执行完以上的实验步骤后,我们输入了测试样例,3+5=8 5+5=10以验证最后的结果,最后成功完成了实验.我们充满了成就感,也更有信心面对接下来的实验. | | | |